

## 利用单片机实现复杂的分立逻辑

开发人员可利用 PIC16F13145 系列单片机中的可配置逻辑模块（CLB）外设实现硬件中复杂的分立逻辑功能，从而精简物料清单（BOM）并开发定制专用逻辑。

Microchip Technology Inc.  
8 位单片机业务部  
应用工程师  
Robert Perkel

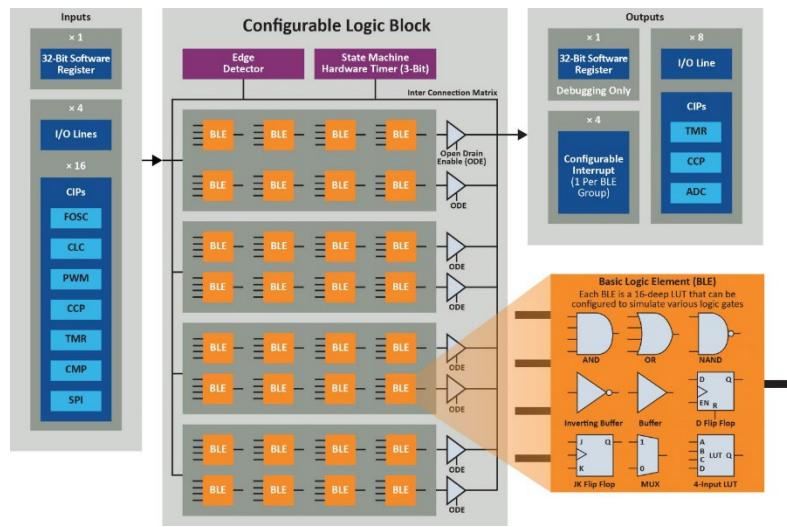
在许多嵌入式系统应用中，通常都会使用分立式逻辑器件，例如 74'HC 系列。这些逻辑器件的优势在于可以独立于单片机（MCU）工作，并且响应速度比软件快得多。但是，这些器件会增加物料清单（BOM）并且需要占用额外的 PCB 面积。

为了解决这一问题，Microchip 的许多单片机都集成了一种名为[可配置逻辑单元（CLC）](#)的外设（在 PIC® MCU 上）或名为[可配置定制逻辑（CCL）](#)的类似外设（在 AVR® MCU 上）。这两种外设都实现了软件定义的定制逻辑，可以独立于 CPU 执行。换句话说，一旦设置了定制逻辑功能，其行为就独立于单片机。

但是，这两种外设存在限制，即每个实例的逻辑数量非常小。每个 CLC 大约相当于一个查找表（LUT），而 CCL 相当于一个内部具有几个独立 LUT 的实例。这两种外设的功能非常强大，可用于开发简单逻辑电路、将各种信号混合在一起以及与其他硬件外设相集成。例如，[硬件按钮去抖](#)、[WS2812 输出生成](#)和[正交解码](#)这些示例都需要使用这两种外设，但单片机中这两种外设的数量并不多，因此限制了应用的复杂度。

为了支持更复杂的应用，[PIC16F13145 系列单片机](#)引入了一种名为[可配置逻辑模块（CLB）](#)的新型逻辑外设（如图 1 所示）。请注意，CLB 并不会取代 CLC 或 CCL 外设，器件可以同时配备 CLC/CCL 和 CLB。

图 1——CLB 框图



PIC16F13145 系列单片机上的 CLB 包含四个逻辑组，每组包含八个 BLE。不同逻辑组的 BLE 之间彼此连接——每个逻辑组代表两个 GPIO 输出和一个可选的 CPU 中断。当工作电压为 5.5V 时，BLE 的传播时间典型值小于 6 ns。整个结构中的所有 BLE 共用一个公共时钟，其时钟源与可选的时钟分频器一起在软件中进行配置。CLB 可以使用单片机的内部时钟源之一或外部提供的时钟源。

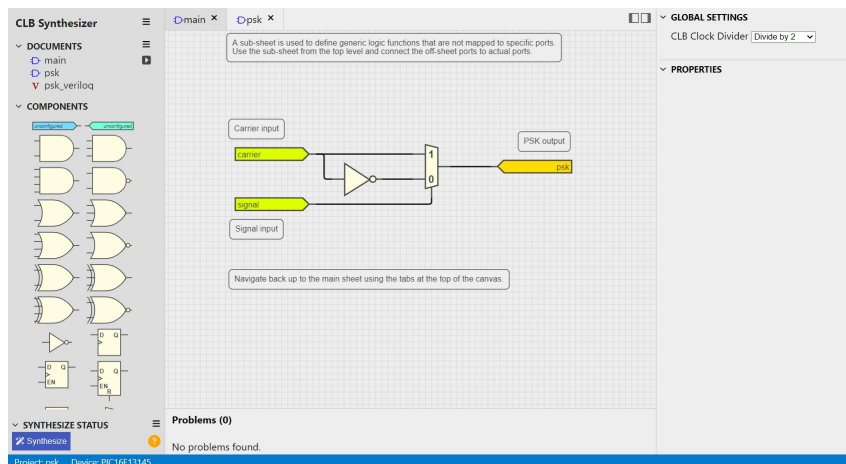
该外设从单片机的存储器中进行初始化，之后可通过外设引脚选择（PPS）直接从自身结构中控制引脚。用户可通过 PPS 重新分配用于硬件外设的 I/O 引脚，从而获得更大的设计灵活性。举例来说，如果 SPI 时钟先前使用 RA1，但使用 RA6 会更有利，那么便可以通过 PPS 重新映射引脚。

CLB 中的其他元件包括专用的 3 位硬件定时器（带解码输出）、用于输入信号的边沿检测器以及 32 位输出寄存器（用于调试）。单片机上的其他独立于内核的外设（CIP）输出可用作 CLB 的输入，以便实现更复杂的设计。

由于 CLB 比 CLC 或 CCL 复杂得多，因此 Microchip 开发了一款名为 CLB 合成器的新工具。CLB 合成器提供了一个用于配置逻辑的图形界面，如下面的图 2 所示。除了逻辑原语之外，该工具还支持更高级的逻辑模块库（可由用户预先提供或定制）。

与该图形工具交互时，后台会自动生成一个 Verilog 模块用于合成。如果开发人员更喜欢编写自己的 Verilog 或者已准备好该文件，则可以将其作为模块直接导入工具。

图 2——已打开相移键控（PSK）示例的 CLB 合成器



CLB 合成器的输出是一个汇编文件，其中包含用于设置 CLB 的比特流和一些用于将 CLB 配置为外设的源代码。该工具可通过 MPLAB® 代码配置器（MCC）或独立[在线工具](#)运行。MCC 是一款代码生成实用程序，允许用户使用可视化界面来设置和配置单片机中的外设。当硬件外设完成配置后，MCC 将生成初始化代码和器件 API。

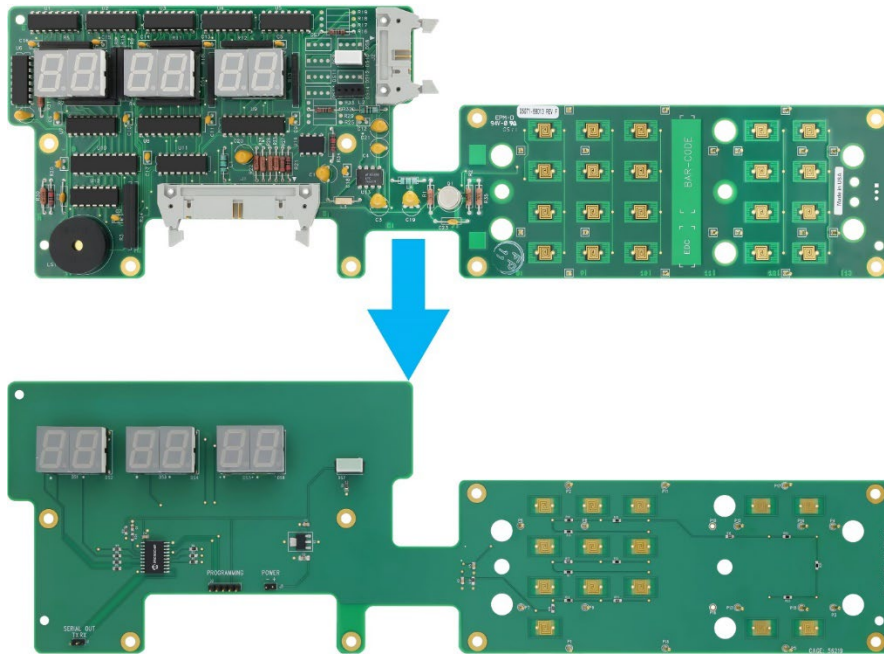
在运行时，使用板上硬件直接从程序存储器加载 CLB 比特流。这种实现的好处在于如果在程序运行时需要更改 CLB 配置，则可以使用存储在器件存储器中的不同比特流重复执行加载过程。

为了演示 CLB 的应用，我们创建了一系列用例示例。这里我们将讨论两个示例：[7 段显示转换器](#)和 [SPI 至 WS2812 转换器](#)。用例示例可作为构件复制以用作完整解决方案的一部分。这里旨在展示该外设的实用性以及它能够带来哪些价值。

第一个用例是 [7 段显示转换器](#)。7 段显示器可通过一组普通的 I/O 引脚驱动，但标准实现通常需要使用软件定义的查找表将输入数字转换为适合显示器的正确输出模式。在该实现中，CLB 充当硬件查找表。所需的输出字符（0 到 F）从软件加载到 CLB 输入寄存器中。显示器的每个输出段均由 LUT 控制，以将输入映射到输出。

该用例示例在内部用于构建计时系统的新控制板。最初的用户界面是在 20 世纪 80 年代使用 74HC 系列逻辑开发。使用 CLB 后，一个 20 引脚的单片机即可实现电路板上的显示和键盘逻辑，极大地精简了物料清单（BOM）。图 3 并排给出了两种方案以供比较。

图 3——原 PCB 与新 PCB 的并排比较。该示例由 Josh Booth 开发。

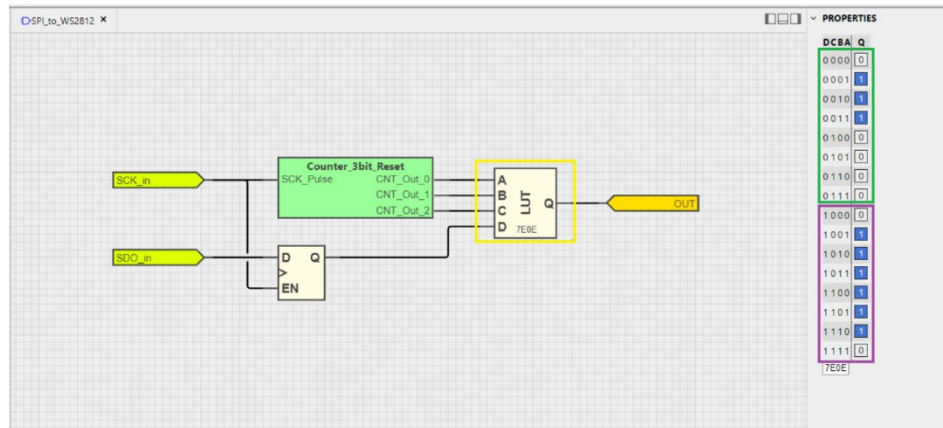


下一个示例是 [SPI 至 WS2812 转换器](#)。WS2812 是一种单线串行协议，用于通过脉宽调制控制 LED 阵列。在本例中，SPI 硬件用作要发送到 LED 的数据的移位寄存器，而 CLB 用于将 SCLK 和 SDO 转换为预期的输出。

在本例中，这是通过单触发 3 位计数器、带使能功能的 D 锁存器和 4 输入 LUT 来实现，如下面的图 4 所示。该实现的技巧体现在 SPI 和 CLB 的时钟源。SPI 时钟设置为空闲高电平、在上升沿改变状态并以 WS2812 输出的频率（800 kHz）运行，而 CLB 的时钟源以前者 10 倍的频率（8 MHz）运行。当 SCLK 为低电平时，将触发 3 位计数器并开始计数。当计数到 7（0b111）时，3 位计数器将停止并保持为 0，直到时钟脉冲的下一个低电平周期为止。

计数器的输出与输出数据的锁存版本一起馈入 4 输入 LUT。这将设置数据的输出模式，如图 4 的右侧所示。计数器复位后，计数器输出将保持为 0 以完成循环。之后，可根据需要发送 SPI 硬件中的下一个字节，重复该循环。

图 4——SPI 至 WS2812 转换器框图（由 Petre Teodor-Emilian 开发）



这两个示例都证明了单片机内部分立逻辑的优势。硬件外设可将 CPU 从各种任务中解放出来，从而缩短响应时间并降低功耗，同时减少元器件数量。有了 CLB，之前无法在单片机内部实现的复杂应用现在都可以顺利开发。目前，可前往 [Microchip 直销网站](#) 或其他代理商处购买 [PIC16F13145 系列单片机](#) 来获取 CLB。

Robert Perkel 是 Microchip 的一名应用工程师。他主要负责编辑应用笔记，投稿文章和视频等技术内容，以及分析外设的用例和开发代码示例与演示。Perkel 毕业于弗吉尼亚理工大学，获得了计算机工程学学士学位。