
针对 32 位单片机的 EMI、EMC、EFT 和 ESD 电路设计注意事项

简介

本应用笔记旨在提供有关电路保护器件和印刷电路板（Printed Circuit Board, PCB）布线指南的建议，以提高应用在电噪声环境中的抗扰度，并按照下列国际电工委员会（International Electrotechnical Commission, IEC）标准所述提高应用在发生 EMI、EMC、EFT 和 ESD 事件时的生存能力：IEC 61000-4-2、IEC 61000-4-4 和 IEC 61000-4-5。

本文将从以下几个方面开始介绍：

1. EMI、EFT 和 ESD 规范概述。
2. 关键 ESD 保护器件规范定义。
3. EMI、EFT 和 ESD 保护策略的快速汇总。
4. 滤波器电容选择和特性。
5. PCB 硬件设计最佳实践和布线注意事项清单：
 - 标准 PCB 设计/布线实践
 - 特殊以太网布线注意事项
 - 特殊 DDR 布线注意事项
6. 软件保护技术。
7. 单片机参考电路原理图及保护示例：
 - RS-232
 - USB
 - CAN FD 和 LIN
 - 以太网
 - 音频和机械开关
 - LCD
 - 电源
 - 复位和 ICSP 编程接口
 - SD 存储卡
 - I²C

参考设计笔记：

成本压力是所有设计中的常见考虑因素。支持 CPU 的所有电路元件都是基于可满足威胁防护要求的最低成本和可用性进行选择。用户应仔细考虑任意替代元件。另外，强烈建议用户考虑在其布线中设计保护元件，然后基于 ESD、EMI 和 EFT 原型板测试，根据需要移除 0Ω 电阻进行移除。这将节省大量重新设计电路板的时间，缩短最终产品的上市时间。

越来越多的应用设计要求在电噪声环境中实现稳定可靠的运行，并且不受高压放电事件的影响，以满足 IEC 61000-4-2、IEC 61000-4-4 和 IEC 61000-4-5 要求。因此，许多消费类、大多数商业级和所有寿命/任务关键型应用通常需要符合与 ESD、EFT 和 EMI 测试相关的一个或多个 IEC 61000-4-2、IEC 61000-4-4 和 IEC 61000-4-5 标准。这项任务有时会变得更具挑战性，因为设计人员不仅必须应对显而易见的外部事件，在某些情况下还必须应对自身设计中被忽略的元件来源。芯片密度/集成度的提高以及超高的运行速度都会造成元件本身成为传导噪声和辐射噪声的来源，这将影响电路的可靠性并形成干扰，从而对应用提出了附加要求。此外，毫不知情的设计人员可能会受到声明某个特定器件符合 IEC61000-4-2 规范的元件制造商误导，在接下来的章节中我们将对此进行讨论。

目录

简介.....	1
1. IEC 61000-4-2、IEC 61000-4-4 和 IEC 61000-4-5 定义.....	5
2. 静电放电（ESD）IEC 61000-4-2.....	6
2.1. 有效的 ESD 抑制策略.....	8
3. 电气快速瞬变（EFT）抗扰度 IEC 61000-4-4.....	9
3.1. 有效的 EFT 抑制策略.....	11
4. 滤波电容选择.....	13
5. 电磁干扰（EMI/EMC）IEC 61000-4-5.....	15
5.1. EMI 的类型.....	16
6. ESD、EMI 和 EFT 电路保护选择策略汇总.....	23
6.1. ESD 瞬态电压抑制器（TVS）选择注意事项.....	23
7. 有关 EMC、EFT 和 ESD 的印刷电路板（PCB）布局和设计注意事项.....	25
7.1. 印刷电路板布局“最佳实践”建议.....	25
7.2. PCB 旁路.....	31
7.3. PCB 层策略.....	32
7.4. PCB 信号完整性问题.....	32
8. 以太网 10/100 Base-T 设计准则.....	34
8.1. 以太网 TX±和 RX±差分对注意事项.....	34
8.2. 未使用的以太网电缆对.....	34
8.3. 以太网 RJ-45 连接器.....	34
8.4. 以太网磁件.....	35
9. DDR 设计准则.....	36
10. 人体模型（HBM）与 ESD IEC 61000-4-2.....	37
11. 软件 EFT 保护技术.....	38
11.1. 跑飞代码保护.....	38
11.2. 程序存储器和系统完整性验证.....	41
12. ESD、EMI 和 EFT 硬件电路保护原理图示例.....	46
12.1. CPU 保护.....	46
12.2. UART RS-232 保护原理图.....	48
12.3. USB 2.0 保护原理图.....	49
12.4. 控制器局域网灵活数据速率（CAN FD）和 LIN 总线保护原理图.....	51

12.5. 以太网保护原理图.....	52
12.6. 音频耳机和麦克风保护原理图.....	53
12.7. 典型 LCD 接口保护原理图.....	54
12.8. ESD、EMI 和 EFT 电源子系统保护原理图.....	55
12.9. 复位和编程接口保护原理图.....	56
12.10. 安全数字 (SD) 存储卡接口保护原理图.....	57
12.11. I2C 接口保护原理图.....	58
Microchip 网站.....	59
变更通知客户服务.....	59
客户支持.....	59
Microchip 器件代码保护功能.....	59
法律声明.....	60
商标.....	60
DNV 认证的质量管理体系.....	61
全球销售及服务网点.....	62

1. IEC 61000-4-2、IEC 61000-4-4 和 IEC 61000-4-5 定义

下表列出并说明了各个国际电工委员会（IEC）标准。更多信息，请访问以下网站：http://www.iec.ch/emc/basic_emc/basic_61000.htm。

表 1-1. IEC 61000-4-2、IEC 61000-4-4 和 IEC 61000-4-5 标准定义

标准	说明
IEC 61000-4-2	静电放电（Electrostatic Discharge, ESD）抗扰度测试
IEC 61000-4-4	电气快速瞬变（Electrical Fast Transient, EFT）突发抗扰度测试
IEC 61000-4-5	电磁干扰（Electromagnetic Interference, EMI）和电磁兼容性（Electromagnetic Compatibility, EMC）雷击/浪涌抗扰度测试

IEC 62132-1 中规定了五类 IC 故障模式，如表 1-2 所示。根据存在 ESD 或 EFT 时 IC 的性能来确定分类。此性能取决于 IC 的类型及其数据手册中定义的功能行为。

表 1-2. IC 性能退化的分类

分类	说明
A	在暴露于干扰期间和之后，IC 的所有功能均按设计执行。
B	暴露于干扰期间，IC 的所有功能均按设计执行；但是，其中的一个或多个功能可能超出规定的容差。在干扰消除后，所有功能自动恢复到正常范围内。存储器功能应保持在 A 类。
C	暴露于干扰期间，IC 的一个功能不能按设计执行，但在干扰消除后自动恢复正常工作。
D	暴露于干扰期间，IC 的一个功能不能按设计执行，直到干扰消除且 IC 通过简单的操作员操作复位后，才能恢复正常工作。
E	在暴露于干扰期间和之后，IC 的一个或多个功能不能按设计执行，并且不能恢复正常工作。

2. 静电放电 (ESD) IEC 61000-4-2

大多数数字非接口元件和单片机仅保证适用于 2 kV 人体模型 (Human Body Model, HBM)。在大多数情况下, 对于共用相同地电平的同一印刷电路板 (PCB) 上的 IC 之间的互连信号, 这是可以接受的。具有高风险的例外情况是带有直接外部 PCB 连接、机械连接器和/或远程电缆通信功能的单片机外设引脚, 例如 USB、LCD 和 SD 等。与上一代单片机相比, 片外单片机收发器 IC (例如 CAN 和 TCP/IP) 具有更高的原生 ESD HBM 保护等级, 但在某些情况下, 它们无法提升到满足所有 IEC 61000-4-2 标准的等级。应根据应用审核器件是否满足相应的 HBM 或 IEC 61000-4-2 要求。除非目标芯片明确说明产品已经过 IEC 61000-4-2 测试, 否则用户应采用其标准 HBM 或联系制造商以获取详细说明。此外, 即使一些器件制造商声称产品符合 IEC 61000-4-2 电压规范, 它们也可能无法满足电压和电流要求, 如表 2-2 所述。

表 2-1. IEC 61000-4-2 电压严重性测试级别

级别	相对湿度	抗静电材料	合成材料	测试电压 (接触放电)	测试电压 (空气放电)
1	35%	X	—	2 kV	2 kV
2	10%	X	—	4 kV	4 kV
3	50%	—	X	6 kV	8 kV
4	10%	—	X	8 kV	15 kV

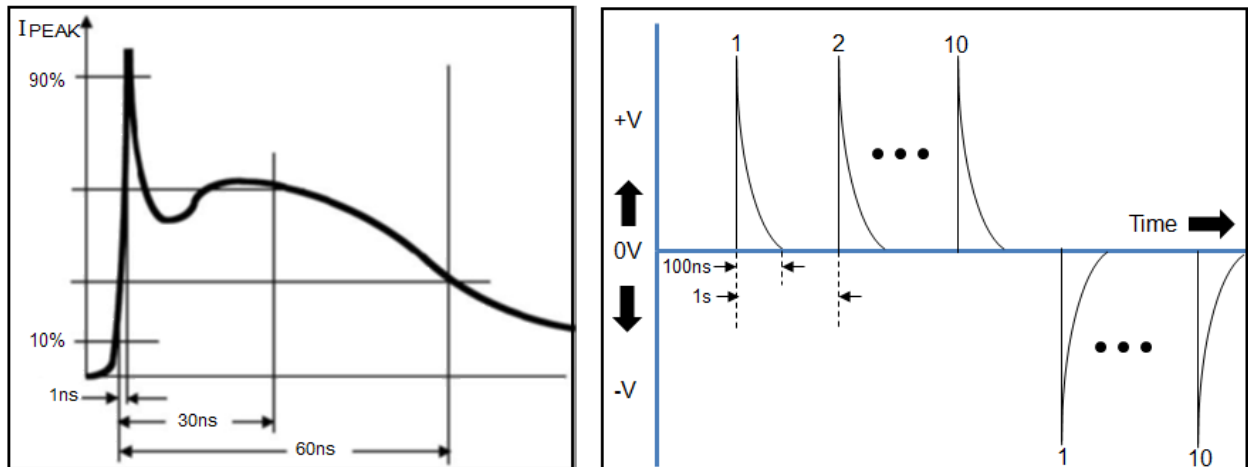
表 2-2. IEC 61000-4-2 接触放电电流强度严重性测试级别

级别	接触放电电压	第一峰值放电电流 ±10%	ESD 脉冲上升时间 (tr)	30 ns 时的电流 ±30%	60 ns 时的电流 ±30%
1	2 kV	7.5A	0.7 至 1 ns	4A	2A
2	4 kV	15A	0.7 至 1 ns	8A	4A
3	6 kV	22.5A	0.7 至 1 ns	12A	6A
4	8 kV	30A	0.7 至 1 ns	16A	8A

表 2-3. 常见静电电压

静态电压与相对湿度	20% RH (kV)	80% RH (kV)
在乙烯基地板上走动	12	0.25
在合成纤维地毯上走动	35	1.5
泡沫垫产生的静电	18	1.5
拾起聚乙烯袋	20	0.6
在地毯上滑动苯乙烯盒	18	1.5
从 PCB 中取出聚酯磁带	12	1.5
PCB 上的收缩薄膜	16	3.0
触发真空焊锡清除器	8	1.0
电路冷却喷雾器	15	5.0

图 2-1. IEC 61000-4-2 ESD 电流强度放电测试波形



当与知名半导体制造商联系，询问在其元件数据手册中有关 ESD 保护及其声称产品是否符合 IEC61000-4-2 等级 4 要求的问题时，他们的回答是“是，它符合等级 4 要求”。当问到最大放电电流时，他们的回答是“IEC61000-4-2 仅规定了其元件符合的最大电压”。但是，正如您将在本应用笔记中发现的一样，问题最终都与功率（即 $I \cdot E$ ）相关，这意味着元件仅满足电压规范是不够的，还需要满足与特定 IEC 61000-4-2 测试相关的峰值电流。

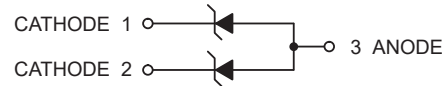
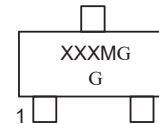
一般规则：

1. 例如，如果制造商声称元件符合 8 kV 放电标准，但未提及 IEC 61000，这可能表示元件符合相对较低的 HBM 规格，但并不符合 IEC 61000-4-2 标准（见表 10-1）。
2. 即使制造商声称元件符合 IEC61000-4-2 等级 4 标准，但仅提及电压而未提及电流，也可能表示它们可能符合或可能不符合 IEC61000-4-2 的所有要求。如有疑问，请与制造商联系以获取详细说明。始终建议设计人员根据所需的保护等级设计相应的必要保护元件。这样，用户至少可以选择根据 IEC 61000-4-2、IEC 610004-4 和 IEC 61000-4-5 测试结果进行安装（或不安装）。这些虚假和夸大的声明也可能适用于保护器件本身。
例如，将图 2-2 中瞬态电压抑制器（Transient Voltage Suppressor, TVS）制造商强调的特性声明及其电气特性规范与表 4 中的 IEC 61000-4-2 标准进行比较。请注意，数据手册中的最大 IPP 电流（即峰值脉冲电流）与 IEC 61000-4-2 等级 4 中规定的 30A IPP 相对应。纵使制造商做出了误导性的声明，但该元件并不符合的 IEC 61000-4-2 等级 4 的所有要求。
3. 通常，TVS 应具有 250-400 瓦的峰值浪涌额定值，以满足 IEC61000-4-2 接触放电的等级 3 或等级 4 要求。

图 2-2. 误导性的 IEC 61000-4-2 等级 4 TVS 数据手册示例

Features

- SOT-23 Package Allows Either Two Separate Unidirectional Configurations or a Single Bidirectional Configuration
- Working Peak Reverse Voltage Range – 3 V to 26 V
- Standard Zener Breakdown Voltage Range – 5.6 V to 47 V
- Peak Power – 24 or 40 W @ 1.0 ms (Unidirectional)
- ESD Rating:
 - Class 3B (> 16 kV) per the Human Body Model
 - Class C (> 400 V) per the Machine Model
- ESD Rating of IEC61000-4-2 Level 4, ± 30 kV Contact Discharge
- Maximum Clamping Voltage @ Peak Pulse Current
- Low Leakage < 5.0 mA
- Flammability Rating UL 94 V-0
- SZ Prefix for Automotive and Other Applications Requiring Unique Site and Control Change Requirements; AEC-Q101 Qualified and PPAP Capable
- These Devices are Pb-Free and are RoHS Compliant

**MARKING DIAGRAM**

XXX = Specific Device Code
M = Date Code
G = Pb-Free Package

(Microdot may be in either location)

ELECTRICAL CHARACTERISTICS ($T_A = 25^\circ\text{C}$ unless otherwise noted)**UNIDIRECTIONAL** (Circuit tied to Pins 1 and 3 or Pins 2 and 3)

($V_F = 0.9$ V Max @ $I_F = 10$ mA) (5% Tolerance)

24 WATTS

Device	Device Marking	V_{RWM} Volts	$I_R @ V_{RWM}$ mA	Breakdown Voltage				Max Zener Impedance			$V_C @ I_{PP}$		QV_{BR} mV/5C
				V_{BR} (V)			@ I_T mA	Z_{ZT} @ I_{ZT} W	Z_{ZK} @ I_{ZK} W	Z_{ZK} @ I_{ZK} mA	V_C V	I_{PP} A	
				Min	Nom	Max							
XXXXXXXXXX1	XX1	3.0	5.0	5.32	5.6	5.88	20	11	1600	0.25	8.0	3.0	1.26
XXXXXXXXXX2	XX2	3.0	0.5	5.89	6.2	6.51	1.0	-	-	-	8.7	2.76	2.80
XXXXXXXXXX3	XX3	4.5	0.5	6.46	6.8	7.14	1.0	-	-	-	9.6	2.5	3.4
XXXXXXXXXX4	XX4	6.0	0.3	8.65	9.1	9.56	1.0	-	-	-	14	1.7	7.5

注： 元件数据手册声称其符合 IEC-61000-4-2 等级 4 标准；但在快速查看电气规范后，发现峰值脉冲电流（IPP）远远低于等级 4 要求（见表 2-2）。这种情况经常发生，毫不知情的电路设计人员了解得太晚就会成为这种策略的受害者。此外，请注意元件的额定功率仅为 24 瓦，这反映了较低的 IPP 规范值。

2.1 有效的 ESD 抑制策略

- 瞬态电压抑制器 (TVS)
- PCB 设计
- 铁氧体磁珠
- RC、LC 和 C 滤波器

3. 电气快速瞬变 (EFT) 抗扰度 IEC 61000-4-4

IEC 61000-4-4 是 IEC 标准，设计为在系统级别测试快速瞬态或突发抗扰度。在 EFT 测试中，波形将耦合到信号、控制线、电源和接地连接，以模拟瞬态噪声与这些线的耦合程度。

EFT 的常见原因

- 断电时在配电系统中产生窄高频瞬变突发的感性负载（例如继电器、开关接触器或重型电机）
- 公共事业提供商接入或断开功率因数校正设备时产生的快速瞬变
- 每次插入交流电源线、打开/关闭设备或在打开/关闭断路器时产生的火花
- 雷击也会产生 EFT 事件。EFT 瞬变通常会通过电源线耦合到终端设备
- 地铁和电动公共汽车会将大量 EFT 浪涌施加到电网，随后通过持续的电弧作用施加到交流市电
- 开关电源布线中的一个常见错误是 SMPS 高开关电流路径上的回路较大。此路径必须能够承受重载，并且长度要尽可能短。

注：SMPS 的敏感输出电阻分压器反馈网络不应与活动的 EFT 源（如电感）平行走线，这些 EFT 源应始终为屏蔽型，安装时必须在四周保留足够的气隙（至少 2 mm）以供散热。

主要特点

- 关于 EFT 和 EMI 的说明。显然，它不是唯一要务，但应该在设计中首先考虑该问题以确保 EFT 和 EMI 无法进入或退出设计。一旦电气干扰开始传播并对设计中的多个电路造成影响，就很难对其进行控制和处理。因此，设计人员的首要任务目标应该是关注最重要的主电源入口（即电源）和外部 PCB 接口，这也是本应用笔记结尾部分的参考原理图关注的问题。
- 通常，与基于铁粉磁芯变压器的系统相比，无变压器电源和基于开关电源（SMPS）的系统面临着更多 EFT 问题（见 12. ESD、EMI 和 EFT 硬件电路保护原理图示例）。

嵌入式控制器设计用于生成和处理具有与瞬变引起的噪声相当的时序规范的信号。因此，瞬变引起的噪声可能会干扰这些信号。在粗略的分类中，以下模块受瞬变引起的噪声的影响最大：

- 电源和接地信号
- 复位电路
- 边沿敏感触发信号
- 高阻态信号
- 模拟信号
- 外部通信模块，例如 I2C、SPI 和 UART 等
- CPU
- RAM

EFT 复位

如果用户最初没有针对 EFT 设计应用，则 EFT 瞬变引起的噪声通常会影响到这些模块中的一个或多个。如果没有这样做，则可能按此优先顺序出现以下类型的系统故障：

- CPU 或系统复位
- 门锁
- 通信错误或故障
- 存储器损坏

到目前为止，由于无效设计而对 EFT（即瞬变引起的噪声）事件产生的最常见反应是以下类型的复位之一：

- 外部复位
- 上电复位（Power-on Reset, POR）
- 基于低电压检测（Low-voltage Detect, LVD）的复位
- 欠压复位（Brown-out Reset, BOR）
- 软件复位

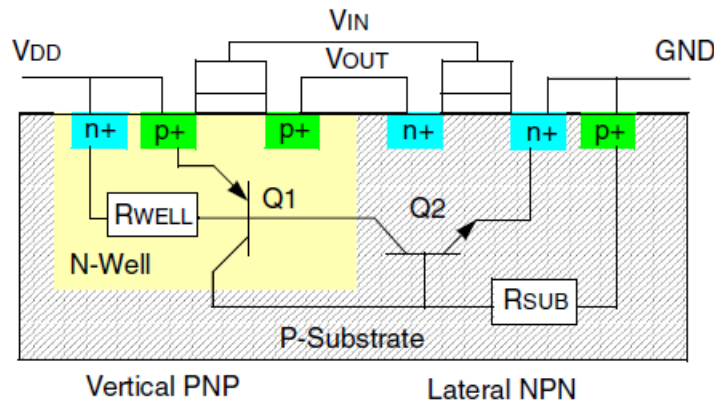
在以下情况下，通常会发生由 POR、LVD 和 BOR 引起的复位：

- 瞬变引起的噪声拉低了电源电压
- 瞬变引起的噪声使参考地偏移
- 瞬变引起的负噪声触发了 I/O 上的 ESD 钳位电路，使器件获得的有效电源电压下降而触发 BOR
- 如果有效电源电压低于器件工作电压范围，则发生 POR/BOR。如果在控制器中使能了欠压复位和基于 LVD 的复位，则在有效电源电压低于跳变电压并且保持该值的时间超过最短时间时，就会发生这些事件。
- 如果主器件要在检测到系统中的异常行为时复位从器件，例如当主器件因丢失信号完整性而接收到错误数据时，则发生软件复位。如果代码执行不正常并进入异常状态，也可能发生软件复位。这种异常的代码执行可能是由于 CPU、时钟、闪存或 RAM 中存在损坏情况造成的。

EFT 闩锁

EFT 引起的瞬变也会导致闩锁。当在输入引脚或电源引脚上出现足够大的瞬态电压时，所有 CMOS 器件都将发生闩锁。在执行可能的闩锁预防性措施之前，了解闩锁是如何发生的至关重要。CMOS 逻辑逆变器的横截面如图 3-1 所示，该图也显示了形成的一对寄生双极型（BJT）晶体管。

图 3-1. 逆变器的横截面视图



由寄生 BJT 形成的等效电路如图 3-1 所示。因此，晶体管形成了寄生可控硅整流器（Silicon Controlled Rectifier, SCR）。SCR 在触发时导通并保持导通状态，直到电流值降至最小保持电流以下。当强制足够的电流流过 N 阱或基板阻抗以产生具有适当极性的约 0.6 伏或更高的压降时，会发生触发。触发的 SCR 或闩锁状态会因此在 VDD 与地之间形成自维持低阻抗路径，如果掉电再上电不及时，则可能由于过电流而导致器件受损。

EFT 脉冲波形如图 5-1 所示，具有高幅值（0.5-4 kV）、短上升时间、高重复率和低能量含量。IEC 61000-4-4 还根据脉冲波形的幅值定义了测试级别，如表 3-1 所示。它通常由具有 75 个脉冲的一组突发构成，每 300 毫秒重复一次，持续 1 分钟。测试期间，正极性和负极性 EFT 脉冲均被注入。

表 3-1. IEC 61000-4-4 电气快速瞬变测试级别

级别	I/O 信号/数据终端		电源终端	环境	重复率 (kHz)
	峰值电压	重复率 (kHz)	峰值电压		
1	0.25 kV	5 或 100	0.5 kV	5 或 100	受到良好保护的环境
2	0.5 kV	5 或 100	1 kV	5 或 100	受保护的屏蔽系统 (即家用电器)
3	1.0 kV	5 或 100	2 kV	5 或 100	典型工业环境
4	2.0 kV	5 或 100	4 kV	5 或 100	极端工业环境

通常，与基于铁粉磁芯变压器的系统相比，无变压器电源和基于开关电源（SMPS）的系统面临着更多 EFT 问题（见图 12-10）。

电源耦合模式	
L+	电源线上的正脉冲
L-	电源线上的负脉冲
N+	零线上的正脉冲
N-	零线上的负脉冲
LN+	差分模式，电源线和零线上的正脉冲
LN-	差分模式，电源线和零线上的负脉冲

与 ESD 类似，EFT 会严重影响数据和 I/O 线。EFT 脉冲的快速上升时间要求抑制元件的特性与抑制 ESD 脉冲所需的特性相同。同样，TVS 二极管提供了在将受保护元件两端的钳位电压保持在最小值的同时抑制预期瞬变能量的最佳解决方案。此外，TVS 二极管的极快响应时间对于响应 EFT 脉冲的 5 ns 上升时间至关重要。

3.1 有效的 EFT 抑制策略

- 电源抑制器：金属氧化物变阻器（Metal Oxide Varistor, MOV）和瞬态电压抑制器（TVS）
- 共模扼流器
- 铁氧体磁珠
- PCB 设计
- 电容滤波器
- 双绞线电源线

图 3-2. 双绞线电源线

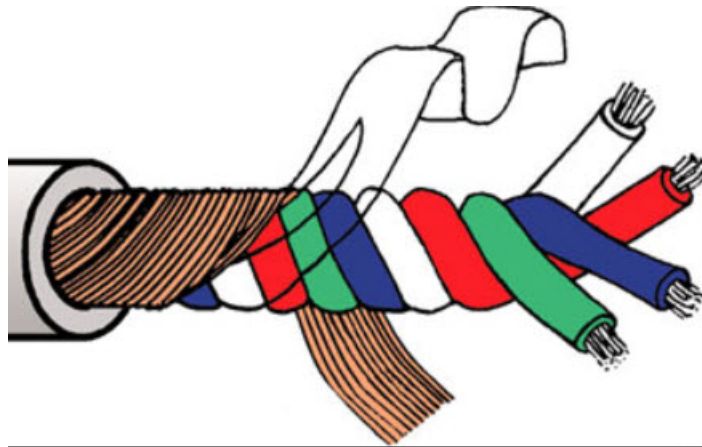
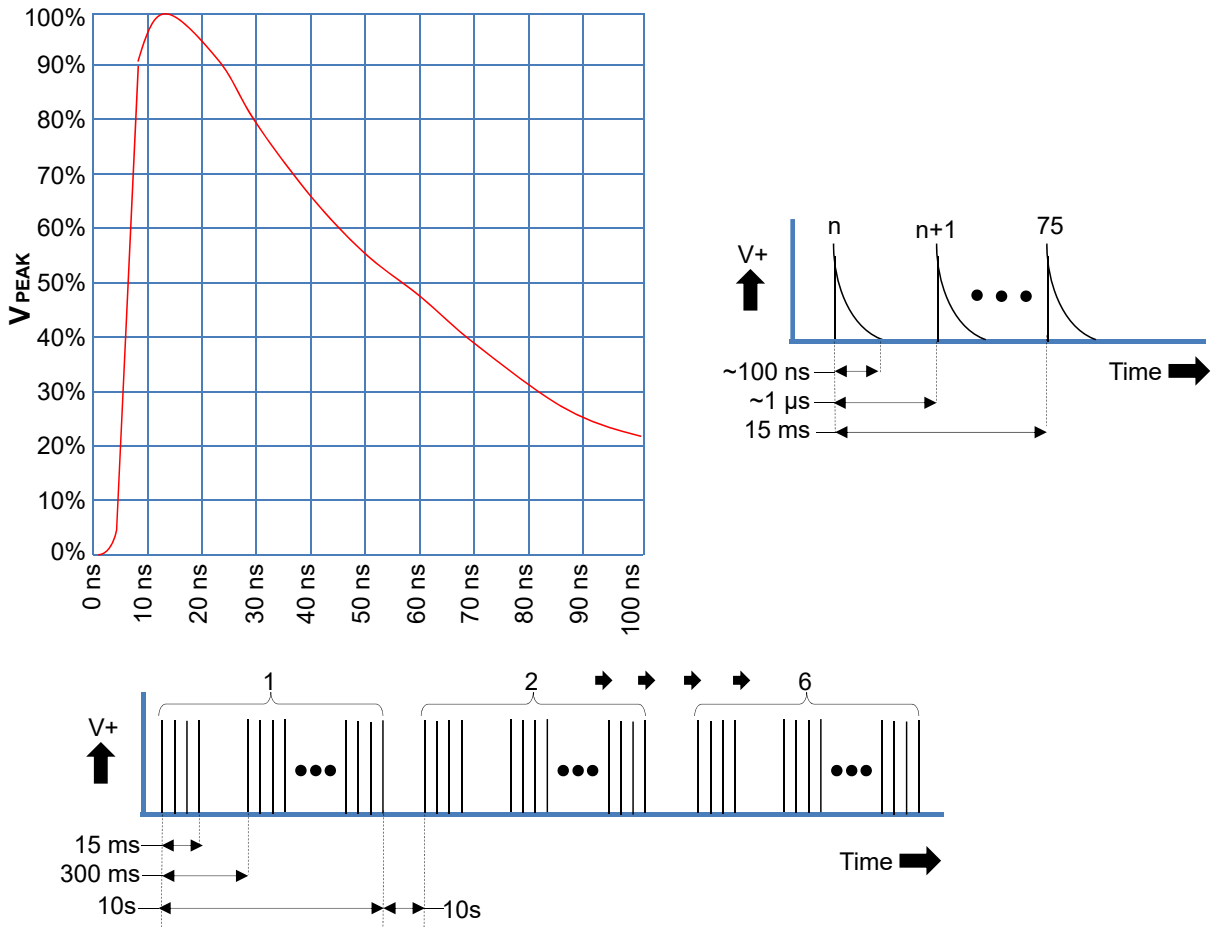


图 3-3. EFT 测试波形



4. 滤波电容选择

关于电容作为 EFT/EMI 滤波器的简短说明。EFT 测试频率通常在 100-200 MHz 范围内（约 5 ns 上升时间）。在选择电容作为噪声滤波器时，用户应始终考虑电容的两个重要特性：最大频率限制和自谐振。各种类型电容的最大频率限制如表 4-1 所示。自谐振是电容的表现不再像电容，而变得更像电感时的频率。

表 4-1. 电容频率限制

电容类型	频率限制
铝电解电容	100 kHz
陶瓷电容	1 GHz
云母电容	500 MHz
聚酯薄膜电容	10 MHz
纸介电容	5 MHz
聚苯乙烯电容	500 MHz
钽电解电容	1 MHz

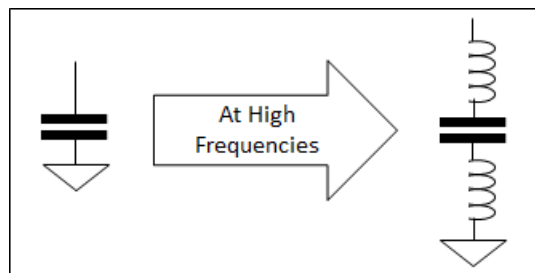
确保用于滤除噪声的电容类型具有比尝试滤除的噪声更高的自谐振频率。表 4-2 列出了各种电容值的典型自谐振频率。

表 4-2. 电容自谐振频率

电容值	引脚	表面贴装
1 μF	2.5 MHz	5 MHz
0.1 μF	8 MHz	16 MHz
0.01 μF	25 MHz	50 MHz
1000 pF	80 MHz	160 MHz
100 pF	250 MHz	500 MHz
10 pF	800 MHz	1.6 GHz

电容自谐振频率是因电容自身的电容和剩余电感而发生谐振时的频率。它是电容的阻抗变为零时的频率。电容的插入损耗增大，直至频率达到自谐振频率，然后由于引线的剩余电感以及电容的电极模式（与电容串联存在）而减小。由于残余电感开始占主导地位，因此会阻止噪声通过旁路进入地，所以电容插入损耗开始随频率的增加而减小。插入损耗开始下降时的频率称为自谐振频率。

图 4-1. 自谐振频率



请记住，关于电容的一些惊人事实也适用于陶瓷电容 XR5 以及 XR7。众所周知，给定电容的容差随温度而降低。以下是一些设计人员可能没有意识到的不太为人所知的事实。

主要特点

- 对于陶瓷电容的给定电容值，随着封装尺寸的增加，电容值随施加的直流电压变化的程度显著降低
- 对于陶瓷电容的给定电容值，随着封装尺寸的增加，电容值变化的程度降低
- 对于不同封装尺寸的陶瓷电容的给定电容值，与具有较高额定电压但不在同一封装尺寸系列中的封装相比，具有较低额定电压封装的电容值变化程度较小。

陶瓷电容类型标识（例如 X7R 和 Y5V）不表示电压系数，只表示温度系数。例如，偏置电压为 12V、额定电压为 16V 的 4.7 μF 电容通常仅提供 1.5 μF 的电容值，但只要封装尺寸从 0805（2012 指标）增加到 1206（3216 指标），12V 偏置电压下的典型电容值将变为 3.4 μF 。

注：

1. Murata 和 TDK 网站均提供相应工具，用户可利用这些工具绘制不同电气和环境条件下的电容变化曲线。
2. AVX 提供了另一款有用工具，可用于比较不同封装尺寸、介质、额定电压和工作电压下电容阻抗与频率的关系，下载地址如下：<http://www.avx.com/design-tools/>。

5. 电磁干扰 (EMI/EMC) IEC 61000-4-5

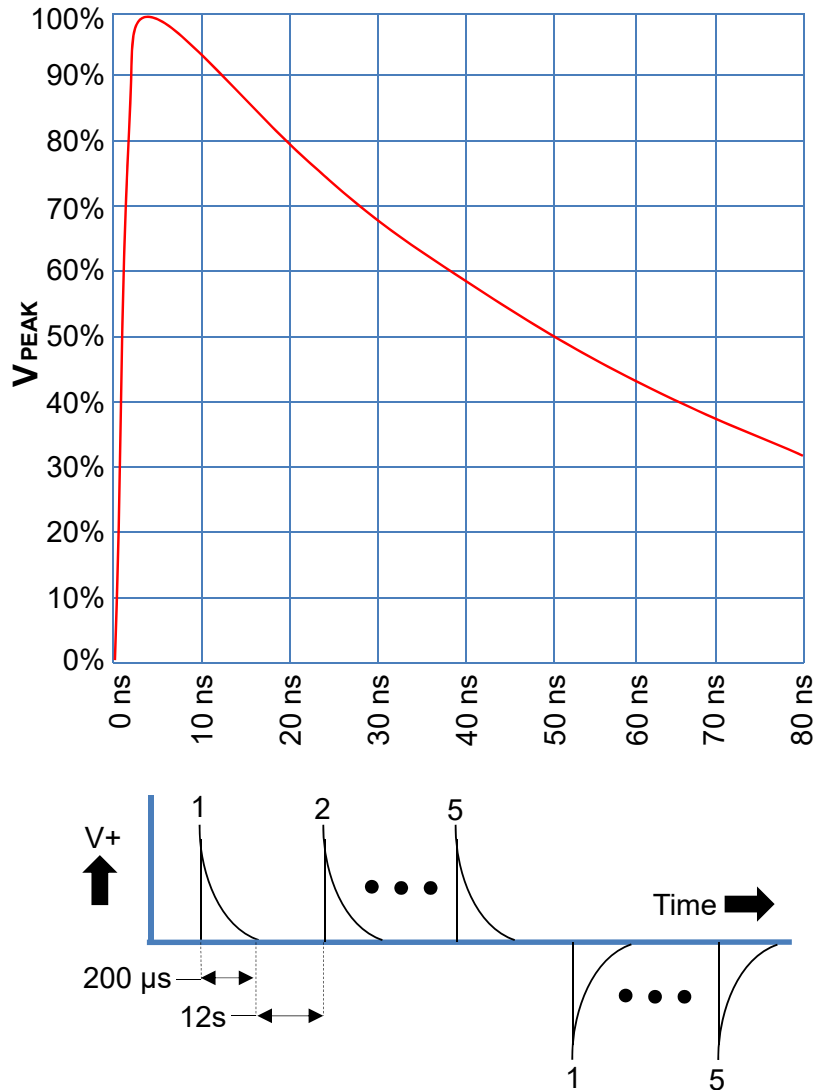
电磁干扰 (EMI) 是指由内部或外部源产生的干扰, 通过电磁感应、静电耦合或传导影响电路。电磁兼容性 (EMC) 涉及电磁能的无意产生、传播和接收, 这些电磁能可能在运行设备中引起 EMI 等不利影响, 甚至造成物理损坏。

根据相关的 FDA 审查指南文档或欧洲 IEC 60601-1-2 标准, 必须针对医疗设备制造执行 EMI/EMC 合规性测试。在欧盟, 所有医疗设备都必须贴有 CE 标识, 这要求根据 IEC 60601-1-2 执行抗扰度和辐射测试。MIL-STD-461 包含了严格的电磁兼容性要求。微波炉、移动电话、笔记本电脑和卫星电视天线等消费品都必须经过 EMC/EMI 测试, 以确保它们不会导致有害干扰并且能够接受干扰而不会导致意外操作。

表 5-1. IEC 61000-4-5 电气电磁干扰测试等级

等级	电压
0	25V
1	0.5 kV
2	1 kV
3	2 kV
4	4 kV

图 5-1. IEC 61000-4-5 EMI 测试波形



5.1 EMI 的类型

5.1.1 辐射 EMI

通常来说，当干扰源与受干扰系统相距一定距离（通常大于一个波长）时，将遇到这种类型的 EMI 耦合。干扰源会辐射可能是预期或意外的信号，而受干扰系统会以损害其性能的方式接收该信号。

最有效的辐射 EMI 抑制策略：

- 适当的 PCB 设计
- 屏蔽
- 由于消除了共模噪声，因此差分信号（例如 CAN、USB 和以太网）对这种形式的干扰具有较强的抵抗力
- 双绞线

- RC 滤波器
- 铁氧体磁珠

辐射 EMI 的常见原因:

- 磁场, 例如从电线、非屏蔽电源变压器或电感辐射出的磁场
- 雷击引起的电磁浪涌
- 与静电荷有关的静电放电
- 高速信号阻抗不匹配 (信号反射)
- 具有高速时钟和瞬时电流/功率要求的高密度芯片

每个正常工作的电路都会辐射 EMI。辐射 EMI 的大小取决于频率、电流、信号电流回路面积和电感。每个带有开关电流源的电流回路也都是辐射体, 并因此形成环形天线。因此, 每个电路都会辐射射频能量 (EMI)。

PCB 电路辐射 EMI 的因素:

- 天线电流回路面积
- 电感 (负载)
- 频率
- 开关电流

图 5-2. 辐射 EMI 电路比较

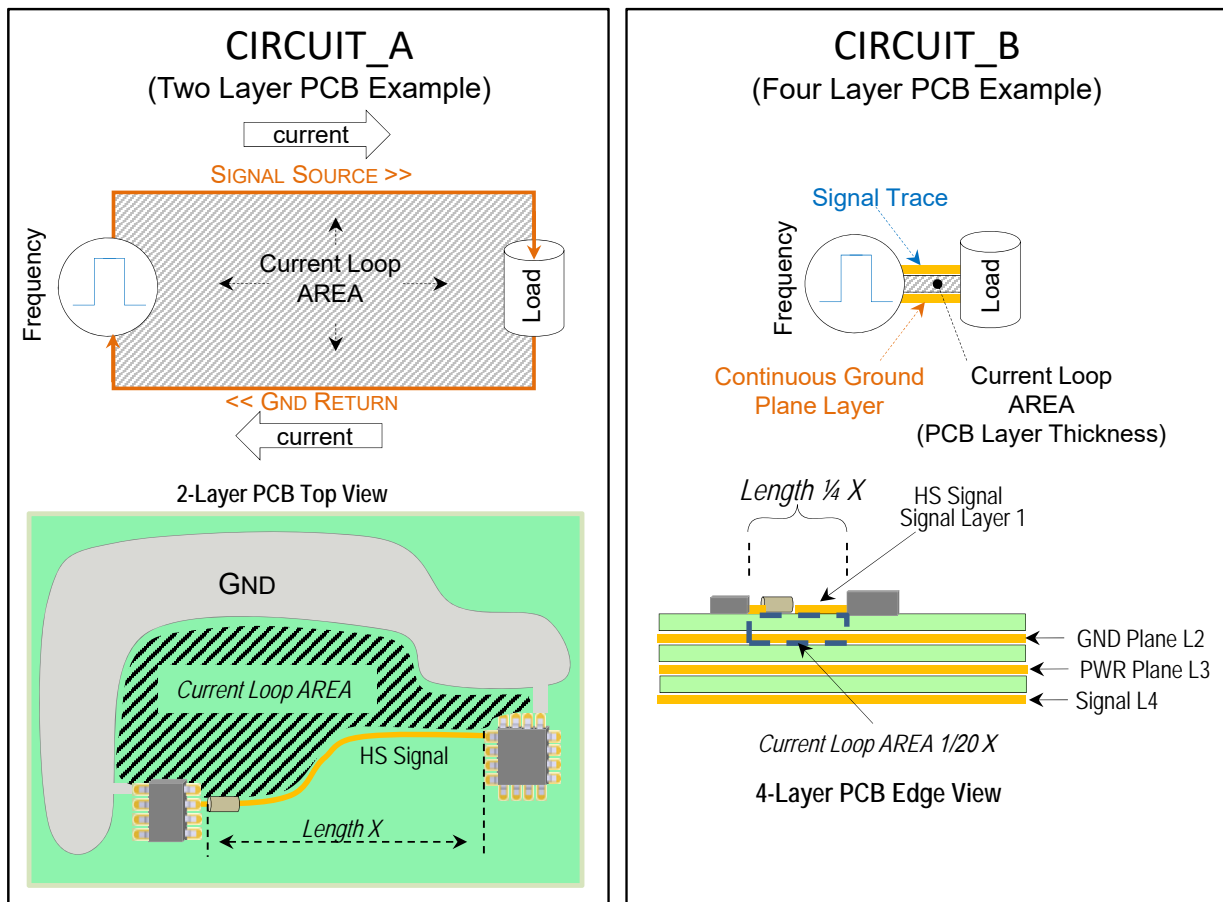


表 5-2. 辐射 EMI 电路比较

电路示例	电流回路面积	电感	频率	开关电流
电路 A	极大	大	相同	相同
电路 B	极小	小	相同	相同

表 5-2 对应于图 5-2。

5.1.1.1 信号电流回路面积

EMI 辐射的能量受电流回路面积影响，它是所有影响因素中最重要中的一个。在双层 PCB 上，无法在电路板上的每个信号旁边都布置连续的接地走线，因为这会产生非常大的天线回路面积。天线越长，辐射发射越大，尤其是高速信号。

主要特点：辐射能量是面积的三次函数。这意味着如果将回路包围的面积减半，辐射功率会降低 8 倍。如图 5-2 中的电路 B 所示，为有效延伸到具有专用连续地平面的 4 层 PCB，将面积的最重要的参数之一刚好减小到 PCB 层之间的厚度，从而在复杂的高密度设计布线中显著降低辐射 EMI，如电路“A”和“B”的比较所示。通过将关键元件就近放置来减少走线长度，可以减小回路面积和电感，从而获得双重收益。

5.1.1.2 电感

电感取决于线路长度，受宽度和高度的影响较小。PCB 走线的电感等于：

$$L (\text{电感}) = 2.0 \times 10^{-3} * \text{长度} [\ln\{(2.0 * \text{长度}) / (\text{宽度} + \text{厚度})\} + 0.5 + 0.2235\{\text{宽度} + \text{厚度}\} / \text{长度}] \mu\text{H}$$

其中，长度、宽度和厚度均以厘米为单位。

主要特点：如图 5-2 中的电路 B 所示，最大程度地减小 PCB 走线长度（尤其是高频信号的走线长度）将有助于降低电感，进而降低辐射 EMI。只要在层规划中将关键的电路移到一起，就可以最大程度地减小走线长度，如电路“A”和“B”的比较所示。

5.1.1.3 频率

随着信号电流变化的频率和转换率增加，辐射能量也会增大。除非确保高频信号具有受控的阻抗匹配网络，否则由于特定协议（例如 USB 和以太网）的速度时序要求，高频信号无法一直降低频率。

主要特点：用户可以对 SPI 等同步协议执行诸如降低时钟速率等操作以获取应用所需的最小数据速率，而不是全速运行，这也会为 CPU 释放更多带宽。此外，根据电路电容对频率高于 8 MHz 以上的信号使用串联电阻，以尽可能地衰减信号转换率。

5.1.1.4 开关电流

通常，很少有用户会根据开关电流进行调整，因为信号负载通常由设计要求确定。这需要用户根据具体的电路情况进行评估以降低辐射的可能性。

主要特点：辐射功率 = $I^2 * R$ ，这意味着如果用户可以将回路开关电流降低 50%，则 EMI 辐射功率将降低 75%。

5.1.2 传导 EMI

当存在可以传输信号的传导路径时就会发生传导发射。它可以沿着电源电缆或其他互连电缆产生。传导具有以下两种模式：

- 共模：当两个导体上的噪声呈现相同相位时（即信号的输出和返回，或+和-电源线），就会发生这种类型的 EMI 耦合。
- 差模：当两个导体上的噪声异相时会发生这种类型的 EMI 耦合。

最有效的传导 EMI 抑制策略：

- PCB 设计
- 共模扼流器
- 铁氧体磁珠 (信号和交流电源线)
- RC、LC 和 C 滤波器

传导 EMI 的常见原因:

- 磁场, 例如从电线辐射出的磁场
- 欠压、掉电或其他电源中断引起的压降
- 电源电压浪涌、跌落、下降或尖峰
- 雷击引起的电磁浪涌
- 与静电荷有关的静电放电
- 电气开关、电机和继电器以及荧光灯镇流器引起的快速瞬变
- EFT 和 ESD 事件

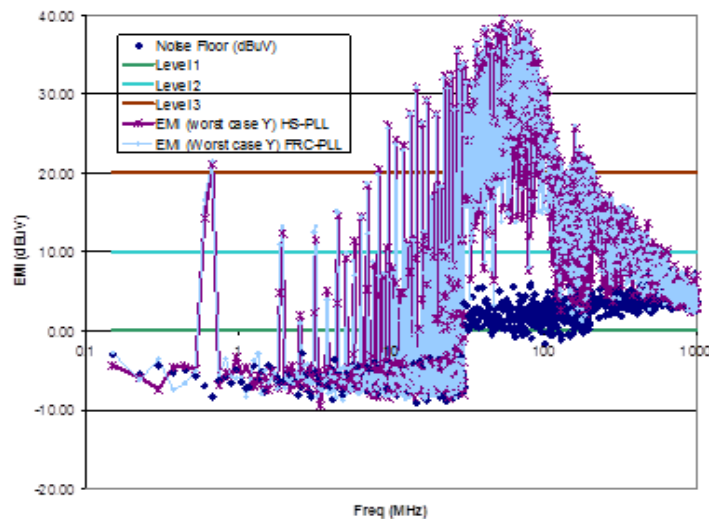
滤波技术

EMI 所需的滤波技术随出现的 EMI 耦合类型的不同而有所差异。

- **电感耦合:** 该类型耦合由磁感应引起。
- **电容耦合:** 当干扰源的变化电压以容性方式将电荷转移到受干扰系统时会出现这种类型的耦合。
- **磁耦合:** 当干扰源与受干扰系统之间存在变化磁场时会出现这种类型的 EMI 耦合, 这种磁场可能会在两个导体就近放置 (间隔小于 λ) 时出现。这将在受干扰系统中感应出电流, 从而将信号从干扰源传输到受干扰系统。

5.1.3 应用中的辐射 EMI

图 5-3. 典型 CPU 运行模式 EMI 辐射 (PLL 和所有时钟均有效)



注: 时钟为 80 MHz CPU、PLL 为 160 MHz, 在 630 kHz 下翻转所有 I/O 引脚。对于相同的 CPU 配置, “X” 和 “Y” EMI 辐射大致相同。

即使将应用封装在金属外壳中, 也不会将电路与内部辐射 EMI 源或者来自电源和 I/O 电缆的外部交流市电传导 EMI 隔离。可能需要各种电源滤波和/或屏蔽技术 (见 12. ESD、EMI 和 EFT 硬件电路保护原理图示例)。

特别是，对于具有高增益、低噪声放大器接收器前端（即 LNA）的敏感模拟 RF Wi-Fi™ 无线电路，可能需要 EMI 屏蔽。在许多情况下，具有大量内部高频谐波分量的 CPU 都是辐射 EMI 的主要来源，可能需要 RF 屏蔽以避免干扰板上 PCB 无线元件。强烈建议用户在使用 RF 屏蔽时选择足以覆盖 CPU、电源引脚 Pi 和 T 滤波器网络（如参考设计中所示）以及 CPU 晶振电路的屏蔽设计。

注： 确保 RF 屏蔽与任何信号走线之间的间隙至少为 3 mm，以避免 8 kV 接触放电（IEC61000-4-2 等级 4 标准）。

图 5-4. EMI RF 屏蔽

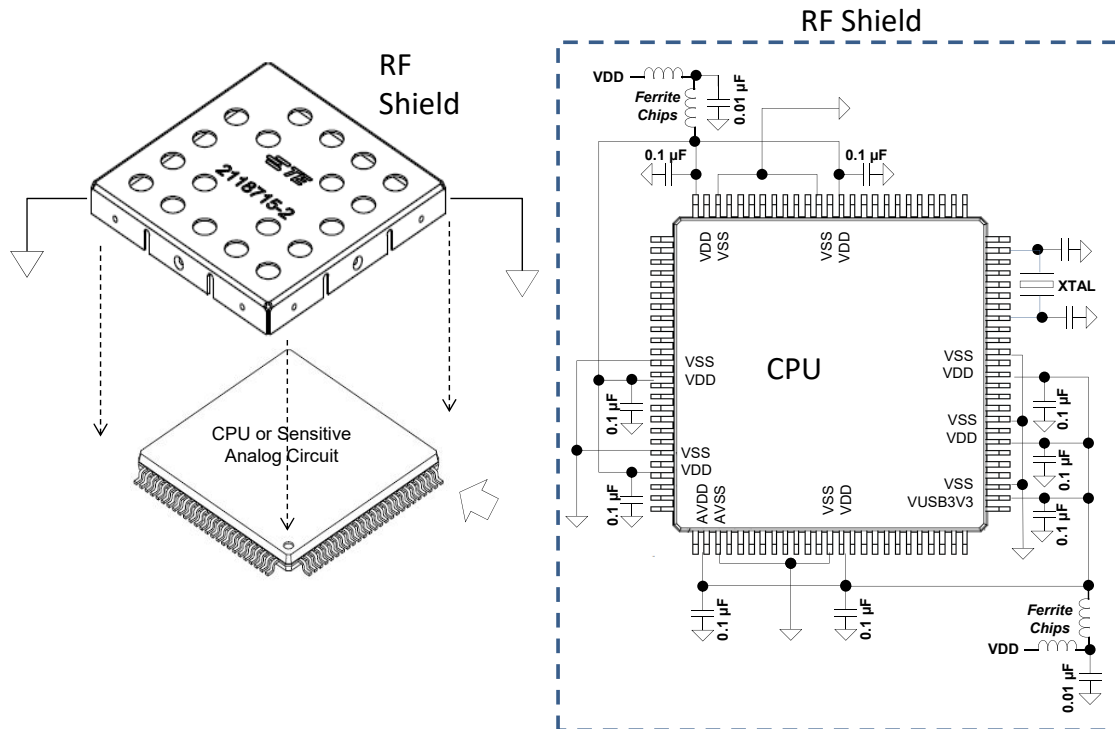


表 5-3. EMI RF 屏蔽部件编号

制造商	Digi-Key/制造商部件编号	尺寸 (mm)
Leader Tech Inc.	1798-1176-ND/SMS-201C	13.26 x 13.26
TE Connectivity	A126120-ND/2118715-2	16.90 x 16.90
Leader Tech Inc.	1798-1178-ND/SMS-202C	17.07 x 17.07
Leader Tech Inc.	1798-1182-ND/SMS-203-M-C	26.77 x 26.77

注： 1000 单位数量的平均成本：约 0.17 美元/个。

内部应用 EMI 的另一个来源可能是 CPU 主振荡器，特别是在晶振过驱动的情况下。请参见以下晶振应用笔记。

注： 请检查目标 CPU 是否提供了可能优先于以下参考文档的主振荡器勘误表。

- AN826——Crystal Oscillator Basics and Crystal Selection (<http://ww1.microchip.com/downloads/en/appnotes/00826a.pdf>)
- AN588——Oscillator Design Guide (<http://ww1.microchip.com/downloads/en/AppNotes/00588b.pdf>)

- AN849——Basic PICmicro® Oscillator Design (<http://ww1.microchip.com/downloads/en/AppNotes/00849a.pdf>)



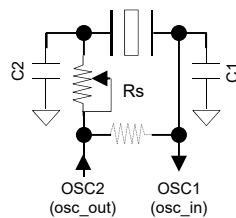
重要： 如果目标 CPU 采用内部晶振 AGC 设计，则上面列出的应用笔记参考文档以及下面的两种晶振校准方法均不相关。

确保晶体未过驱动的方法

图 5-5. 方法 1

Primary Oscillator: Method 1 of 2 (Ballpark Method)

- 1) Set $R_s = 0$ Ohms
- 2) Start the CPU.
- 3) Toggle I/O pin and monitor with oscilloscope.
- 4) Using non-conductive adjustment tool, (i.e., non-metallic), very slowly increase R_s until I/O pin stops toggling.
- 5) Very slowly reduce R_s until I/O pin resumes toggling consistently.
- 6) Remove power.
- 7) Remove and measure R_s with an ohm meter.
- 8) Replace potentiometer with closest standard fixed value resistor less 10-15%



Potentiometer: 0-5K Ohm, Part# [Y40535K00000J0L](#) no substitutions allowed. Specialty required bulk foil potentiometer

High-Frequency Characteristics

- Rise time = 1.0 ns without ringing
- Inductance = 0.08 μ H typical (i.e. 80nH)
- Capacitance = 0.5 pF typical



Primary Oscillator Crystal Load Capacitor Calculation

- o C_{IN} = PIC oscillator input pin capacitance = 3.5-4 pF
- o C_{OUT} = PIC oscillator output pin capacitance = 3.5-4 pF
- o PCB stray capacitance (i.e., 12 mm length) = 2.5 pF
- o C_1 and C_2 = Loading capacitors to use on your crystal circuit design to guarantee that the effective capacitance as seen by the crystal in circuit meets the crystal manufacturer CLOAD specification

MFG Crystal Data Sheet CLOAD spec:

$C_{LOAD} = \{ ([C_{IN} + C_1] * [C_{OUT} + C_2]) / [C_{IN} + C_1 + C_2 + C_{OUT}] \} + \text{oscillator PCB stray capacitance}$

Assuming $C_1 = C_2$ and PIC $C_{IN} = C_{OUT}$, the formula can be further simplified and restated to solve for C_1 and C_2 by:

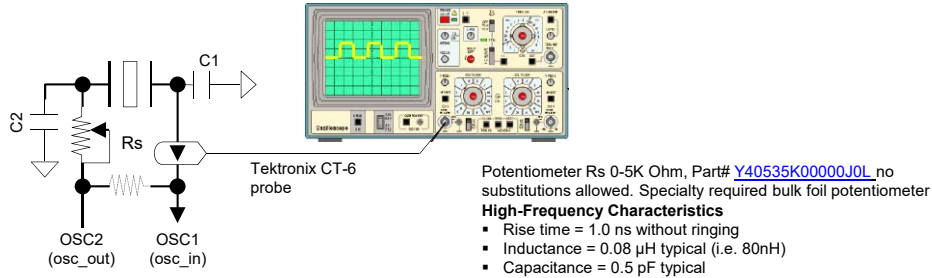
EQUATION 1:

$$C_1 = C_2 = ((2 * \text{MFG CLOAD spec}) - C_{IN} - (2 * \text{PCB capacitance}))$$

图 5-6. 方法 2

Primary Oscillator Method 2 of 2 (Traditional Method)

- 1) Set $R_s = 0$ ohms.
- 2) Place current probe in series on OSC1 (i.e., CPU Osc_in) side of crystal. Set oscilloscope to display RMS current.
- 3) Start up the CPU.
- 4) Measure oscilloscope IRMS current.
- 5) Calculate crystal power using Equation 3 below.
- 6) If power in watts is ~75% of crystal rated power drive specification, go to step 9.
- 7) Using non-conductive adjustment tool, (i.e., non-metallic), very slowly increase R_s by 1 turn, ~250 ohms.
- 8) Go to step 4 and repeat.
- 9) Disable CPU power.
- 10) Remove and measure R_s with ohm meter.
- 11) Replace potentiometer R_s with closest standard fixed value resistor.

**Example:**

- Crystal = ABLSG-4.194304MHZ-D2Y-T (Mfg. specifications)
- o C_o = Shunt capacitance = 7 pF
 - o C_{load} = 18 pF
 - o ERS = Equivalent Series Resistance = 180 ohms
 - o PD = Power Drive = 1mW(max)

EQUATION 2:

$$I_{RMS} = (I_{PKPK} / (2\sqrt{2}))$$

EQUATION 3:

$$\text{Crystal Circuit Power} = I_{RMS}^2 * ERS((1+C_o / C_{load})^2)$$

注: 如果使用串联谐振晶振, 则 C_L 将变为无穷大; 因此, 功率等于:
(晶振功率 = $I_{RMS}^2 * \text{动态电阻}$)

- VRWM = 反向工作电压（IR 时）（VRWM）
- IPP = 最大反向峰值脉冲电流（通常指的是 $8 \times 20 \mu\text{s}$ 或 $10 \times 1000 \mu\text{s}$ 浪涌脉冲）
- VC = 钳位电压（IPP 时）

反向工作电压 VRWM: ESD 器件适用的最大标称工作电压。在该电压下，ESD 二极管将作为高阻抗元件呈现“关断”状态，泄漏电流极低。该规范必须大于受保护信号的预期峰值工作电压。

峰值脉冲电流 IPP: 器件能够承受而不发生损坏的最大浪涌电流。

该参数对于高功率瞬态电压抑制器（TVS）应用（例如 IEC61000-4-2 等级 4 接触放电事件）非常重要。

钳位电压 VC: 钳位电压决定了受保护 IC 信号将获得的电压。除 IPP 之外，该参数是选择瞬态电压抑制器时需要考虑的最重要的参数之一。

电容 C: TVS 电容是以高数据速率工作的应用重点关注的参数。高电容将降低信号质量，影响高速信号的完整性。以太网和高速 USB 等高速信号需要具有小容量电容的器件（通常小于 5 pF ）。相反，对于需要保护的中/低速信号，较大容量的 TVS 电容器件实际上是有益的，有助于实现双重功效。较大的电容也可用作 EMI 的滤波器。分流传导 EMI 和限制信号压摆率也可以减少辐射信号 EMI。

反向击穿电压 VBR: 在该电压下，ESD 二极管开始导通或“接通”。VBR 被指定为 ESD 应用的最小值，通常比 VRWM 高 10%到 15%。该规范始终高于 VRWM 并低于 VC。

7. 有关 EMC、EFT 和 ESD 的印刷电路板（PCB）布局和设计注意事项

许多设计人员最初关注的重点是确保其设计的功能，而很少考虑 EMI/EMC/EFT/ESD。EMI 测试费用和电路板重复周期可能会迅速增加。据报道，在一个 EMC/EMI 测试实验室中，有 90% 的产品在第一次测试时失败。如果确实如此，则当 EMI 兼容性测试费用处于 5,000 美元至 50,000 美元范围内时，EMI/EMC/EFT/ESD 的电路设计和 PCB 布局注意事项与功能同样重要。因此，在初始 PCB 设计中考虑 EMI/EMC/EFT/ESD 可能很有意义。这不只是为了满足认证要求，也是为了实现应用可靠性。

一些工具（例如近场扫描器）允许用户查看整个电路板上的辐射，甚至能够放大热点以隔离潜在的布局问题。单个探针很难做到这一点。目前市场上有几种 EMI/EMC 扫描器，例如来自 EMSCAN、DETECTUS 和 API 等的扫描器。扫描器本质上是放置在网格中的一系列近场探针。因此，它可以生成电路板发射的图像，这种图像比通过单个探针手动扫描电路板获得的图像更具一致性和重复性。来自 EMSCAN 的 EMxpert 扫描器是一种值得考虑的扫描器。单击 [EMxpert](#) 链接来观看演示视频。EMxpert 是一个非常有用的工具，它允许您快速分析和比较设计迭代以及实时优化硬件设计，以便极大地提高通过昂贵的认证实验室测试的可能性，从而为您的产品上市节省宝贵的时间。

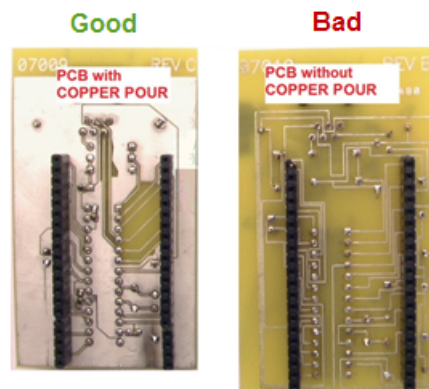
以下部分提供了一系列针对 PCB 布局的“最著名”方法（或实践）建议，可帮助解决 EMI/EMC/EFT/ESD 问题。

7.1 印刷电路板布局“最佳实践”建议

注：如果您的设计需要 EMC/EMI/EFT/ESD 测试和认证，在尽可能遵循以下建议后，我们还建议您尽早与目标合规实验室联系并与负责人举行初步设计会议，以便向对方学习相关知识并应用到早期的设计工作中。这些负责人在哪些方法有效、哪些不起作用方面拥有丰富的经验。

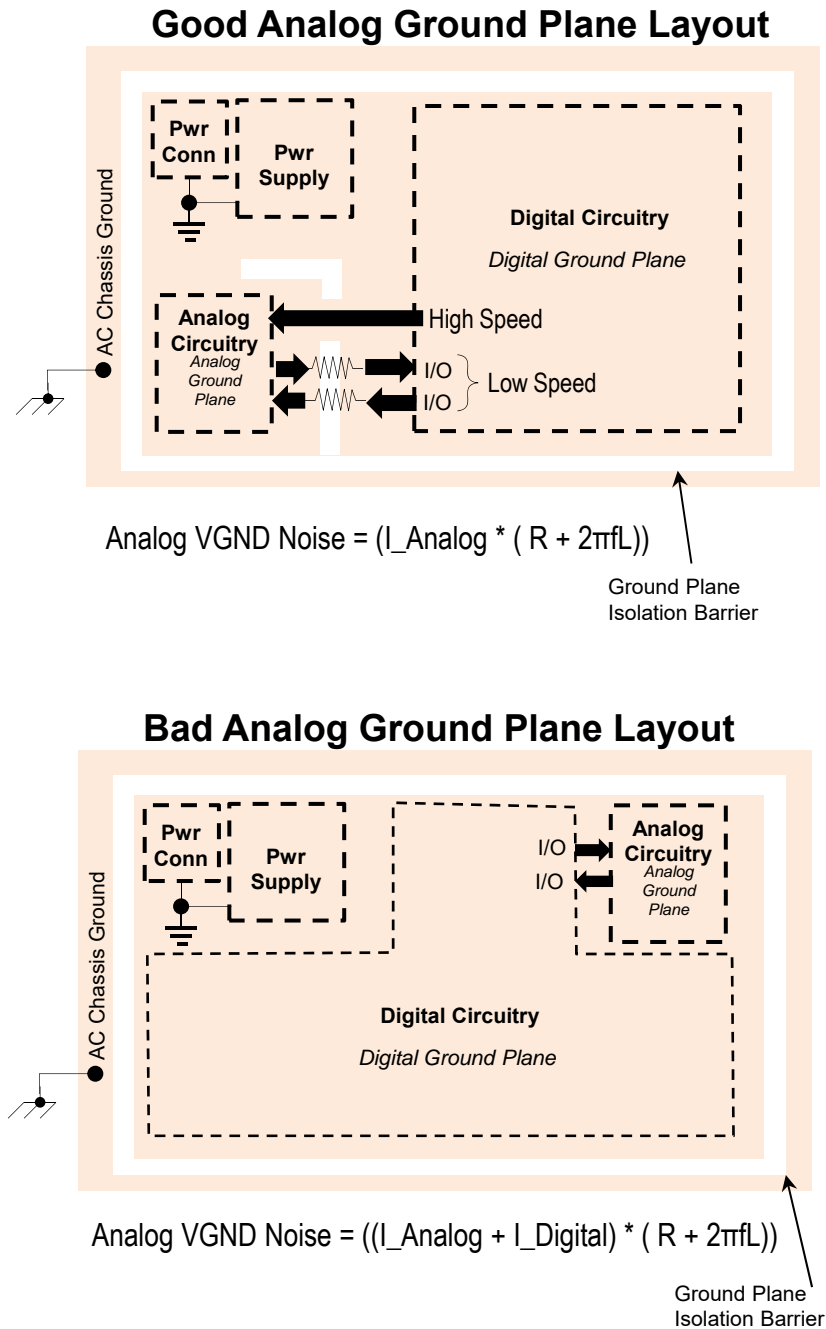
1. 首先对差分和高速走线进行布线，使邻近地平面层的 PCB 层 1 保持差分阻抗匹配。
2. 确保所有时钟和高速信号走线都有一个完整的参考地平面，其下方没有间隙或空隙，并确保它们在第 1 层布线。
3. 对带信号地的信号层上的所有空隙进行灌铜。

图 7-1. PCB 空隙的接地灌铜



4. 适当时候使用单独的数字地和模拟地，不要将地平面连接在一起，但电源地（即，最靠近相应的输入电源调节器）除外。

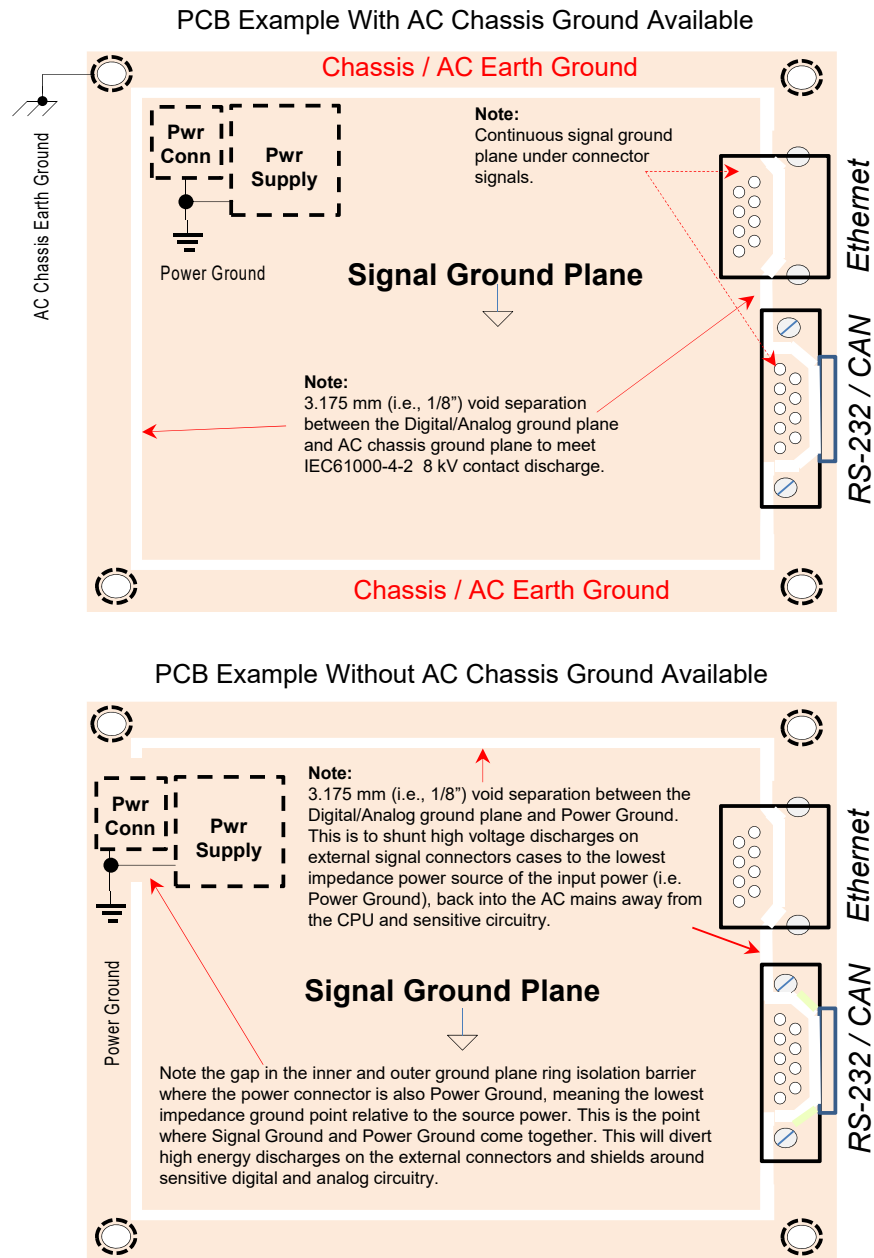
图 7-2. 模拟地与数字地布局



- 数字噪声和电流通常远大于模拟电路的噪声和电流。因此，应选择这样一种布局策略：模拟接地电流具有单独且非附加的数字接地电流和噪声，如上所述。使用接地隔离层来控制 and 包含远离模拟电路的数字噪声/电流。请记住，高频噪声会寻找电感最小的路径，该路径通常是地平面上距离最短的路径。当需要通过接地空隙（即沟槽）连接低速数字信号以桥接模拟和数字域逻辑时，请使用 1k 至 5k 串联电阻，如图 7-2 中的良好模拟地平面布局所示。如果需要从数字域到模拟域的高速信号，例如音频编解码器主时钟，请不要在接地空隙上方布线，而是使用一个隔离层桥（如第一个示例所示）以及一个约 50Ω 的端接电阻（时钟源处）。

6. 不要将敏感模拟信号走线在快速数字传输信号走线上方或附近平行布线。如有必要，确保它们以直角相交，以最大程度减小电容横截面。
7. 应尽量缩短承载高速数字信号或时钟的走线的长度。高速数字信号和时钟通常是最强的噪声源。这些走线越长，与能量耦合的机会就越多。此外，请记住，环路面积通常比走线长度更重要。确保每条走线附近都有良好的高频电流返回路径。
8. 应最大程度缩短直接连接到连接器 (I/O 走线) 的走线的长度。直接连接到连接器的走线可能是在板上或板外耦合的 EMC、EMI 和 EFT 能量的路径。建议在所有外部连接器 I/O 引脚上使用所需的 TVS 和铁氧体磁珠和/或共模扼流圈 (见 12. ESD、EMI 和 EFT 硬件电路保护原理图示例)。
9. 通常，理想的 PCB 设计规则是不在任何表面贴装焊盘 (电阻、电容和铁氧体磁珠等) 之间铺设任何走线。
10. 要使 PCB 走线能够提供所需电流量，应为其设计合理的宽度。在顶层或底层的局部区域中使用迷你平面将确保适当的电流供应。
11. 将布局划分为多个功能块，使得具有关键信号的元件彼此相邻。
12. 连接任何电源平面或地平面的所有元件引线应尽可能短。最佳解决方案是在表面贴装焊盘内使用平面连接过孔。在表面贴装焊盘外使用过孔时，焊盘到过孔的连接长度应在 5 到 10 毫米的范围以下。走线连接应尽可能宽，以降低电感。这包括为电源层供电的任何铁氧体磁珠以及为电源层供电的熔丝等。
13. 不得将具有高频分量的信号连接到板 I/O 所使用元件的下方。在元件下布线的走线可以通过电容或电感方式将能量耦合到该元件。
14. 如有可能，所有连接器应位于电路板的同一边缘或同一拐角。在大多数设计中，连接器代表了最有效的 EMC/EMI 天线部分。将它们放置在电路板的同一边缘可以更容易地控制共模电压，从而可以相对于一个连接器驱动另一个连接器。

图 7-3. 外部连接器的接地建议



15. 在 AC 机架地可用的应用中，如图 7-3 中的第一个示例所示，强烈建议不要将数字信号地和 AC 机架地相连，而是要至少间隔 3.175 毫米（即 0.125 英寸），以实现 11-12 kV 火花间隙隔离，从而符合 IEC61000-4-2 等级 4 的 8 kV 接触放电要求。

对于 USB、以太网、SD 存储卡槽、RS232 和 CAN 等外设，连接器外壳与信号地电气隔离。如有可能，外壳应连接到 AC 机架地（即地），以便无害地将高压放电分流到地，而不是分流到数字地或模拟地电路中。请注意，图中的地平面在外设连接器的所有高速信号连接下始终是连续的，但连接器外壳与外部 AC 机架平面隔离。

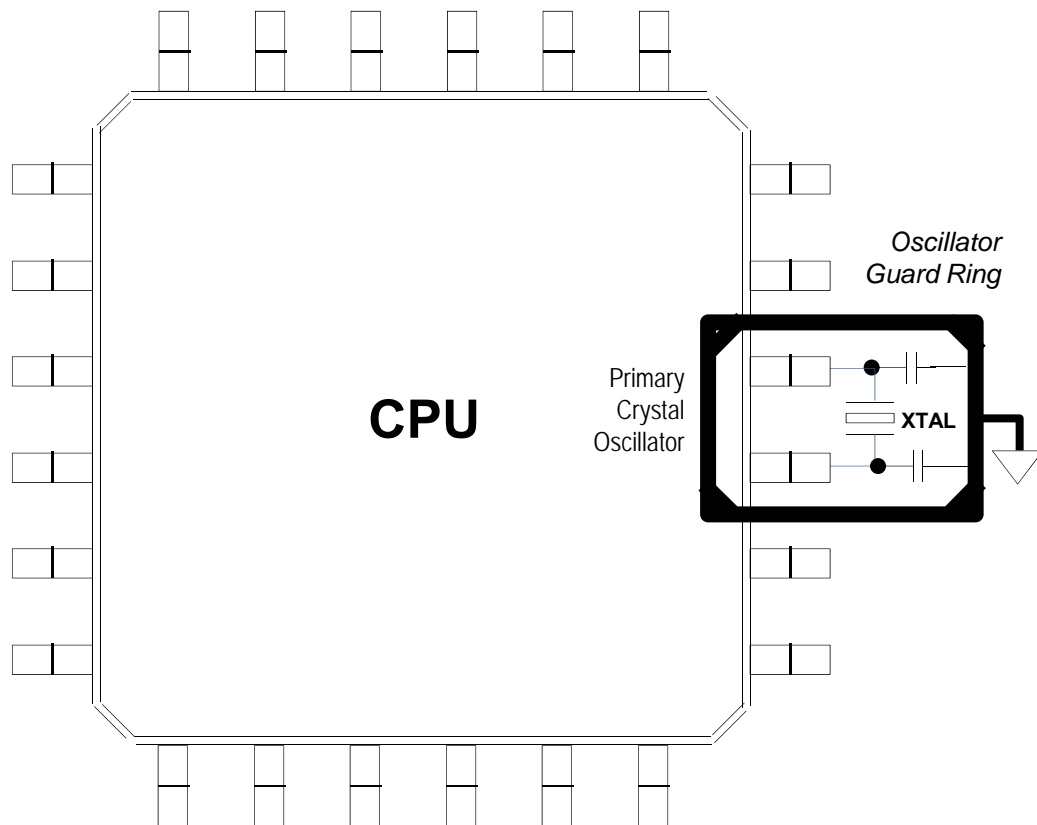
注：并非所有连接器外壳都是隔离的，如音频金属输入/输出插孔外壳。它们实际上是信号地。在这种情况下，它们不应安装在隔离的 AC 机架地上，而应在适当时通过铁氧体磁珠安装在数字/模拟地上（见 12.6 音频耳机和麦克风保护原理图）。用户应确定所使用的外设连接器是否具有与信号地隔

离的外壳。对于隔离的连接器，仅将连接器外壳连接到 AC 机架地；其他情况下，通过适当的铁氧体磁珠连接到信号地。

对于图 7-3 中的第二个示例，在没有可用的 AC 机架地（即地）的情况下，最佳策略是仍然使用隔离层，并将其置于内部和其他平面的电路中相对于电源（电源进线和稳压器处，其他情况称为电源地）阻抗最低的点。这将转移数字和模拟电路周围的外部连接器和屏蔽层上的高能量放电，以通过电源耗散并耦合到交流市电中。

16. I/O 连接器之间不应有高速电路。即使两个连接器位于电路板的同一边缘，位于它们之间的高速电路也会产生足够的共模电压来相对于一个连接器驱动另一个连接器，从而导致严重的辐射发射。
17. 不允许未使用的 I/O 引脚悬空为输入。它们应通过 1k 至 10k 电阻接地。
18. 振荡器电路与器件应放置在电路板的同一层。另外，将振荡器电路尽可能靠近相应的振荡器引脚，距离不超过 12 mm。负载电容应靠近振荡器本身，位于电路板的同一层。请在振荡器电路周围使用接地覆铜区和保护环（见 1kdf），以将其与周围电路隔离。如果使用双面电路板，请避免在电路板上晶振所在位置的背面有任何走线。

图 7-4. 振荡器保护环

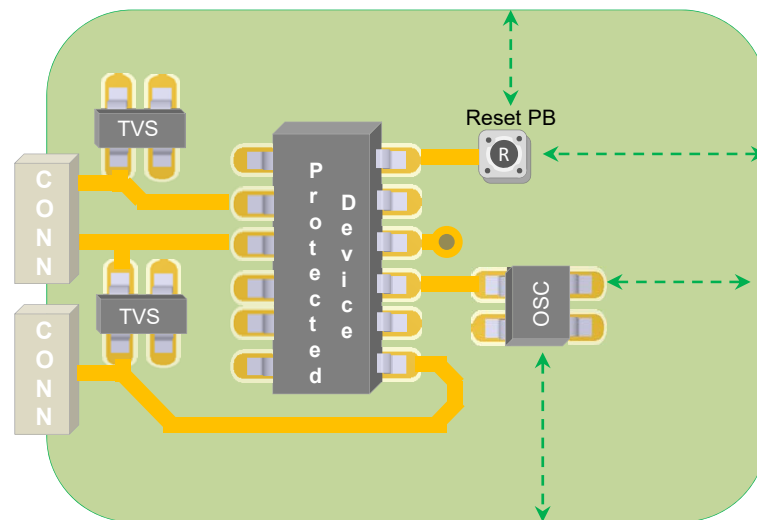


19. 如有可能，关键信号或时钟走线应埋在电源/地平面之间。在两个固定平面之间的层上布线可以很好地通过这些走线包含相应区域，避免不需要的耦合。
20. 选择具有最大可接受片外转换时间的有源数字元件。如果数字波形的转换时间短于它们所需的转换时间，则高次谐波中的功率可能远高于所需的功率。如果所用逻辑的转换时间短于它们所需的转换时间，则通常可以使用串联电阻或铁氧体来减慢转换速度。

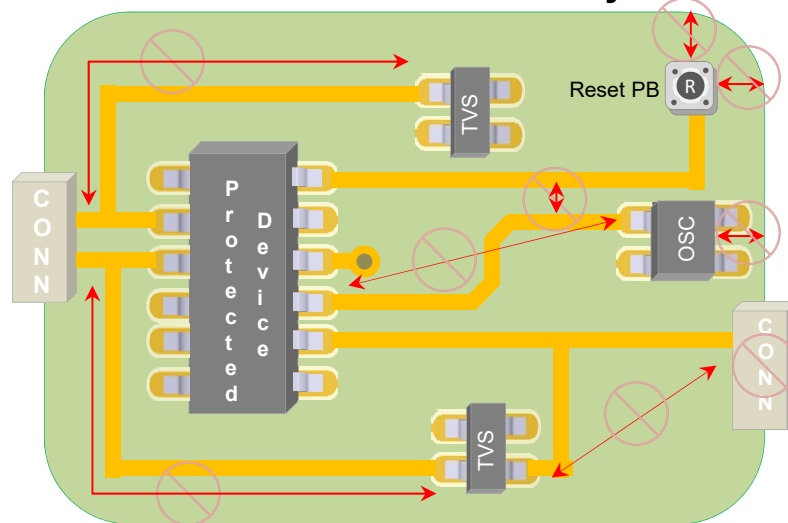
21. 与单个器件的所有板外通信都应通过同一连接器传输。许多元件（尤其是大型 VLSI 器件）会在不同的 I/O 引脚之间产生大量共模噪声。如果其中一个器件连接到多个连接器，则此共模噪声可能会驱动性能良好的天线。（该器件也会更容易受到此天线带来的辐射噪声的影响。）
22. 将 TVS 尽可能靠近外部信号连接器，TVS 接地连接直接连接到地平面，以避免接地走线连接。
23. 高速或易受影响的模拟/数字走线与电路板边缘的距离至少应当为 $2x$ ，其中“ x ”是走线与其返回电流路径之间的距离。与非常靠近板边缘的走线相关联的电场线和磁场线未受到良好控制。天线的串扰和耦合往往比这些走线更严重，并使其更容易受到 ESD、EMI 和 EFT 事件的影响。
24. 易受影响的元件/电路应远离 PCB 边缘。最好将它们置于电路板中心。如果无法做到这一点，则当没有使用外部 AC 机架接地环时，请尝试将其放置在距离边缘超过 12 毫米的位置，因为在高压放电事件中，高频能量会聚集在外部边缘，特别是 PCB 主体的直角拐角处（使用圆形 PCB 拐角），如图 7-5 所示。

图 7-5. PCB 布线示例

Good ESD/EMI/TVS PCB Layout



Bad ESD/EMI/TVS PCB Layout



25. 差分信号走线对应布线在一起，并与任何固定平面保持相同的距离。差分信号不易受噪声影响，如果它们是平衡的（即，如果它们具有相同的长度并且相对于其他导体保持相同的阻抗），则不太可能产生辐射发射。这些信号走线和其他高速信号走线应在第 1 层布线（直接位于地平面层上方），以最大限度地减少电流环路和辐射 EMI。
26. 以相同电源返回（接地）平面为基准的所有电源（电压）平面应在同一层上布线。例如，如果电路板采用三种电压（3.3V、3.3V 模拟电压和 1.8V 电压），通常需要最大程度地减少这些平面之间的高频耦合。将电压平面放在同一层上将确保没有重叠。这还有助于促成有效布局，因为有源器件不太可能在电路板上的任何一个位置需要两个不同的电压。
27. 给定层上任何两个电源平面之间的间隔应至少为 3 mm（即 11 kV 隔离）。如果同一层上的两个平面彼此过于靠近，则可能发生显著的高频耦合。在不利条件下，如果平面距离太近，电弧或短路也可能成为问题。
28. 在带有电源平面和地平面的电路板上，不得使用任何走线连接电源或接地。应使用与元件的电源或接地焊盘相邻的过孔进行连接。连接到不同层上的平面的走线会占用一定空间并增加连接的电感。如果高频阻抗是一个问题（就像电源总线去耦连接一样），则此电感会显著降低连接的性能。对于具有多个电源引脚的器件（如 CPU），可能需要对本地电源和接地孤岛进行 EMI/EFT 滤波。
29. 如果设计具有多个地平面层，则给定位置处的任何接地连接都应连接到所有地平面层的相应位置。此处的总体指导原则是，如果允许，高频电流将采用最有益（最低电感）的路径。不要试图仅通过连接到特定的平面来引导这些电流的流动。
30. 理想情况下，除非用户具有他们试图隔离的敏感模拟逻辑，否则地平面中应当没有间隙或狭缝（见图 7-3）。通常情况下，最好有一个固定地（信号返回）平面和一个专用于该平面的层。必须与地平面隔离直流的任何额外电源或信号电流返回路径应当在专用于地平面的层以外的层上布线。
31. 请务必查看整个 PCB 设计，了解是否有高速信号走线在任何参考平面切口上方相交。这很可能会产生 EMC 问题，因此请务必避免这种情况。
32. 电路板上与机架、电缆或其他良好“天线部件”接触（或耦合）的所有电源或接地导体应在高频下连接在一起。不同导体之间的意外电压（名义上称为“地”）是辐射发射和敏感性问题的主要来源。
33. 与外界接口的元件应靠近 PCB 边缘。其余元件应远离 PCB 边缘，以减少环境影响（即 ESD）。
34. 如果使用滤波器（即 RC 或铁氧体磁珠）来对外部信号进行滤波，则应将滤波器放置在它们进入 PCB 的位置。如果使用铁氧体磁珠抑制噪声，则应使其靠近噪声源而不是易受影响的器件。始终尝试抑制源头的噪声。如果噪声扩散，则控制会变得更加困难。
35. 如果使用共模扼流圈或瞬态抑制器（即 TVS 和 MOV）进行电源滤波，则应将其放置在 PCB 的入口处。在受 TVS 电路保护的电路中，来自连接器的外部信号应首先连接到 TVS，然后连接到铁氧体或共模扼流圈，最后连接到受保护的元件。
36. 包括主电源（L 和 N）在内的差分信号应来自同一连接器上的相邻引脚。
37. 改变方向时，PCB 走线应使用 45 度角进行布线；始终不得使用 90 度角。
38. 连接任何电源平面或地平面的所有元件引线应尽可能短。最佳解决方案是在表面贴装焊盘内使用平面连接过孔。在表面贴装焊盘外使用过孔时，焊盘到过孔的连接长度应在 5 到 10 毫米的范围以下。走线连接应尽可能宽，以降低电感。这包括为电源层供电的任何铁氧体磁珠以及为电源层供电的熔丝等。

7.2 PCB 旁路

1. 旁路电容应放置在靠近 PCB 上所有电源入口点的位置。这些电容将阻止不必要的高频噪声进入设计；噪声只会被分流到地面。
2. 应在设计中的所有 IC 电源连接和所有稳压器上使用多个 x10 或 x100 十进位旁路电容。

3. 所有旁路电容引线应尽可能短。最佳解决方案是在电容表面贴装焊盘内使用平面连接过孔。在表面贴装焊盘外使用过孔时，焊盘到过孔的连接长度应在 5 到 10 毫米的范围以下。走线连接应尽可能宽，以降低电感。
4. IC 去耦电容和铁氧体磁珠应尽可能靠近 IC 电源引脚。建议将电容放在电路板上器件所在的一侧。理想情况下，应将电容值为 0.1 μF 和 0.001 μF 的两个旁路电容并联。请首先布置电源线并把线返回到去耦电容，然后再走线到器件引脚。这可以确保去耦电容在电源链的最前面。保持电容和电源引脚之间的走线长度尽可能短也同样重要，因为这可以减少 PCB 走线间的互感。
5. 建议在设计中使用分布在电源平面区域上方的大容量电容来改善电源稳定性，尤其是在大电流消耗器件周围。典型值的范围为 4.7 μF 至 47 μF 。将大容量电容靠近电流需求最高的位置放置。每个功能模块至少有一个或多个大容量电容要接近 CPU 等瞬时电流需求高的位置。

7.3 PCB 层策略

1. 4 层 PCB 示例:

- 第 1 层——元件加信号层（短走线）
- 第 2 层——地平面
- 第 3 层——电源平面
- 第 4 层——信号

注： 强烈建议将此策略作为所有高速以太网 LAN 设计的最小要求，以满足大多数 EMC、EMI 和 EFT 要求。

2. 6 层 PCB 示例:

- 第 1 层——元件加信号层（短走线）
- 第 2 层——地平面
- 第 3 层——信号
- 第 4 层——信号
- 第 5 层——电源平面
- 第 6 层——信号

注： 4 层或 6 层 PCB 上的第 1 层被认为是主要的键布线和元件层，因为其正下方是固定数字地平面，第 1 层也不需要通过过孔来连接位于第 1 层的元件。

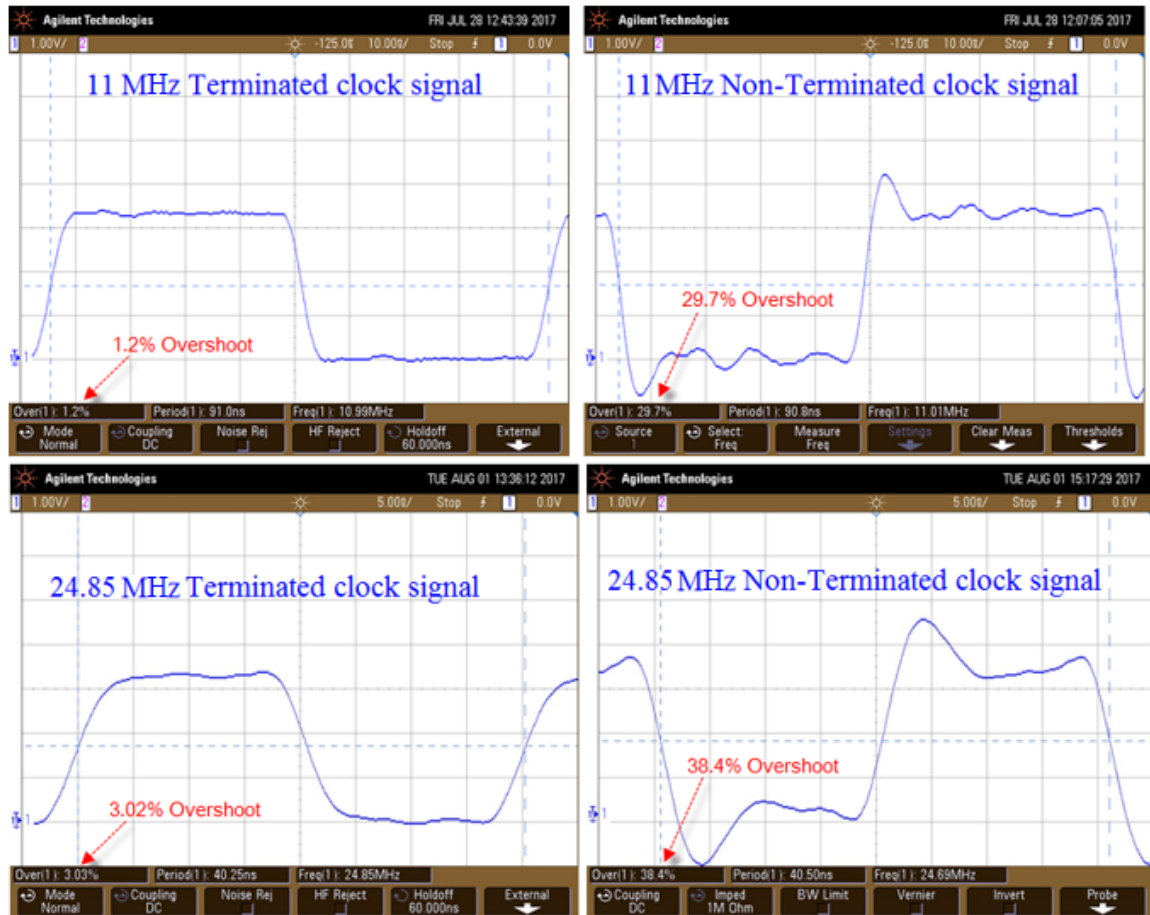
3. 所有 PCB 走线（尤其是高速和关键信号走线）应在固定连续地平面层的第 1 层上布线。这些走线必须具有连续的参考平面，才能满足其整个传导长度的要求。这将改善 EMC 性能和解决信号完整性问题。
4. 需要将以太网机架地平面与数字地平面分离。
5. 避免在 PCB 设计和系统设计中形成接地回路。为了便于布线并最大程度减少信号串扰问题，多层设计中的相邻层应以正交方式布线。

7.4 PCB 信号完整性问题

1. 如果需要穿过地平面空隙（即沟槽、狭缝和屏障）来使慢速 I/O 遍历数字到模拟部分，请使用具有高 DCR 的电阻或铁氧体来帮助减慢信号边沿转换以最大限度地减少辐射 EMI。作为替代方案，许多 CPU（例如 PIC32MZXXEFXX、PIC32MZXXDAXX 和 PIC32MKXX 系列）都具有带可实现相同目的的用户可编程压摆率控制的 I/O（有关详细信息，请参见具体器件系列的数据手册）。切勿使用高速信号或时钟线穿过地平面空隙。

2. 如果不可避免, 请使用 PCB 上的超长走线为所有高速开关信号和时钟线提供交流端接。在走线的负载端进行上述端接。通常, 使用 50Ω 串联电阻和 $50k$ 并联负载 (接地)。
3. 提供匹配 50Ω 串联端接的阻抗, 以最大限度地减少关键和高速信号的振铃过冲和下冲。这些串联端接应位于走线的驱动器端, 而不是走线的负载端。35-45 MHz 范围内的末端接信号频率可能在 50% 范围内经历过冲/下冲。末端接的高速信号可能是辐射 EMI/EMC 特征和串扰的重要因素。

图 7-6. 端接与未端接时钟信号



4. 避免在高速信号、差分和时钟线路中使用过孔和分支。
5. 最大限度地减少在高速信号设计过程中使用过孔, 因为过孔会增加信号走线的电容。
6. 通常, 应查看所有信号串扰设计规则以避免串扰问题。使用 3-W 规则提供足够的走线分离以避免串扰问题。还可以利用保护走线来最大限度地减少高速信号的串扰问题。
7. 对于阻抗匹配, 考虑将 SMT 电阻阵列应用于大型总线。
8. 由于大多数供应商没有指定输出上升/下降时间和驱动器阻抗, 因此预先确定正确的端接电阻值可能很棘手。该值可以通过第一个原型在工作台上进行微调。众所周知, 22Ω 至 50Ω 的电阻便已足够。

注: 作为替代方案, 大多数制造商在线发布 IC 的 IBIS 模型。在 IBIS 文本文件中, 您可以找到输出驱动器引脚的 V/I 和输出阻抗值, 从而确定正确的阻抗。

8. 以太网 10/100 Base-T 设计准则

8.1 以太网 TX±和 RX±差分对注意事项

1. RX±和 TX±对都应作为差分对布线。这包括从 RJ-45 连接器到 LAN 器件的走线的整个行程长度。
2. RX±和 TX±差分对对应尽可能靠近布线。通常，在开始计算阻抗时，选择最小的走线间距（4 mil 至 5 mil）。然后调整走线宽度以获得必要的 100Ω 阻抗。
3. 差分对应构造为 100Ω 受控阻抗对。
4. 采用共模扼流圈进行 EMI 隔离的设计必须为 100Ω。
5. 差分对应远离所有其他走线布线，间隙至少为走线宽度的三倍。
6. 差分对的每条走线的长度应匹配。每个正负对的匹配长度应在 20 mil 以内。
7. 差分对的长度应尽可能短。
8. 不建议使用过孔。如果使用过孔，请保持最小值并始终匹配过孔，以便平衡差分对。
9. 此外，也不建议更改各层。尽可能使差分对以相同的电源/地平面为基准。
10. 为获得最佳抗扰度，请将发送对和接收对尽可能远离彼此布线。
11. 始终使任意发送端接使用与发送布线相同的参考平面。同样，始终使接收端接使用与接收布线相同的参考平面。
12. 应优先考虑差分对布线。确定布线后应添加端接。端接应该简单地“拖放”到差分布线上。
13. 以太网前端的所有电阻端接应具有 1.0%容差值。
14. 以太网前端的所有电容端接都应具有严格的容差和高质量的电介质（NPO）。
15. 为了实现最佳分离，可以通过在发送对和接收对之间插入地平面孤岛来进行实验研究。应使该地平面与任何走线的间距保持为电解质距离的 3 至 5 倍。
16. 如果端口串扰是个问题，则可以使用相同的技术来分离不同的以太网端口。可以在以太网通道之间插入地平面。两个通道之间的间隔距离应尽可能宽。同样，应使该地平面与任何走线的间距保持为电解质距离的 3 至 5 倍。
17. TX 数据和 TXCK 通道之间的长度差不应超过 300 mil。
18. RX 数据和 RXCK 通道之间的长度差不应超过 300 mil。
19. 任何单端信号走线的阻抗应为 50±10%Ω。

8.2 未使用的以太网电缆对

未使用的电缆对（RJ-45 连接器上的引脚 4、5、7 和 8）应正确端接，以满足共模注意事项的要求。这些端接应使用粗且短的走线布线，并尽可能靠近 RJ-45 连接器。

如果未将带有内部端接的 RJ-45 连接器用于未使用的电缆对，则使用 75Ω 电阻通过高压（2 kV）电容端接到正确的机架地平面。

8.3 以太网 RJ-45 连接器

1. 建议使用经屏蔽的金属外壳 RJ-45 连接器。
2. 金属屏蔽层应直接连接到合适的机架地平面。
3. 另一个 ESD 改善方法可能是使用带表面贴装触点的 RJ-45 连接器。这可以简化布线并允许以太网前端中具有更大的间隔，以改善 ESD/敏感性性能。

8.4 以太网磁件

1. 任何特定的 LAN 器件都可使用许多不同类型和配置的磁件。选择磁件时，不同的封装、方向和尺寸都是需要考虑的因素。

表 8-1. 以太网磁件选择标准

参数	值	测试条件
匝数比	1 CT: 1 CT	—
开路电感（最小值）	300 μ H	100 mV, 100 kHz, 8 mA
插入损耗（典型值）	-1.1 dB	100 kHz 至 100 MHz
HIPOT（最小值）	1500 Vrms	—

2. 磁件应尽可能地靠近 RJ-45 连接器放置。
3. 所选磁件的样式（北/南或东/西）将决定与 RJ-45 连接器相关的磁件方向。确保磁件的网络侧面向 RJ-45 连接器，磁件的器件侧面向 LAN 器件。这将确保通过磁件中间的高压屏障可以在 PCB 上正确布线和设计。
4. 理想情况下，LAN 器件应尽可能靠近磁件放置。如果无法做到这一点，则 RJ-45 连接器和磁件必须十分接近。随后，LAN 器件可置于距离 RJ-45/磁件区域稍远的位置。

9. DDR 设计准则

1. 在每个数据通道中，每个信号与相应的 DQS/DQSn 信号之间的长度差不应超过 50 mil。
2. 建议在同一层上对同一数据通道的所有信号进行布线。
3. DQS/DQSN 信号对应作为差分走线布线。差分走线之间的长度差不应超过 20 mil，受控阻抗为 $100\pm 10\%\Omega$ 。
4. 数据通道和 CK 信号之间的长度差不应超过 400 mil。
5. 任何单端信号走线的阻抗应为 $50\pm 10\%\Omega$ 。
6. ADDR/CMD/CTL 信号与 CK 信号之间的长度差不应超过 200 mil，建议在同一层上对所有这些信号进行布线。
7. CK/CKn 信号应作为差分走线布线。差分走线之间的长度差不应超过 20 mil，受控阻抗为 $100\pm 10\%\Omega$ 。
8. 最大程度缩短同一数据通道中的串扰信号的间距：8 mil 至 12 mil。
9. 数据通道信号与其他信号的间距：大于 20 mil。
10. ADDR/CMD/CTL/CK 与其他信号的间距：大于 20 mil。
11. 将单片机和 DDR 存储器作为第一优先级放置。走线应尽可能短且使用最少的过孔。

10. 人体模型（HBM）与 ESD IEC 61000-4-2

HBM 和 IEC 61000-4-2 标准之间存在一些差异，在您决定是否使用外部 ESD 保护逻辑时，必须考虑这些差异。具体差异包括：

- 电压冲击期间释放的电流量和产生的功率
- 电压冲击的上升时间
- 测试中的电压冲击次数

电流/功率的差异对于目标是否能够顺利通过 ESD 冲击至关重要。由于高电流水平会导致结失效和金属化走线熔化，因此受 10 kV HBM 保护的芯片可能会因 2 kV IEC 61000-4-2 冲击而损坏。使用较小几何尺寸芯片的先进技术有时会加剧这个问题，因为这种技术通常使芯片更容易受到影响。

表 10-1. 人体模型（HBM）与 IEC 61000-4-2 接触放电峰值电流

施加的电压	HBM 峰值电流	IEC 61000-4-2 峰值电流
2 kV	1.33A	7.5A
4 kV	2.67A	15.0A
6 kV	4.00A	22.5A
8 kV	5.33A	30.0A
10 kV	6.67A	37.5A

表 10-1 中需要注意的最重要差异是与冲击相关的峰值电流水平，选择 TVS 元件时（如果需要）应考虑这一因素。尽管可保证大多数芯片在与 ESD HBM 峰值电流存在一定程度的接触时不受影响，但是如果没有外部 ESD 保护逻辑，通常无法确保这些芯片能够承受大小等于 IEC 61000-4-2 峰值浪涌电流 5.5 倍的电流。用于保护制造环境中的 IC 的额定值（如 HBM 和 CDM）不等同于 IEC 61000-4-2 中的系统级 ESD 测试。

HBM 模型指定上升时间为 25 ns。IEC 脉冲的上升时间小于 1 ns，并且在前 30 ns 内耗散其大部分能量。如果大多数目标芯片内部保护逻辑需要 25 ns 来进行响应，则在 IEC 61000-4-2 测试时，额定使用 HBM 规范的器件可能会发生损坏。除非目标芯片的数据手册明确说明已经过 IEC 61000-4-2 测试，否则用户应采用其 HBM 或联系制造商进行说明。

另一个差异是测试期间使用的冲击次数。IEC 61000-4-2 测试需要 10 次正冲击和 10 次负冲击；但是，HBM 标准只需要测试一次正冲击和一次负冲击。装置有可能承受一次冲击，但由于在初次冲击期间发生损坏，因此无法承受后续冲击。

11. 软件 EFT 保护技术

之前在 3. 电气快速瞬变 (EFT) 抗扰度 IEC 61000-4-4 中讨论过，当电路保护和/或设计不佳时，EFT 事件导致的最常见问题是：

- CPU 或系统复位 (最常见)
- 通信错误或故障
- 门锁
- 存储器损坏

当设计中的保护不佳时，EFT 事件的最常见结果是 CPU 复位。大多数 CPU 具有多种复位机制，例如外部硬件复位、欠压复位 (BOR)、某些器件上的低压检测 (LVD) 复位以及上电复位 (POR)。上述每一种复位的触发条件都不同，但是应用软件的挑战在于确定所述复位是否正常发生，例如在典型的例行上电中或 EFT 事件中的复位。在软件保护方面没有绝对，但下面是一些需要考虑的常识性“最佳实践”。本节末尾介绍了一种固件技术，可帮助用户应用确定 POR 或 BOR 是由 EFT 事件引起，还是仅由正常的上电序列引起。

11.1 跑飞代码保护

看门狗定时器 (WDT)

WDT 可用于指示跑飞代码事件 (例如因 EFT 事件而可能发生的情况) 并从中恢复。

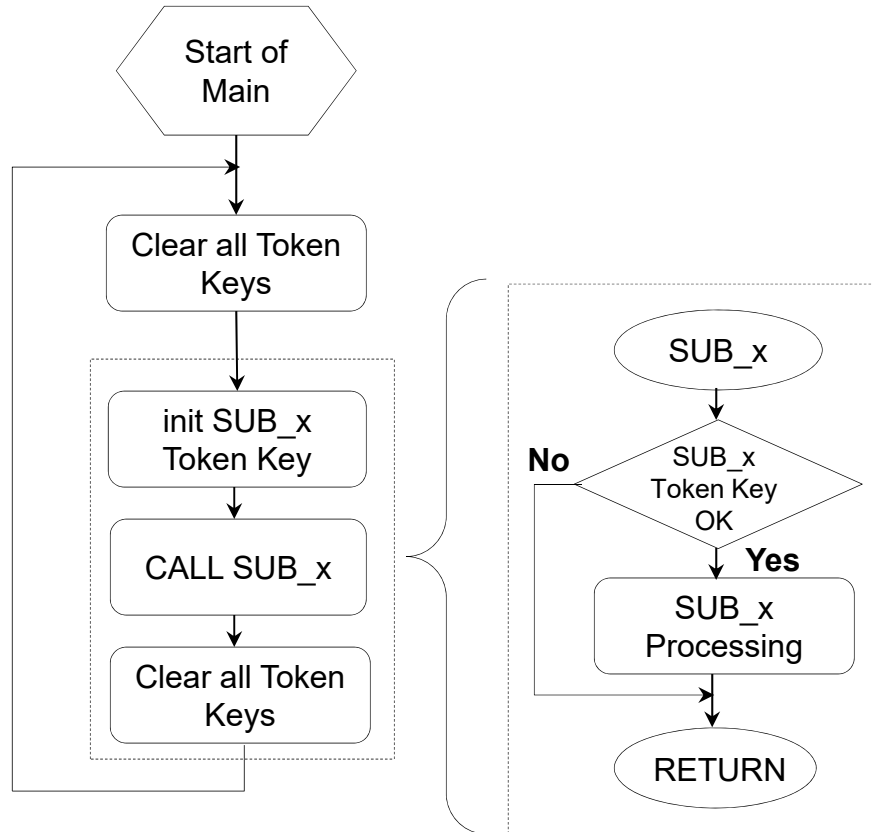
1. 尽可能使用最短的 WDT 超时周期，以确保跑飞状态不会持续很长时间。
2. 除非主循环执行周期大于 WDT 超时 (在这种情况下，WDT 刷新应在主循环中以大致相等的间隔放置)，否则在主循环中 (而不是中断服务程序中) 仅使用一次 WDT 刷新操作。
3. 使用多个 RAM 质询令牌密钥来决定是否刷新 WDT，而不仅仅是一个位。

令牌密钥

通过使用质询 RAM 永久令牌密钥保护跑飞代码事件的关键子程序和 WDT 刷新，这将有助于防止恶意执行跑飞代码。

注：永久变量是一种不会在复位时由编译器运行时初始化程序自动初始化的变量。编译器运行时初始化程序是链接器作为前缀添加到用户对象和 hex 文件的程序，该文件在用户的源代码中不可见。这种变量类型的优点是不会被复位事件预初始化。它允许用户代码评估和决定运行过程中是否以及何时应初始化变量；例如，基于 EFT 引起的复位与典型启动复位。

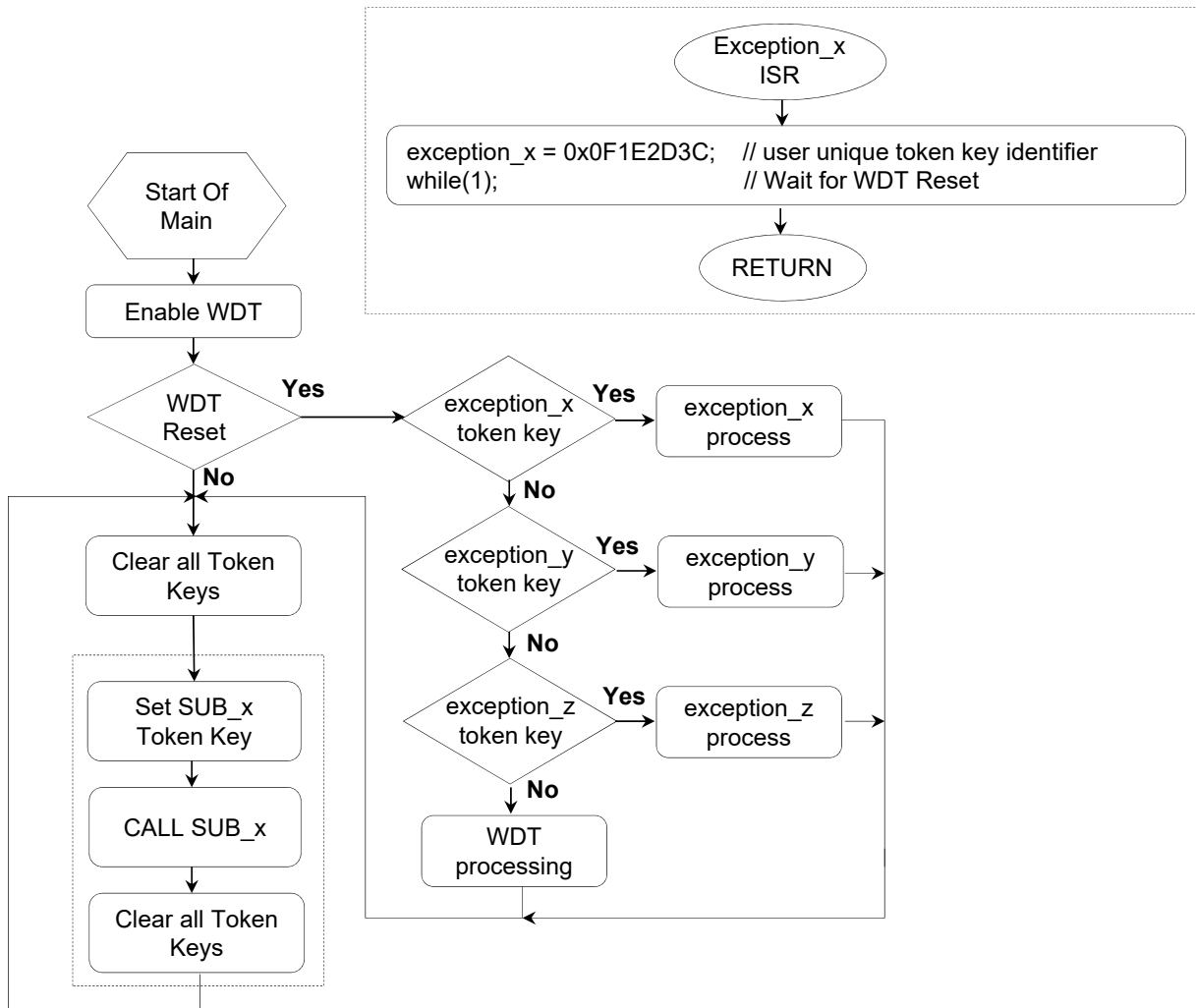
下图给出了 `_persistent unsigned int token_sub_x, token_sub_y, token_sub_z;` 的示例。



异常处理程序

1. 为所有异常错误（例如非法操作码、未对齐的地址和无效存储器地址等）创建 ISR。
2. 为每种类型的异常创建永久变量，并在进入异常 ISR 时，使用用户选择的唯一值初始化永久变量。
在用于 PIC32 器件的 MPLAB® XC32 C/C++ 编译器中，编译器会用 `while(1)` 自动填充所有用户未定义的异常。
注：在大多数 CPU 中，异常 ID 寄存器是永久硬件寄存器，在任何复位时都不会被清除。详情请参见相应的 CPU 数据手册或软件用户指南。如果您的 CPU 具有永久硬件异常 ID 寄存器，请忽略下述示例中的使用软件异常 RAM 令牌密钥部分。
3. 在 WDT CPU 复位时，检查是否有任何异常作为可能的 EFT 事件发生，并根据需要进行处理。

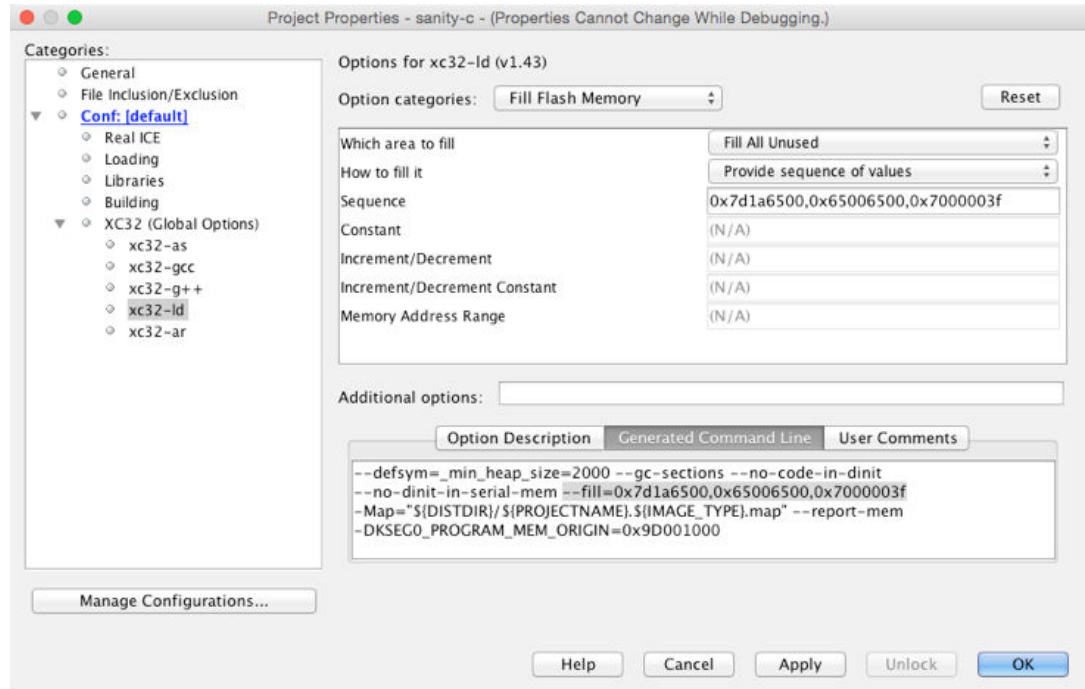
图 11-1. _persistent unsigned int exception_x, exception_y, exception_z;异常示例



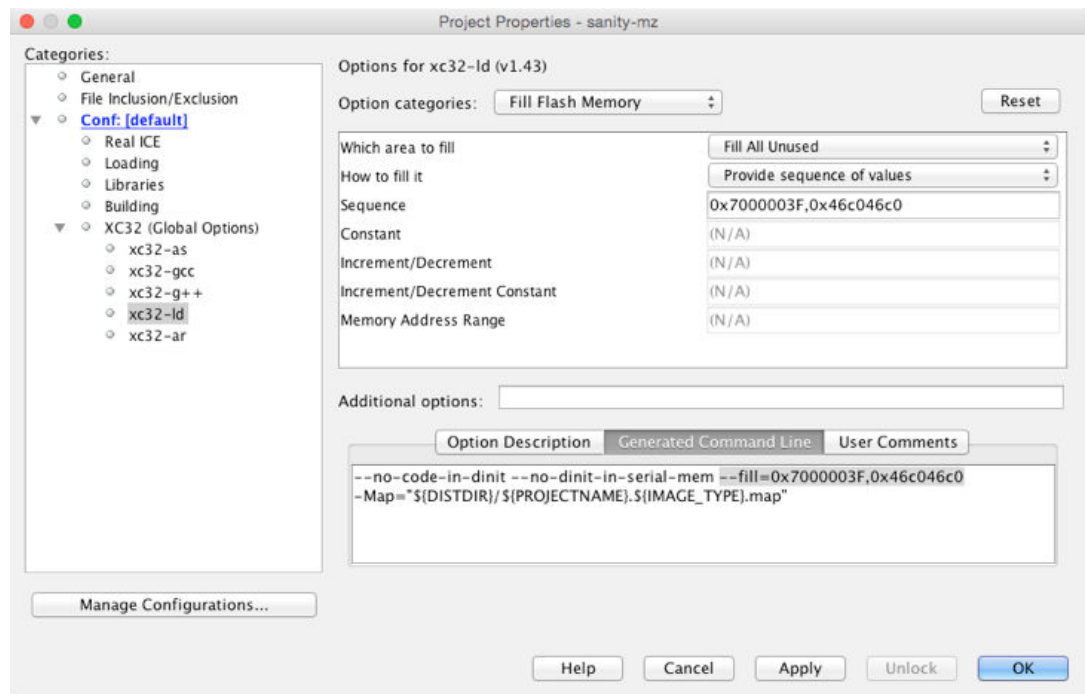
填充未用的程序存储器

1. 在由于 EFT 事件导致 CPU 执行出错并进入未使用程序存储空间的情况下，用户应考虑使用陷阱指令序列填充未使用的程序存储器以停止跑飞代码，并允许 WDT 超时和复位。有多种方法可以执行此操作，建议您参见开发工具手册或编译器用户手册，以了解可能存在编译器宏的情况。以下示例描述了使用 MPLAB X IDE 的方法。

1.1. 对于 PIC32MX 器件（MIPS32 和 MIPS16e）



1.2. 对于 PIC32MZ 和 PIC32MK 器件（MIPS32 和 microMIPS）



11.2 程序存储器和系统完整性验证

在保护欠佳的电路设计中，严重的 EFT 事件可能损坏闪存的完整性，从而影响应用代码。保护应用的一种方法是使用校验和方法确保闪存内容的完整性。

1. 向闪存程序存储器写入校验和函数，如以下 PIC32 代码示例所示。该函数应计算所有程序存储单元的校验和，从存储单元 0 开始，直到（但不包括）可以存储用户校验和的最后四个 PM 字。

2. 如果用户实现了 EFT 检测器电路（见图 11-2），则用户软件可以选择：
 - 2.1. 对 EFT 检测到的事件（而非正常的上电复位）执行闪存程序存储器验证。
 - 2.2. 对 EFT 检测到的事件（而非每次复位）运行 B 类安全库测试。

B 类安全软件库的组成

MCU 电路元件故障/错误：

1. CPU 寄存器卡住
2. 程序计数器卡住
3. 中断处理和执行：无中断或太多中断
4. 时钟频率：时钟故障或错误频率
5. 存储器测试（闪存/EEPROM）：所有单个位故障
6. 存储器测试（RAM）DC 故障

大多数 CPU 制造商都提供免费的 B 类库（见 <http://www.microchip.com/design-centers/home-appliance/class-b-safety-software>）。

仅限 PIC32 示例：

```

/*****
//要进行编译，用户必须定义：
// Class_B_Tests() 用户自定义函数
// PM_Error() 用户自定义函数
// Err_Rpt() 用户自定义函数
/*****
#include <string.h>
#include <stdint.h> //定义 uint32_t
#include <xc.h>     //为 PIC32M 定义 __KSEG0_PROGRAM_MEM_BASE 和
                  // __KSEG0_PROGRAM_MEM_LENGTH

/*****
//这些是预定义的 XC32 产品头文件定义
//
// __KSEG0_PROGRAM_MEM_BASE
// __KSEG0_PROGRAM_MEM_LENGTH
/*****
//程序存储器中最后 4 个字的起始地址是：
#define CHECKSUM ((__KSEG0_PROGRAM_MEM_BASE + __KSEG0_PROGRAM_MEM_LENGTH)-16)
#define EFT //如果没有 EFT 检测器电路，则注释掉
#define PORTCbits.RC12 Nom_Pwr_Up //仅示例

extern const uint32_t __attribute__((address(CHECKSUM))) inputData[4];

main(void)
{
    uint32_t EFT_err=0;

    if(RCONbits.POR || RCONbits.BOR)
    {
        RCONbits.POR = 0;
        RCONbits.BOR = 0;

        #ifndef EFT //如果 EFT 硬件检测器电路存在
        if (Nom_Pwr_Up) //如果检测到 EFT 复位事件
        {
            if (!PM_Checksum_Calc) //如果 PM 校验和失效
            {
                PM_Error(); //PM 完整性受损，报告
                //错误并进入安全条件
                EFT_err = (EFT_err | 0x1);
            }
            if (!Class_B_Tests())
            {
                Err_Rpt(); //报告 Class_B 故障
                EFT_err = (EFT_err | 0x2);
            }
        }
        #endif
    }
}

```

```

    }
    while (EFT_err); //如果校验和或 Class_B 错误永久等待
}
#else
{
    if (!PM_Checksum_Calc())
    {
        PM_Error(); //PM完整性受损
        EFT_err = (EFT_err | 0x1);
        while (EFT_err); //如果校验和错误永久等待
    }
}
#endif
}

//*****
//此处为用户应用程序代码
//*****

} //结束主程序

//*****
//程序存储器代码完整性验证函数
//在 EFT、电气快速瞬变以及
//闪存内容可能受损的事件中调用该函数。
//注：使用该算法时，随机闪存模式与
//用户校验和匹配的概率大概为 100,000:1。
//*****
int PM_Checksum_Calc (void)
{
    uint32_t *checksum_ptr;
    uint32_t checksum_array[4], carry, loop_cnt, start_addr=__KSEG0_PROGRAM_MEM_BASE;
    uint64_t sum;
    for (loop_cnt=0; loop_cnt < 4; start_addr+= 4, loop_cnt++)
    {
        sum=0;
        carry = 0;
        checksum_ptr = (uint32_t *) start_addr;
        while ( (uint32_t)checksum_ptr < CHECKSUM)
        {
            sum = (sum + *checksum_ptr );
            sum = (sum * 2);
            if (sum > 0xFFFFFFFF)
            {
                carry++;
                sum = (sum & 0xFFFFFFFF);
            }
            checksum_ptr += 4;
        }
        checksum_array[loop_cnt] = (uint32_t) (sum + carry);
    }

    //*****
    //仅在第一次将用户断点放在此处以读取校验和值
    //从“checksum_array”插入闪存存储器中的“inputData”闪存常量数据
    //部分，然后重新编程器件。
    //*****
    Nop(); //代码开发 100%完成后的一次性用户断点。
    //将代码“checksum_array[4]”值插入闪存中的“inputData[4]”常量
    //闪存数据数组中，然后重新编程器件，以用于最终版本。

    return !memcmp(inputData, checksum_array, 16); //匹配时返回 1
}

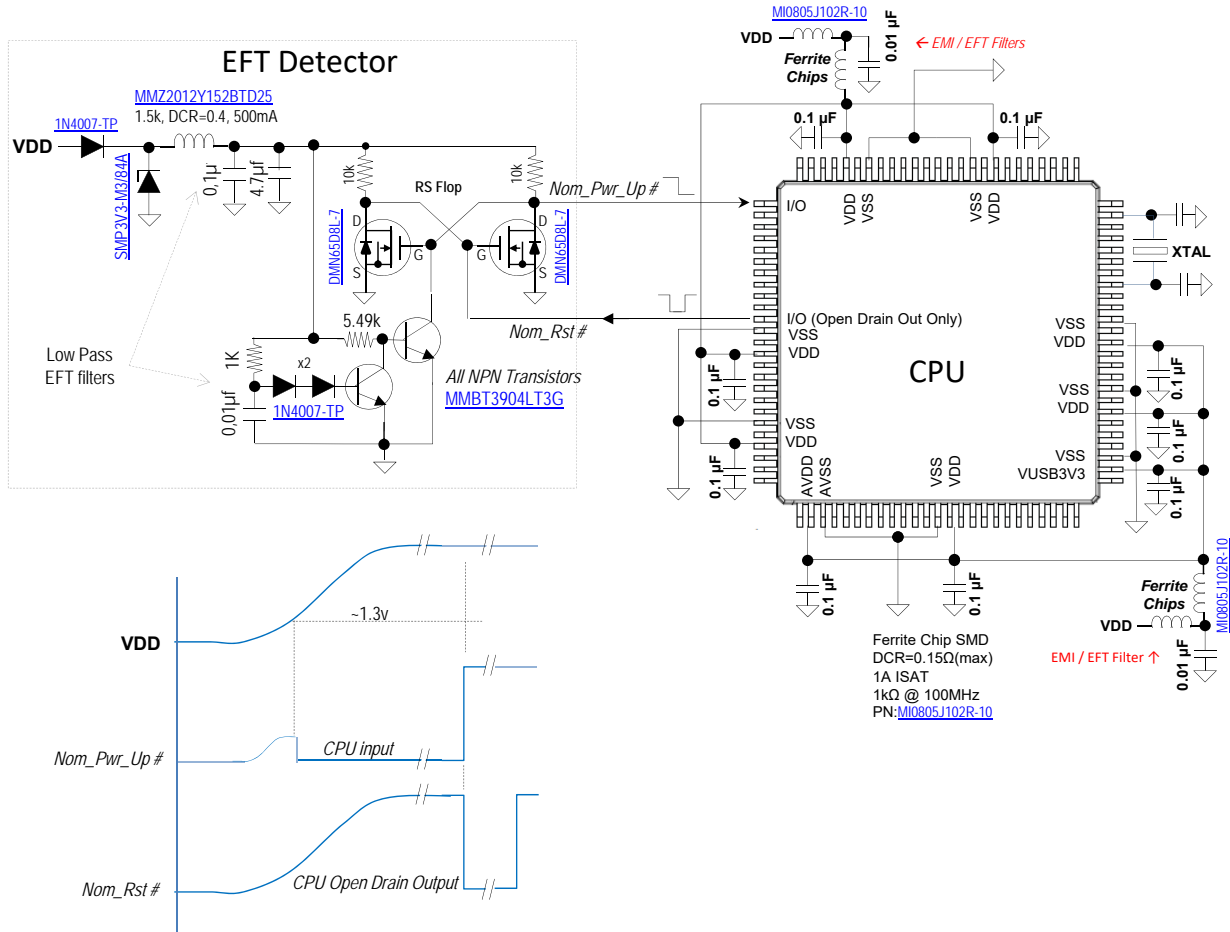
//*****
//定义程序存储器的最后 4 个字，使其包含用户
//程序存储器校验和字。
//
//使用指定调试断点处
//“PM_Checksum_Calc”函数内“checksum_array”中的程序存储器校验和填充这些闪存字，
//然后重新编程器件。
//*****
const uint32_t __attribute__((address(CHECKSUM))) inputData[4] =

```

```

{
    0x00000000, // 校验和 0, 用户填充这些来自
                // PM_Checksum_Calc() 断点的值
    0x00000000, // 校验和 1, 然后用相应值重新编译和重新编程校验和 0-3。
    0x00000000, // 校验和 2
    0x00000000 // 校验和 3
};
    
```

图 11-2. EFT 检测器电路



POR 状态位	BOR 状态位	“Nom_Pwr_Up#” 输入引脚逻辑电平	事件类型	用户操作
1	1	0	非 EFT	切换 “Nom_Rst” (最小 1 µs)
0	1	0	非 EFT	切换 “Nom_Rst” (最小 1 µs)
1	1	1	EFT	运行代码/系统验证
0	1	1	EFT	运行代码/系统验证

11.2.1 EFT 电路工作原理

EFT 检测器电路 (见 图 11-2) 更合适的名称是非 EFT 检测器。电源或接地 EFT 事件持续时间为 1 ns 至 100 ns, 远远快于正常的 200 µs 至 8 ms 电源上电序列。开发一个宽松的低速检测电路要比开发需要响应

典型上升时间为 1 ns 至 5 ns 的 EFT 冲击的电路容易得多。因此，图 11-2 中的电路仅检测正常的非 EFT POR 和 BOR 事件。低通滤波器将确保 EFT 事件不会触发晶体管 RS 触发器及清除 “Nom_Pwr_Up” 信号；但是，正常的上电序列会触发。

CPU POR/BOR 逻辑电路无法区分 EFT 与正常上电或掉电，因此用户软件也无法区分。任何类型的事件都将触发 CPU POR/BOR。然而，通过添加仅响应正常上电序列的“非 EFT”检测器电路，可以破解这一难题。由于 CPU 对 EFT 事件的最常见反应是复位，因此用户软件可以通过询问 BOR、POR 复位状态寄存器和 “Nom_Pwr_Up” I/O 输入信号来确定它是 EFT 事件复位还是正常的上电或欠压复位。

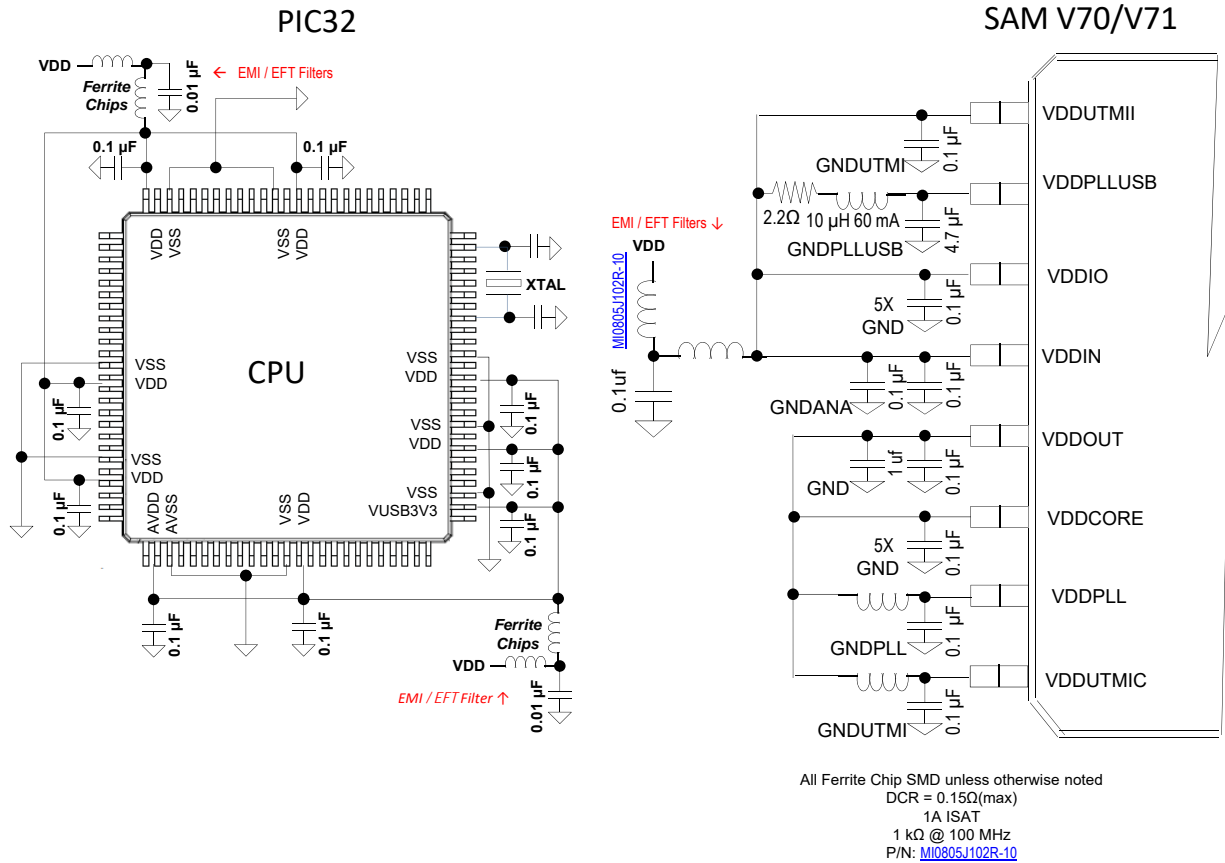
在正常上电复位之后，晶体管 RS 触发器的 “Nom_Pwr_Up” 输出被复位为逻辑低电平。之后，用户代码会立即将 RS 触发器置 1，方法是先向开漏输出引脚（即信号 “Nom_Rst”）写入瞬时逻辑 “0”，再写入逻辑 “1”，这会将 “Nom_Pwr_Up” 设置为逻辑 “1”。回顾一下，只有正常的 POR/BOR CPU 复位才会将 “Nom_Pwr_Up” 清除为逻辑 “0”。因此，在通过返回到 “主程序” 开头和/或询问复位状态寄存器实现的任何后续复位中，如果 “Nom_Pwr_Up” 信号仍为逻辑 “1”，则表示 CPU 被 EFT 事件复位；相反，如果 “Nom_Pwr_Up” 为逻辑 “0”，则表示是正常复位。因此，用户代码可以在潜在的破坏性 EFT 事件之后选择执行代码和系统完整性检查，并且在发生任何故障时都可以将应用置于安全状态并报告错误（即运行时程序存储器代码校验和及 B 类库验证测试）。

元件包括一个转向二极管、TVS、一个低通 LC 滤波器和足够大的电容，可确保 EFT 检测器的工作电压即使在 EFT 电源中断期间也能保持有效。

12. ESD、EMI 和 EFT 硬件电路保护原理图示例

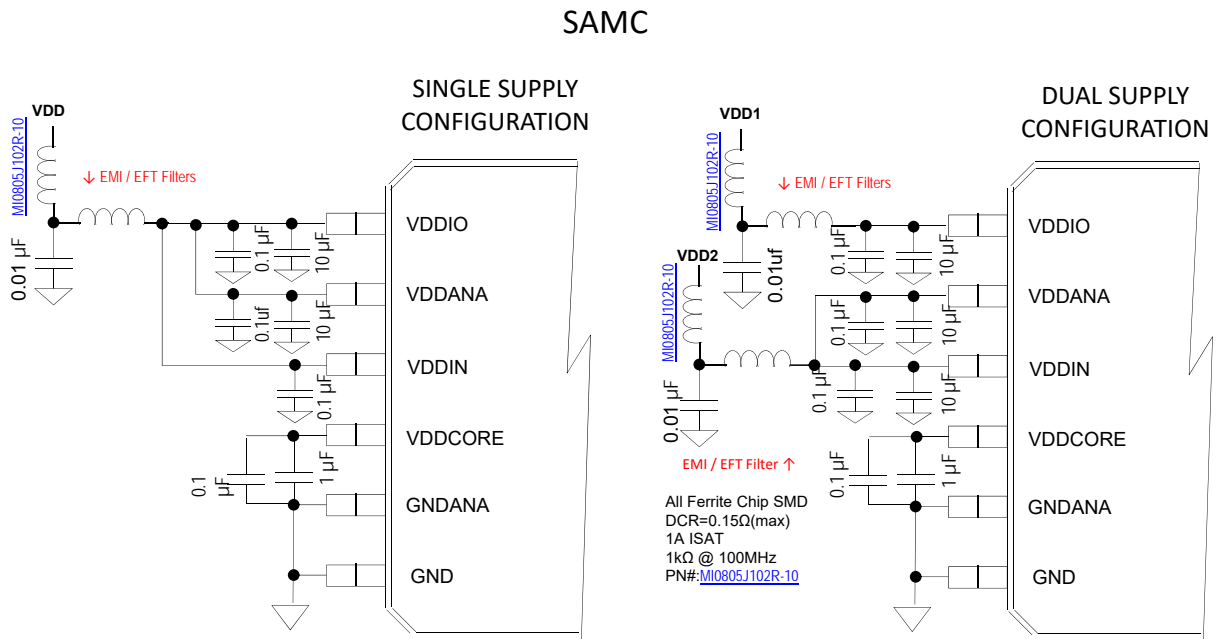
12.1 CPU 保护

图 12-1. PIC32 和 SAMV70/V71 电路保护示例



注： 所有 CPU AVSS/VSS 和滤波旁路电容接地连接均应直接（而不是通过接地线）连接到地平面，并且置于电路板上 CPU 所在的一侧。旁路和滤波电容必须尽可能靠近引脚放置。

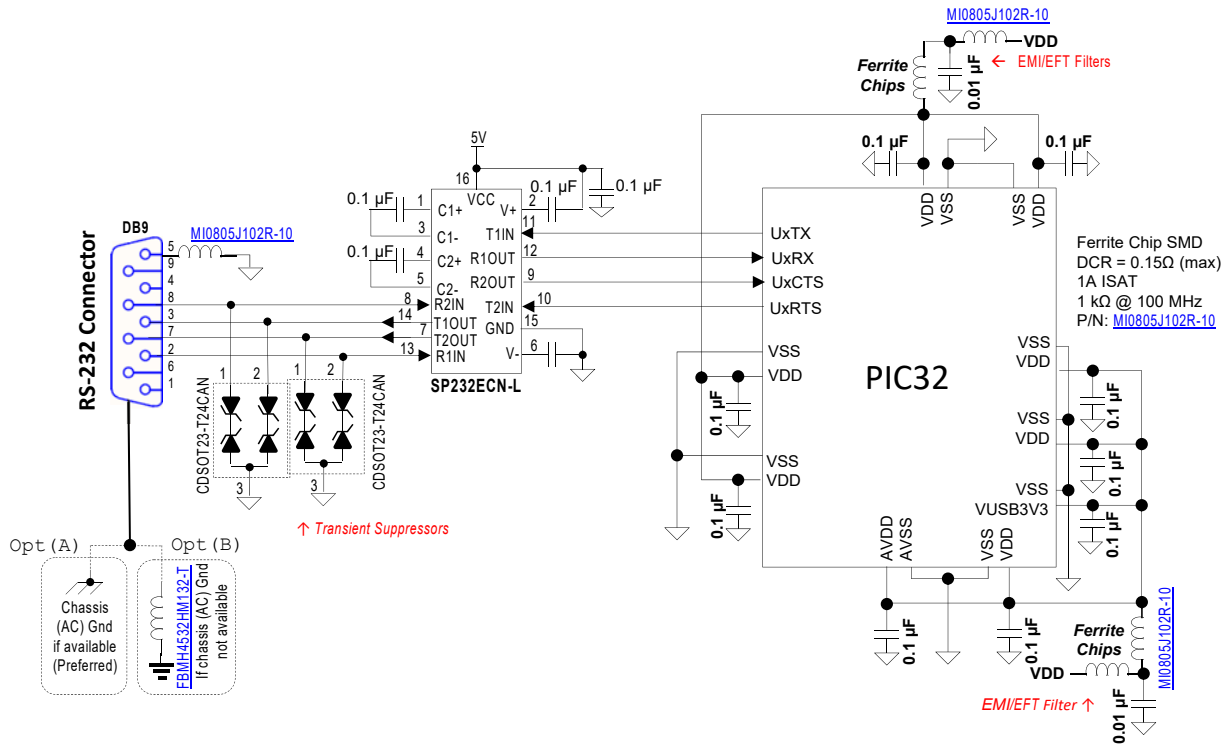
图 12-2. SAMC CPU 保护示例



注：所有 CPU AVSS/VSS 和滤波旁路电容接地连接均应直接（而不是通过接地线）连接到地平面，并且置于电路板上 CPU 所在的一侧。旁路和滤波电容必须尽可能靠近引脚放置。

12.2 UART RS-232 保护原理图

图 12-3. UART RS-232 保护原理图示例

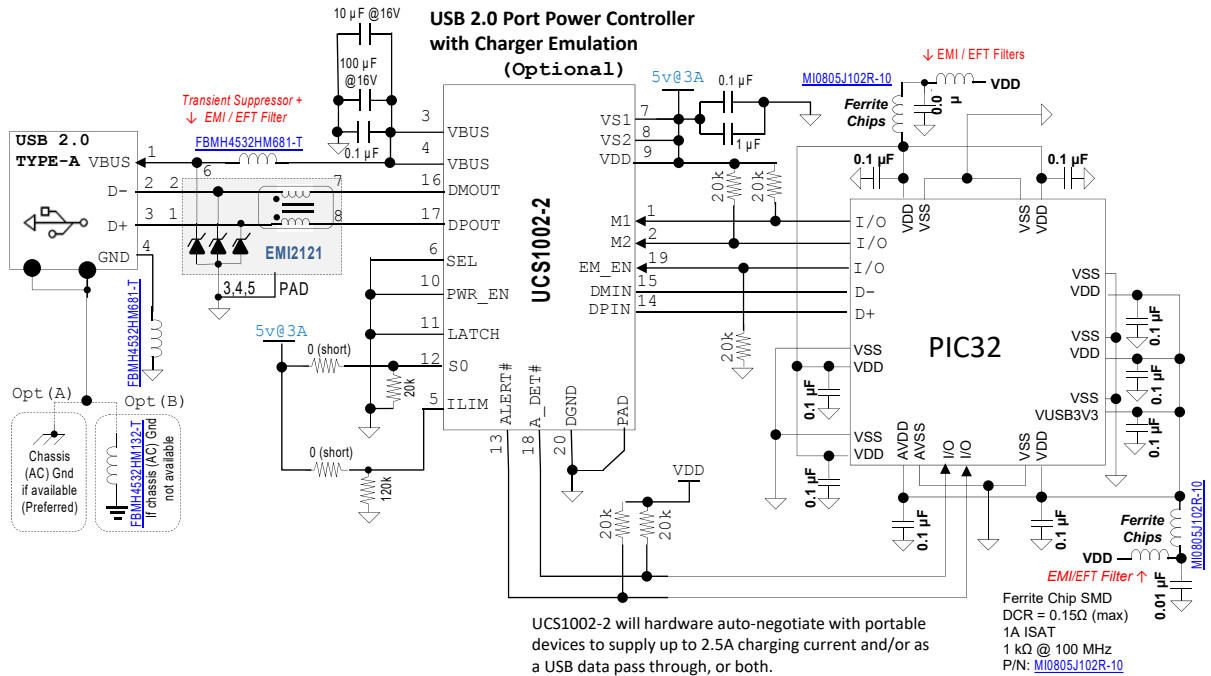


注:

1. TVS 地必须直接连接到地平面（而不是接地线），以最大限度地降低电感。此外，TVS 应尽可能靠近外部 DB9 连接器放置。
2. 所有 CPU AVSS/VSS 和滤波旁路电容接地连接均应直接（而不是通过接地线）连接到地平面，并且置于电路板上 CPU 所在的一侧。

12.3 USB 2.0 保护原理图

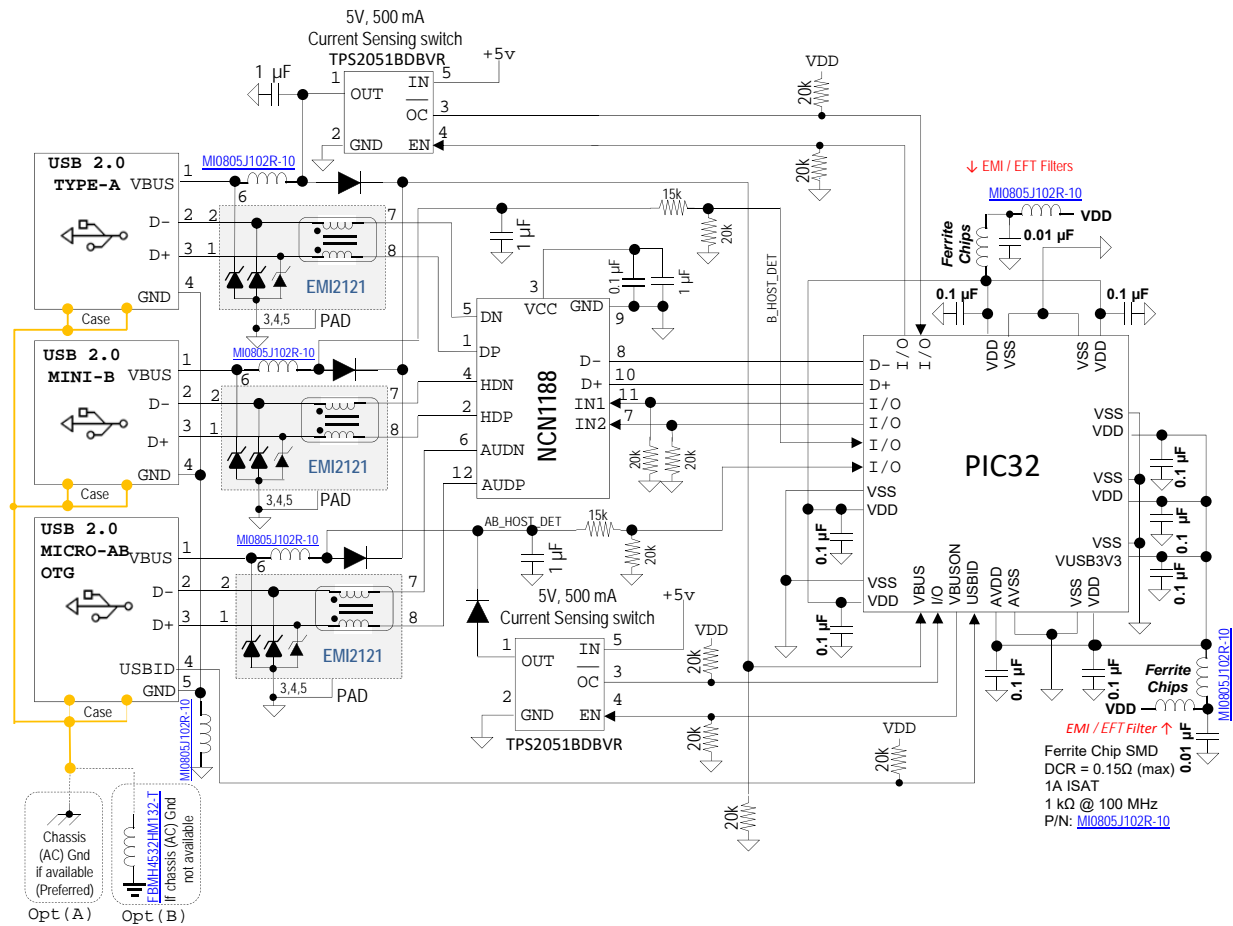
图 12-4. USB 2.0 保护原理图示例



注:

1. 所有 TVS 上的接地连接必须直接（而不是通过接地线）连接到地平面，以最大限度地降低电感。此外，它们应尽可能靠近外部 USB 连接器放置。
2. 5V 电源所需的额定电流值取决于 UCS1002-2 ILIM 电阻设置，该设置决定了最大可用 USB 充电电流（最高 2.5A）。
3. USB D+ 和 D- 差分控制布局规则适用。PCB 布局应保持 90Ω 的受控阻抗。USB 信号不应穿过 PCB 层（即没有直通孔），并且 D+ 和 D- 下方的地平面保持完整（即地平面没有空隙）。
4. 所有 CPU AVSS/VSS 和滤波旁路电容接地连接均应直接（而不是通过接地线）连接到地平面，并且置于电路板上 CPU 所在的一侧。

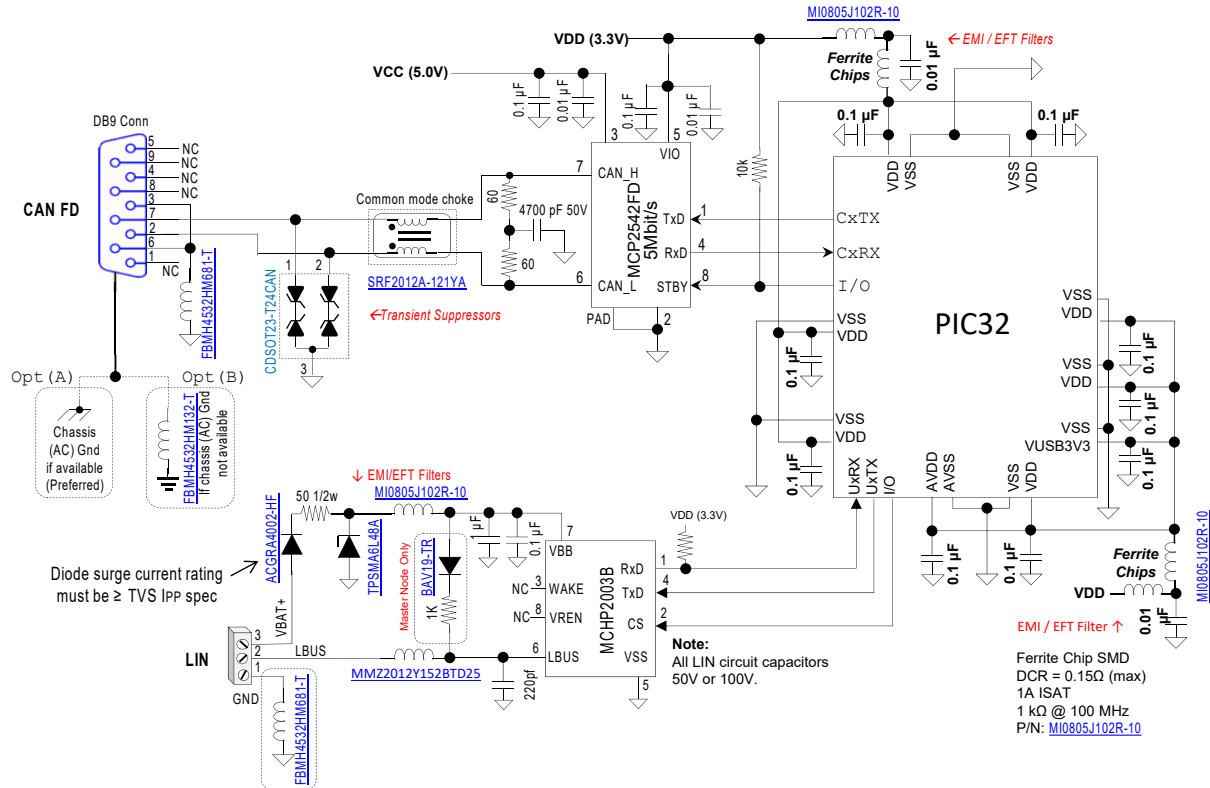
图 12-5. 多 USB 2.0 端口保护示例



注：USB D+和 D-差分控制布局规则适用。PCB 布局应保持 90Ω 的受控阻抗。USB 信号不应穿过 PCB 层（即没有直通孔），并且 D+和 D-下方的地平面完整（即地平面没有空隙）。

12.4 控制器局域网灵活数据速率 (CAN FD) 和 LIN 总线保护原理图

图 12-6. CAN FD/LIN 总线保护原理图示例

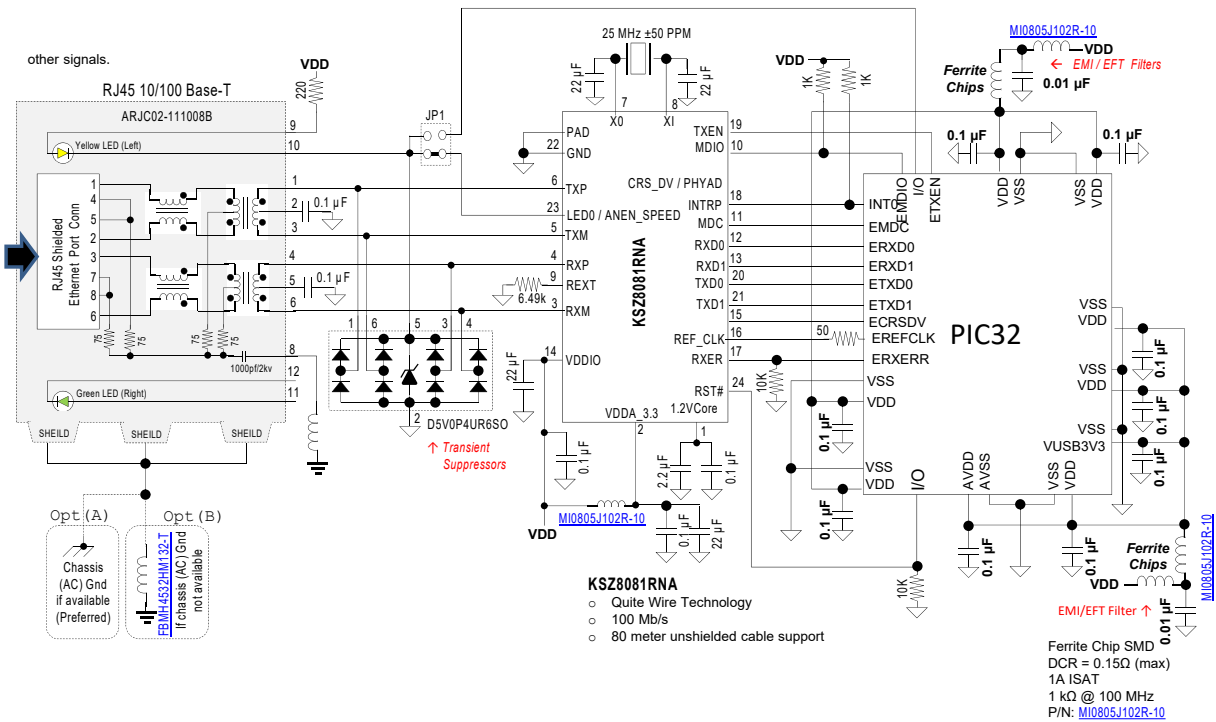


注:

1. 所有 TVS 上的接地连接必须直接（而不是通过接地线）连接到地平面，以最大限度地降低电感。此外，它们应尽可能靠近外部 DB9 和 LIN 连接器放置。
2. 所有 CPU AVSS/VSS 和滤波旁路电容接地连接均应直接（而不是通过接地线）连接到地平面，并且置于电路板上 CPU 所在的一侧。

12.5 以太网保护原理图

图 12-7. 以太网保护原理图示例

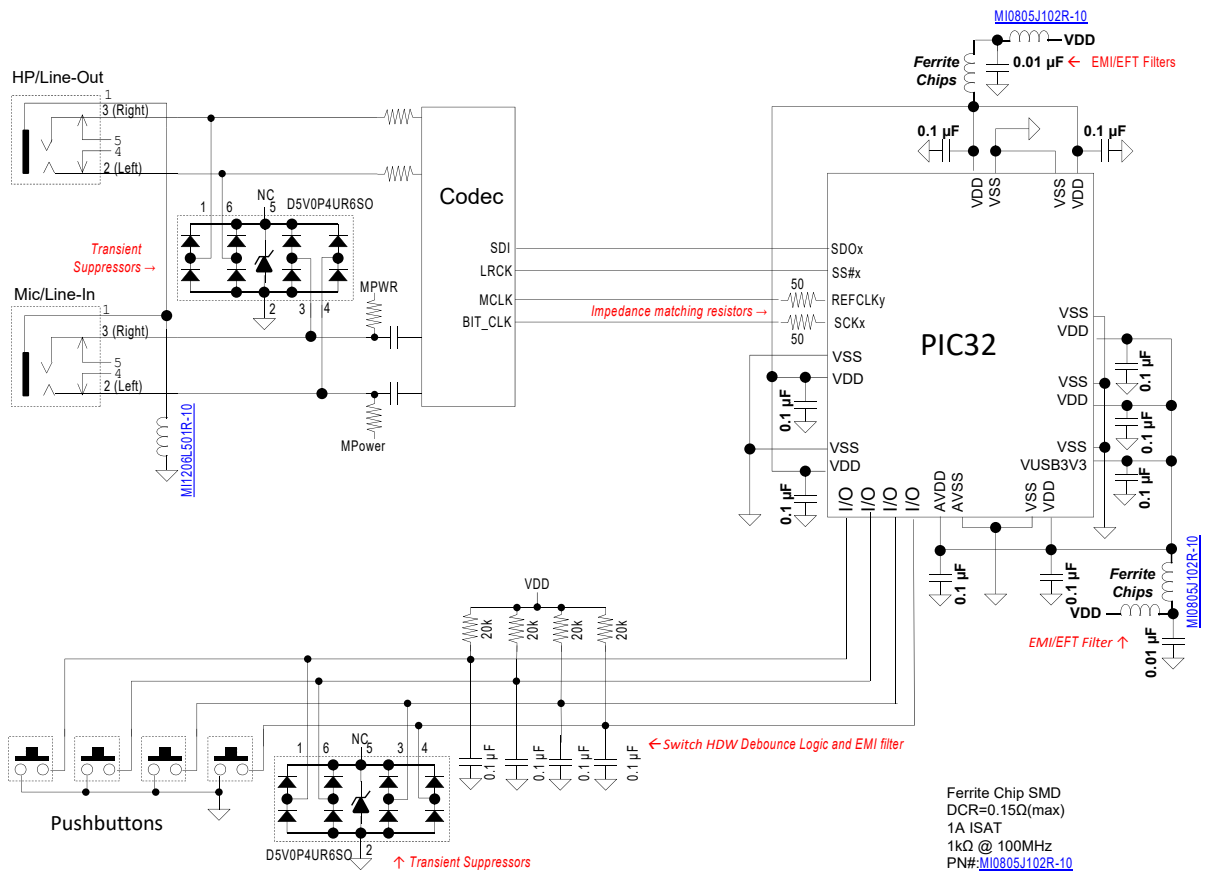


注:

1. 以 6 mil 宽度/6 mil 平行间距对每个差分对的两条走线进行布线，各走线尽可能彼此相同，并且与其他信号相距至少 18 mil。
2. 所有 TVS 上的接地连接必须直接（而不是通过接地线）连接到地平面，以最大限度地降低电感。此外，它们应尽可能靠近外部 RJ-45 连接器放置。
3. 所有 CPU AVSS/VSS 和滤波旁路电容接地连接均应直接（而不是通过接地线）连接到地平面，并且在电路板上 CPU 所在的一侧尽可能靠近引脚放置。
4. 用户软件必须确保 KSZ8081RN VDD 的最短上升时间 $\geq 300 \mu\text{s}$ 。必须将 KSZ8081RN RST# 信号置为低电平且持续时间 $\geq 500 \mu\text{s}$ 。在 RST# 置为无效之后，用户软件必须等待 $100 \mu\text{s}$ 以上才能尝试配置 KSZ8081RN。

12.6 音频耳机和麦克风保护原理图

图 12-8. 音频耳机和麦克风保护原理图示例

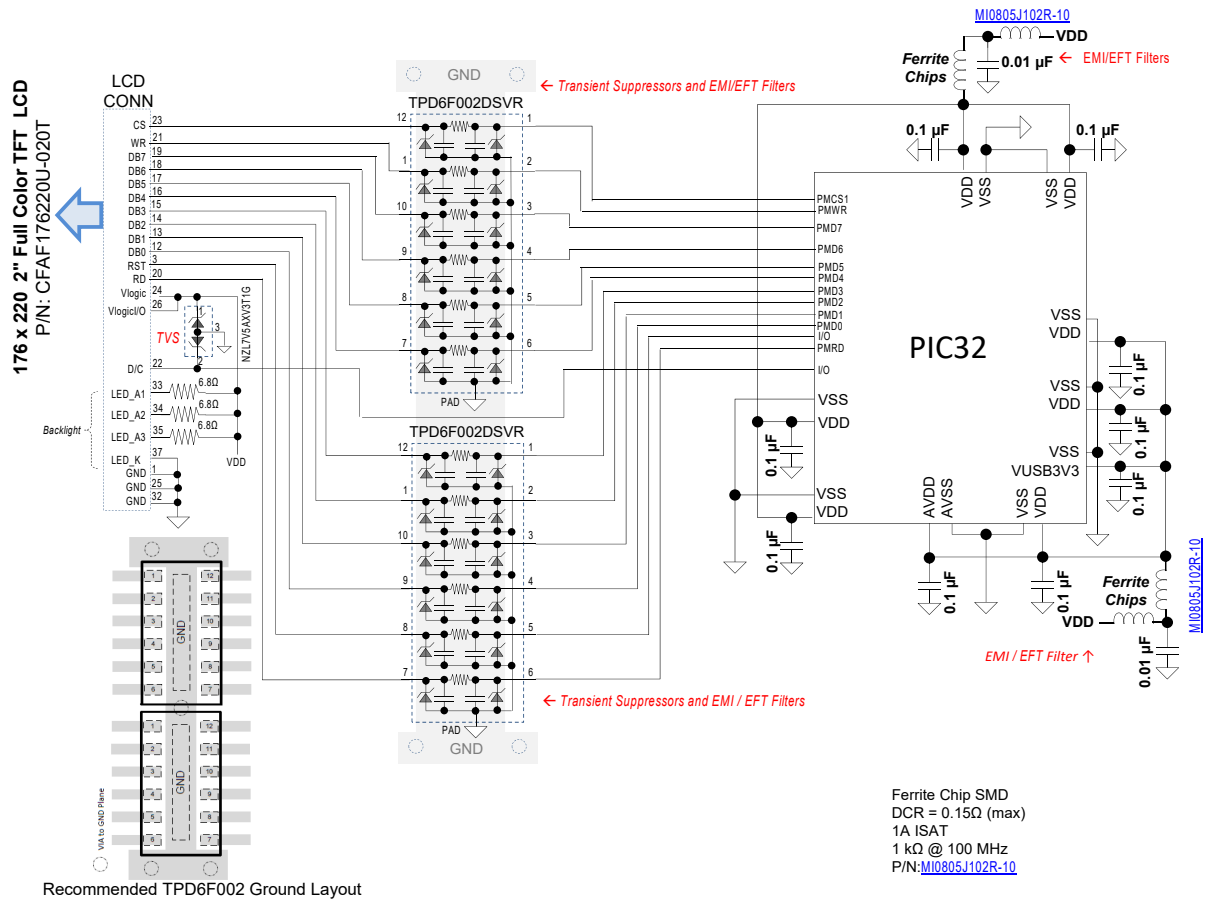


注:

1. TVS 地必须直接连接到地平面（而不是接地线），以最大限度地降低电感。
2. 所有 TVS 上的接地连接必须直接（而不是通过接地线）连接到地平面，以最大限度地降低电感。此外，它们应尽可能靠近外部音频插孔连接器和开关放置。
3. 所有 CPU AVSS/VSS 和滤波旁路电容接地连接均应直接（而不是通过接地线）连接到地平面，并且置于电路板上 CPU 所在的一侧。

12.7 典型 LCD 接口保护原理图

图 12-9. 典型 LCD 接口保护原理图

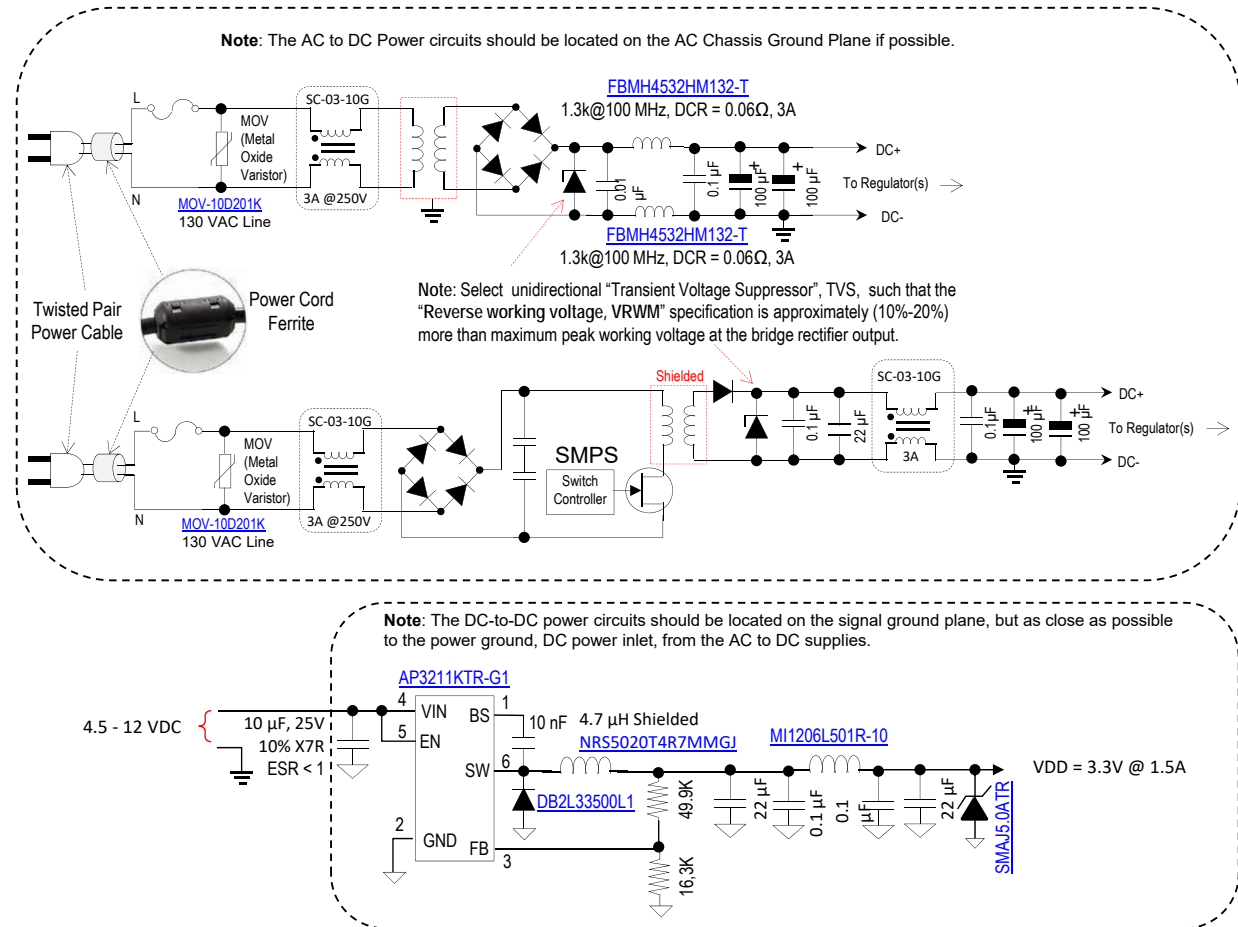


注:

1. 所有 TVS 上的接地连接必须直接（而不是通过接地线）连接到地平面，以最大限度地降低电感。此外，它们应尽可能靠近外部 LCD 连接器放置。
2. 所有 CPU AVSS/VSS 和滤波旁路电容接地连接均应直接（而不是通过接地线）连接到地平面，并且置于电路板上 CPU 所在的一侧。

12.8 ESD、EMI 和 EFT 电源子系统保护原理图

图 12-10. EMI/EFT/ESD 电源子系统保护原理图示例

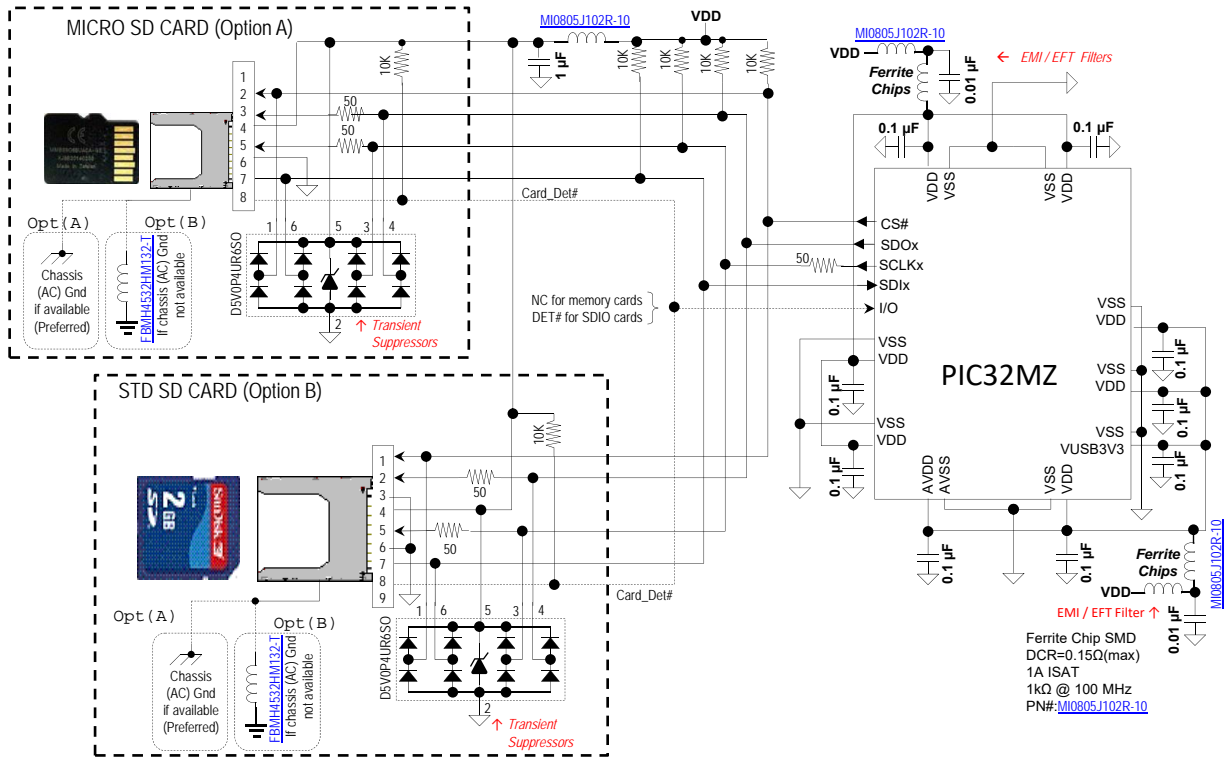


注:

1. 如果可能，AC-DC 电源电路应位于 AC 机架地平面上。
2. DC-DC 电源电路应位于信号地平面上，但应尽可能靠近 AC-DC 电源的电源地 DC 电源进线。

12.10 安全数字 (SD) 存储卡接口保护原理图

图 12-12. SPI SD 卡保护示例



注:

1. 所有 CPU AVSS/VSS 和滤波旁路电容接地连接均应直接（而不是通过接地线）连接到地平面，并且置于电路板上 CPU 所在的一侧。
2. 所有 TVS 上的接地连接必须直接（而不是通过接地线）连接到地平面，以最大限度地降低电感。此外，它们应尽可能地靠近外部 SD 卡连接器放置。

Microchip 网站

Microchip 网站 <http://www.microchip.com/> 为客户提供在线支持。客户可通过该网站方便地获取文件和信息。只要使用常用的互联网浏览器即可访问，网站提供以下信息：

- **产品支持**——数据手册和勘误表、应用笔记和示例程序、设计资源、用户指南以及硬件支持文档、最新的软件版本以及归档软件
- **一般技术支持**——常见问题（FAQ）、技术支持请求、在线讨论组以及 Microchip 顾问计划成员名单
- **Microchip 业务**——产品选型和订购指南、最新 Microchip 新闻稿、研讨会和活动安排表、Microchip 销售办事处、代理商以及工厂代表列表

变更通知客户服务

Microchip 的变更通知客户服务有助于客户了解 Microchip 产品的最新信息。注册客户可在他们感兴趣的某个产品系列或开发工具发生变更、更新、发布新版本或勘误表时，收到电子邮件通知。

欲注册，请登录 Microchip 网站 <http://www.microchip.com/>。在“支持”（Support）下，点击“变更通知客户”（Customer Change Notification）服务后按照注册说明完成注册。

客户支持

Microchip 产品的用户可通过以下渠道获得帮助：

- 代理商或代表
- 当地销售办事处
- 应用工程师（FAE）
- 技术支持

客户应联系其代理商、代表或应用工程师（FAE）寻求支持。当地销售办事处也可为客户提供帮助。本文档后附有销售办事处的联系方式。

也可通过以下网站获得技术支持：<http://www.microchip.com/support>

Microchip 器件代码保护功能

请注意以下有关 Microchip 器件代码保护功能的要点：

- Microchip 的产品均达到 Microchip 数据手册中所述的技术指标。
- Microchip 确信：在正常使用的情况下，Microchip 系列产品是当今市场上同类产品中最安全的产品之一。
- 目前，仍存在着恶意、甚至是非法破坏代码保护功能的行为。就我们所知，所有这些行为都不是以 Microchip 数据手册中规定的操作规范来使用 Microchip 产品的。这样做的人极有可能侵犯了知识产权。
- Microchip 愿意与关心代码完整性的客户合作。
- Microchip 或任何其他半导体厂商均无法保证其代码的安全性。代码保护并不意味着我们保证产品是“牢不可破”的。

代码保护功能处于持续发展中。Microchip 承诺将不断改进产品的代码保护功能。任何试图破坏 Microchip 代码保护功能的行为均可视为违反了《数字器件千年版权法案（Digital Millennium Copyright Act）》。如

果这种行为导致他人在未经授权的情况下，能访问您的软件或其他受版权保护的成果，您有权依据该法案提起诉讼，从而制止这种行为。

法律声明

本出版物中所述的器件应用信息及其他类似内容仅为您提供便利，它们可能由更新之信息所替代。确保应用符合技术规范，是您自身应负的责任。Microchip 对这些信息不作任何明示或暗示、书面或口头、法定或其他形式的声明或担保，包括但不限于针对其使用情况、质量、性能、适销性或特定用途的适用性的声明或担保。Microchip 对因这些信息及使用这些信息而引起的后果不承担任何责任。如果将 Microchip 器件用于生命维持和/或生命安全应用，一切风险由买方自负。买方同意在由此引发任何一切伤害、索赔、诉讼或费用时，会维护和保障 Microchip 免于承担法律责任，并加以赔偿。除非另外声明，否则在 Microchip 知识产权保护下，不得暗或以其他方式转让任何许可证。

商标

Microchip 的名称和徽标组合、Microchip 徽标、AnyRate、AVR、AVR 徽标、AVR Freaks、BitCloud、chipKIT、chipKIT 徽标、CryptoMemory、CryptoRF、dsPIC、FlashFlex、flexPWR、Heldo、JukeBlox、KeeLoq、Kleer、LANCheck、LINK MD、maXStylus、maXTouch、MediaLB、megaAVR、MOST、MOST 徽标、MPLAB、OptoLyzer、PIC、picoPower、PICSTART、PIC32 徽标、Prochip Designer、QTouch、SAM-BA、SpyNIC、SST、SST 徽标、SuperFlash、tinyAVR、UNI/O 和 XMEGA 是 Microchip Technology Incorporated 在美国和其他国家或地区的注册商标。

ClockWorks、The Embedded Control Solutions Company、EtherSynch、Hyper Speed Control、HyperLight Load、IntelliMOS、mTouch、Precision Edge 和 Quiet-Wire 为 Microchip Technology Incorporated 在美国的注册商标。

Adjacent Key Suppression、AKS、Analog-for-the-Digital Age、Any Capacitor、AnyIn、AnyOut、BodyCom、CodeGuard、CryptoAuthentication、CryptoAutomotive、CryptoCompanion、CryptoController、dsPICDEM、dsPICDEM.net、Dynamic Average Matching、DAM、ECAN、EtherGREEN、In-Circuit Serial Programming、ICSP、INICnet、Inter-Chip Connectivity、JitterBlocker、KleerNet、KleerNet 徽标、memBrain、Mindi、MiWi、motorBench、MPASM、MPF、MPLAB Certified 徽标、MPLIB、MPLINK、MultiTRAK、NetDetach、Omniscient Code Generation、PICDEM、PICDEM.net、PICkit、PICtail、PowerSmart、PureSilicon、QMatrix、REAL ICE、Ripple Blocker、SAM-ICE、Serial Quad I/O、SMART-I.S.、SQL、SuperSwitcher、SuperSwitcher II、Total Endurance、TSHARC、USBCheck、VariSense、ViewSpan、WiperLock、Wireless DNA 和 ZENA 为 Microchip Technology Incorporated 在美国和其他国家或地区的商标。

SQTP 为 Microchip Technology Inc. 在美国的服务标记。

Silicon Storage Technology 为 Microchip Technology Inc. 在除美国外的国家或地区的注册商标。

GestIC 是 Microchip Technology Inc. 的子公司 Microchip Technology Germany II GmbH & Co. KG 在除美国外的国家或地区的注册商标。

在此提及的所有其他商标均为各持有公司所有。

© 2018, Microchip Technology Incorporated 版权所有。

ISBN: 978-1-5224-3357-6

DNV 认证的质量管理体系

ISO/TS 16949

Microchip 位于美国亚利桑那州 Chandler 和 Tempe 与位于俄勒冈州 Gresham 的全球总部、设计和晶圆生产厂及位于美国加利福尼亚州和印度的设计中心均通过了 ISO/TS-16949:2009 认证。Microchip 的 PIC[®] MCU 和 dsPIC[®] DSC、KEELOQ[®]跳码器件、串行 EEPROM、单片机外设、非易失性存储器及模拟产品严格遵守公司的质量体系流程。此外，Microchip 在开发系统的设计和生产方面的质量体系也已通过了 ISO 9001:2000 认证。

全球销售及服务中心

美洲	亚太地区	亚太地区	欧洲
公司总部 2355 West Chandler Blvd. Chandler, AZ 85224-6199 电话: 1-480-792-7200 传真: 1-480-792-7277 技术支持: http://www.microchip.com/support 网址: www.microchip.com	中国 - 北京 电话: 86-10-8569-7000 中国 - 成都 电话: 86-28-8665-5511 中国 - 重庆 电话: 86-23-8980-9588 中国 - 东莞 电话: 86-769-8702-9880 中国 - 广州 电话: 86-20-8755-8029 中国 - 杭州 电话: 86-571-8792-8115 中国 - 南京 电话: 86-25-8473-2460 中国 - 青岛 电话: 86-532-8502-7355 中国 - 上海 电话: 86-21-3326-8000 中国 - 沈阳 电话: 86-24-2334-2829 中国 - 深圳 电话: 86-755-8864-2200 中国 - 苏州 电话: 86-186-6233-1526 中国 - 武汉 电话: 86-27-5980-5300 中国 - 西安 电话: 86-29-8833-7252 中国 - 厦门 电话: 86-592-2388138 中国 - 香港特别行政区 电话: 852-2943-5100 中国 - 珠海 电话: 86-756-3210040 台湾地区 - 高雄 电话: 886-7-213-7830 台湾地区 - 台北 电话: 886-2-2508-8600 台湾地区 - 新竹 电话: 886-3-577-8366	澳大利亚 - 悉尼 电话: 61-2-9868-6733 印度 - 班加罗尔 电话: 91-80-3090-4444 印度 - 新德里 电话: 91-11-4160-8631 印度 - 浦那 电话: 91-20-4121-0141 日本 - 大阪 电话: 81-6-6152-7160 日本 - 东京 电话: 81-3-6880-3770 韩国 - 大邱 电话: 82-53-744-4301 韩国 - 首尔 电话: 82-2-554-7200 马来西亚 - 吉隆坡 电话: 60-3-7651-7906 马来西亚 - 檳榔嶼 电话: 60-4-227-8870 菲律宾 - 马尼拉 电话: 63-2-634-9065 新加坡 电话: 65-6334-8870 泰国 - 曼谷 电话: 66-2-694-1351 越南 - 胡志明市 电话: 84-28-5448-2100	奥地利 - 韦尔斯 电话: 43-7242-2244-39 传真: 43-7242-2244-393 丹麦 - 哥本哈根 电话: 45-4450-2828 传真: 45-4485-2829 芬兰 - 埃斯波 电话: 358-9-4520-820 法国 - 巴黎 电话: 33-1-69-53-63-20 传真: 33-1-69-30-90-79 德国 - 加兴 电话: 49-8931-9700 德国 - 哈恩 电话: 49-2129-3766400 德国 - 海尔布隆 电话: 49-7131-67-3636 德国 - 卡尔斯鲁厄 电话: 49-721-625370 德国 - 慕尼黑 电话: 49-89-627-144-0 传真: 49-89-627-144-44 德国 - 罗森海姆 电话: 49-8031-354-560 以色列 - 赖阿南纳 电话: 972-9-744-7705 意大利 - 米兰 电话: 39-0331-742611 传真: 39-0331-466781 意大利 - 帕多瓦 电话: 39-049-7625286 荷兰 - 德卢内市 电话: 31-416-690399 传真: 31-416-690340 挪威 - 特隆赫姆 电话: 47-7288-4388 波兰 - 华沙 电话: 48-22-3325737 罗马尼亚 - 布加勒斯特 电话: 40-21-407-87-50 西班牙 - 马德里 电话: 34-91-708-08-90 传真: 34-91-708-08-91 瑞典 - 哥德堡 电话: 46-31-704-60-40 瑞典 - 斯德哥尔摩 电话: 46-8-5090-4654 英国 - 沃金厄姆 电话: 44-118-921-5800 传真: 44-118-921-5820
亚特兰大 德卢斯, 乔治亚州 电话: 1-678-957-9614 传真: 1-678-957-1455 奥斯汀, 德克萨斯州 电话: 1-512-257-3370 波士顿 韦斯特伯鲁, 马萨诸塞州 电话: 1-774-760-0087 传真: 1-774-760-0088 芝加哥 艾塔斯卡, 伊利诺伊州 电话: 1-630-285-0071 传真: 1-630-285-0075 达拉斯 艾迪生, 德克萨斯州 电话: 1-972-818-7423 传真: 1-972-818-2924 底特律 诺维, 密歇根州 电话: 1-248-848-4000 休斯敦, 德克萨斯州 电话: 1-281-894-5983 印第安纳波利斯 诺布尔斯维尔, 印第安纳州 电话: 1-317-773-8323 传真: 1-317-773-5453 电话: 1-317-536-2380 洛杉矶 米申维耶霍, 加利福尼亚州 电话: 1-949-462-9523 传真: 1-949-462-9608 电话: 1-951-273-7800 罗利, 北卡罗来纳州 电话: 1-919-844-7510 纽约, 纽约州 电话: 1-631-435-6000 圣何塞, 加利福尼亚州 电话: 1-408-735-9110 电话: 1-408-436-4270 加拿大 - 多伦多 电话: 1-905-695-1980 传真: 1-905-695-2078			