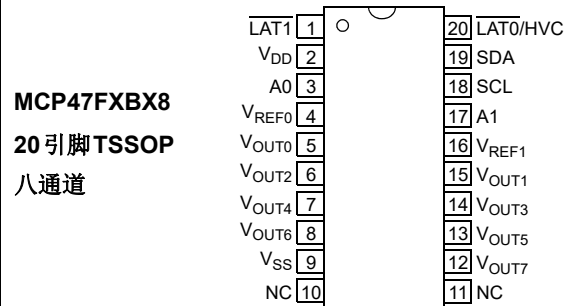
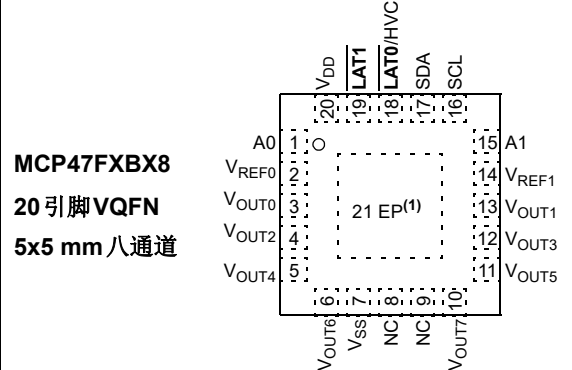
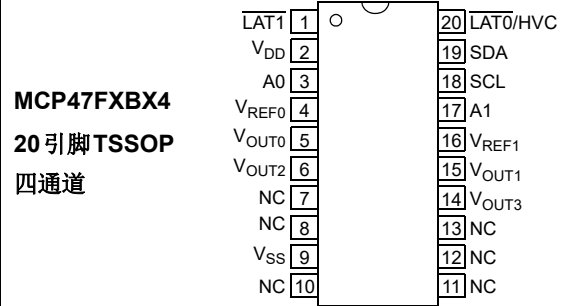
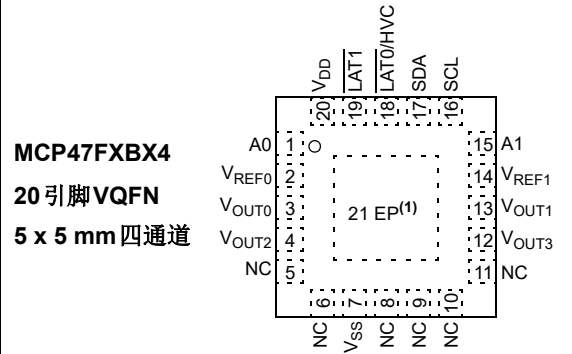


## 具有I<sup>2</sup>C接口的6LSb INL 四/八通道电压输出8/10/12位数模转换器

### 特性

- 工作电压范围：
  - 2.7V至5.5V（全额）
  - 1.8V至2.7V（低压）
- 输出电压分辨率：
  - 8位：**MCP47FXB0X**（256步）
  - 10位：**MCP47FXB1X**（1024步）
  - 12位：**MCP47FXB2X**（4096步）
- 轨到轨输出
- 快速稳定时间为7.8 μs（典型值）
- DAC参考电压源选项：
  - 器件V<sub>DD</sub>
  - 外部V<sub>REF</sub>引脚（缓冲或非缓冲）
  - 内部带隙（典型值为1.22V）
- 输出增益选项：
  - 1x（单位增益）
  - 2x（在内部V<sub>DD</sub>不用作电压源时可用）
- 非易失性存储器（EEPROM选项）：
  - 用户编程的上电复位（Power-On Reset, POR）或欠压复位（Brown-Out Reset, BOR）输出设置和器件配置位恢复
  - 自动恢复保存的DAC寄存器设置
  - 自动恢复保存的器件配置（参考电压、增益和掉电）
- 上电复位/欠压复位保护
- 掉电模式：
  - 断开输出缓冲器（高阻抗）
  - 可选择V<sub>OUT</sub>下拉电阻（125 kΩ或1 kΩ）
- 低功耗：
  - 正常工作：< 1 mA（四通道），1.8 mA（八通道）
  - 掉电操作：680 nA（典型值）
  - EEPROM写周期：2.7 mA（最大值）
- I<sup>2</sup>C接口：
  - 从器件地址选项：四个预定义地址或用户可编程地址（全部7位）
  - 标准（100 kbps）、快速（400 kbps）和高速（最高3.4 Mbps）三种模式
- 封装类型：
  - 20引脚TSSOP
  - 20引脚5 x 5 mm VQFN
- 扩展级温度范围：-40°C至+125°C

### 封装类型



注 1： 包含外露散热焊盘（EP）；请参见表 3-1 和表 3-2。

# MCP47FBX4/8

## 概述

MCP47FBX4/8 系列器件为缓冲电压输出数模转换器 (Digital-to-Analog Converter, DAC)，具有以下选项：

- 四通道或八通道输出配置
- 8位、10位或12位分辨率
- 易失性或非易失性用户存储器

四通道选项与八通道选项仅在输出通道数量上有所不同。易失性与非易失性两种版本的模拟电路结构相同。

参考电压源共有三种：外部 $V_{REF}$ 引脚、器件的 $V_{DD}$ 或内部带隙电压源。

选择 $V_{DD}$ 模式时，该电压在内部连接到DAC的参考电路。使用外部 $V_{REF}$ 引脚时，如果选用缓冲模式，则用户可选择增益（1或2）；如果选用外部 $V_{REF}$ 非缓冲模式，则可以完全绕过内部缓冲器。

在内部带隙参考电压模式下，可以选择增益（2或4）。

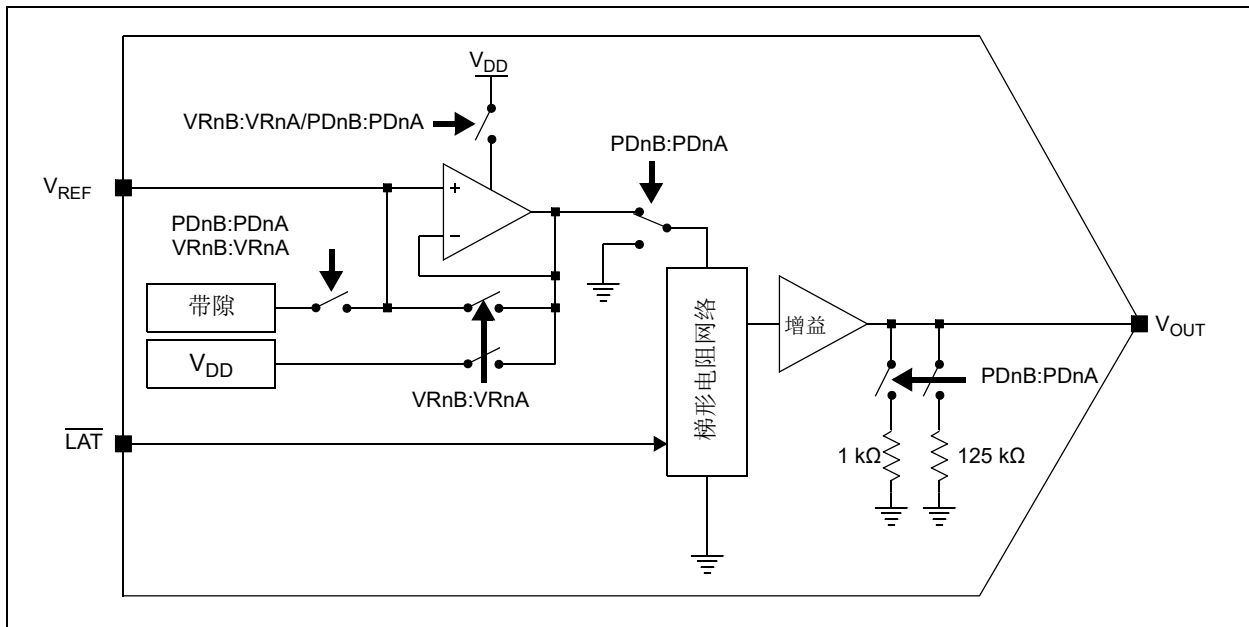
该系列器件具有WiperLock™功能，可防止意外更改输出值。该功能通过专用命令在特定引脚上使用高电压来锁定存储器中的值。

MCP47FBX4/8 使用兼容I<sup>2</sup>C的接口与主控制器通信，支持以下数据传输速率：标准（100 kHz）、快速（400 kHz）和高速（1.7 MHz和3.4 MHz）。该系列器件只能用作从器件。

## 应用

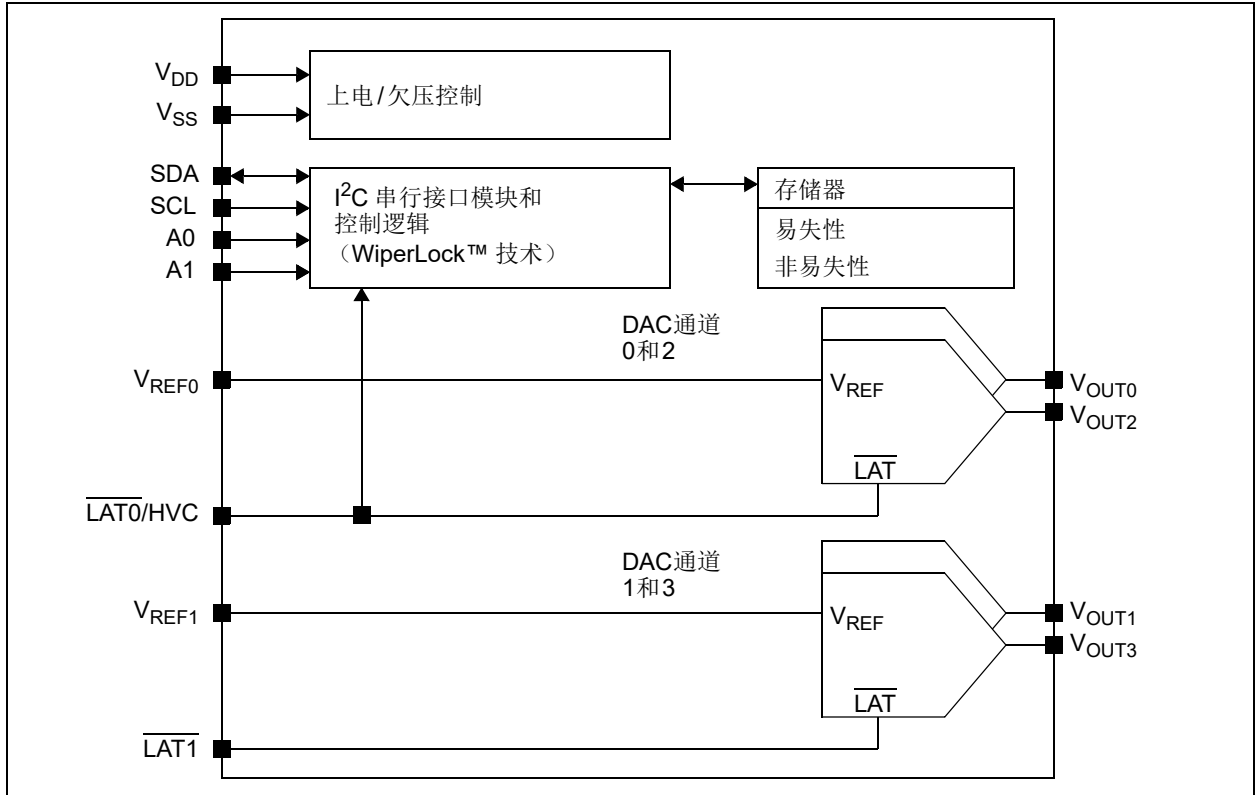
- 设定值或偏移调整
- 传感器校准
- 低功耗便携式仪表
- PC外设
- 数据采集系统
- 电机控制

## MCP47FBX4/8 DAC 输出通道框图

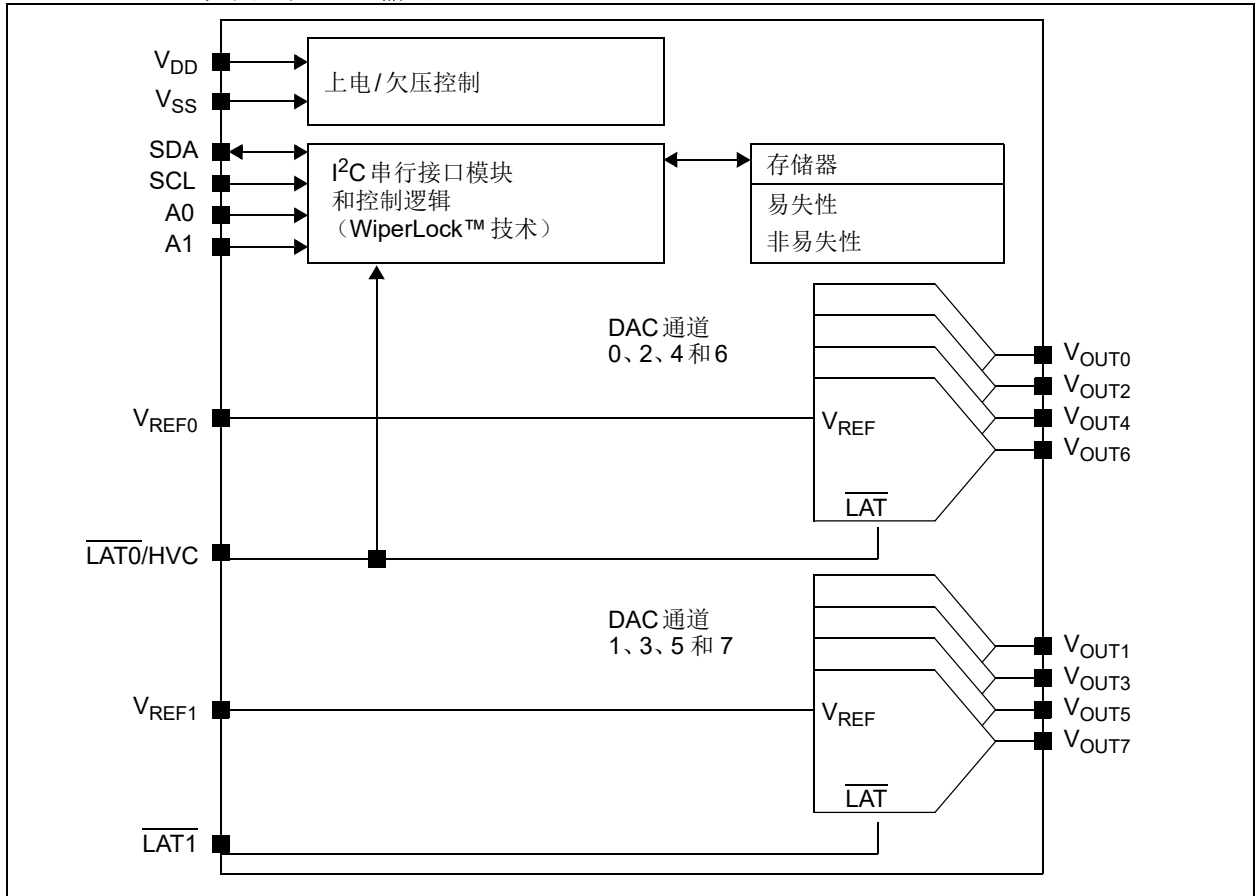


# MCP47FXBX4/8

## MCP47FXBX4框图（四通道输出）



## MCP47FXBX8框图（八通道输出）



# MCP47FBX4/8

## 器件功能

器件	封装类型	通道数	分辨率 (位)	DAC 输出 POR/BOR 设置 <sup>(1)</sup>	V <sub>REF</sub> 输入的数量	LAT 输入的数量	内部 带隙	存储器
MCP47FVB04	VQFN-20 5 x 5 和 TSSOP-20	4	8	7Fh	2	2	有	RAM
MCP47FVB14	VQFN-20 5 x 5 和 TSSOP-20	4	10	1FFh	2	2	有	RAM
MCP47FVB24	VQFN-20 5 x 5 和 TSSOP-20	4	12	7FFh	2	2	有	RAM
MCP47FVB08	VQFN-20 5 x 5 和 TSSOP-20	8	8	7Fh	2	2	有	RAM
MCP47FVB18	VQFN-20 5 x 5 和 TSSOP-20	8	10	1FFh	2	2	有	RAM
MCP47FVB28	VQFN-20 5 x 5 和 TSSOP-20	8	12	7FFh	2	2	有	RAM
MCP47FEB04	VQFN-20 5 x 5 和 TSSOP-20	4	8	7Fh	2	2	有	EEPROM
MCP47FEB14	VQFN-20 5 x 5 和 TSSOP-20	4	10	1FFh	2	2	有	EEPROM
MCP47FEB24	VQFN-20 5 x 5 和 TSSOP-20	4	12	7FFh	2	2	有	EEPROM
MCP47FEB08	VQFN-20 5 x 5 和 TSSOP-20	8	8	7Fh	2	2	有	EEPROM
MCP47FEB18	VQFN-20 5 x 5 和 TSSOP-20	8	10	1FFh	2	2	有	EEPROM
MCP47FEB28	VQFN-20 5 x 5 和 TSSOP-20	8	12	7FFh	2	2	有	EEPROM

注 1: 出厂默认值。可通过非易失性 DAC 输出寄存器 (仅非易失性器件 (MCP47FEBXX) 上提供) 修改 DAC 输出 POR/BOR 值。



## 1.0 电气特性

### 绝对最大值 (†)

$V_{DD}$ 相对于 $V_{SS}$ 的电压 .....	-0.6V 至 +6.5V
所有引脚相对于 $V_{SS}$ 的电压 .....	-0.6V 至 $V_{DD} + 0.3V$
输入钳位电流 $I_{IK}$ ( $V_I < 0$ , $V_I > V_{DD}$ , $V_I > V_{PP}$ (HV 引脚上)) .....	$\pm 20$ mA
输出钳位电流 $I_{OK}$ ( $V_O < 0$ 或 $V_O > V_{DD}$ ) .....	$\pm 20$ mA
流出 $V_{SS}$ 引脚的最大电流 (四通道) .....	150 mA
(八通道) .....	150 mA
流入 $V_{DD}$ 引脚的最大电流 (四通道) .....	150 mA
(八通道) .....	150 mA
$V_{OUT}$ 引脚的最大拉电流 .....	20 mA
$V_{OUT}$ 引脚的最大灌电流 .....	20 mA
$V_{REF}$ 引脚的最大灌电流 .....	125 $\mu$ A
SDA 和 SCL 引脚的最大输入拉/灌电流 .....	2 mA
SDA 输出引脚的最大输出灌电流 .....	25 mA
总功耗 (†) .....	400 mW
封装功耗 ( $T_A = +50^\circ\text{C}$ , $T_J = +150^\circ\text{C}$ )	
TSSOP-20 .....	1300 mW
VQFN-20 (5 x 5, ML) .....	2800 mW
所有引脚上的 ESD 保护 .....	$\geq \pm 6$ kV (HBM)
.....	$\geq \pm 400$ V (MM)
.....	$\geq \pm 2$ kV (CDM)
+125°C 时的门锁电流 (符合 JEDEC® JESD78A) .....	$\pm 100$ mA
储存温度 .....	-65°C 至 +150°C
环境温度 (施加电源时) .....	-55°C 至 +125°C
引脚焊接温度 (10 秒) .....	+300°C
最高结温 ( $T_J$ ) .....	+150°C

† 注: 如果器件的工作条件超过上述“最大值”, 可能对器件造成永久性损坏。上述值仅代表本规范规定的极限工作条件, 不代表器件在上述极限值或超出极限值的情况下仍可正常工作。器件长时间工作在最大值条件下, 其可靠性可能受到影响。

注 1: 功耗计算公式为:

$$P_{DIS} = V_{DD} \times \{I_{DD} - \sum I_{OH}\} + \sum \{(V_{DD} - V_{OH}) \times I_{OH}\} + \sum (V_{OL} \times I_{OL})$$

# MCP47FBX4/8

## 直流电气特性

### 标准工作条件（除非另外说明）

工作温度： $-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$ （扩展级）

除非另外说明，否则所有参数均适用于指定的工作范围。

$V_{DD} = +2.7\text{V}$ 至 $5.5\text{V}$ ， $V_{REF} = +2.048\text{V}$ 至 $V_{DD}$ ， $V_{SS} = 0\text{V}$ ， $G_x = 0$ ， $R_L = 5\text{ k}\Omega$ （ $V_{OUT}$ 与GND之间）， $C_L = 100\text{ pF}$ 。

典型规范值是指 $V_{DD} = 5.5\text{V}$ 、 $T_A = +25^{\circ}\text{C}$ 时的值。

参数	符号	最小值	典型值	最大值	单位	条件
电源电压	$V_{DD}$	2.7	—	5.5	V	
		1.8	—	2.7	V	串行接口正常工作 DAC以低压模拟规范工作
确保器件正常上电复位的 $V_{DD}$ 电压（上升）	$V_{POR/BOR}$	—	—	1.7	V	RAM保持电压（ $V_{RAM}$ ） $< V_{POR}$ $V_{DD}$ 电压大于 $V_{POR/BOR}$ 限值（确保器件正常退出复位模式）
确保正常上电复位的 $V_{DD}$ 上升速率	$V_{DDRR}$	（注3）			V/ms	
高电压命令电压范围（HVC引脚）	$V_{HV}$	$V_{SS}$	—	12.5	V	HVC引脚将采用三种输入电压中的一种（ $V_{IL}$ 、 $V_{IH}$ 或 $V_{IHH}$ ） <sup>(1)</sup>
高电压输入进入电压	$V_{IHHEN}$	9.0	—	—	V	进入WiperLock™技术的阈值
高电压输入退出电压	$V_{IHHEX}$	—	—	$V_{DD} + 0.8\text{V}$	V	注1

注1 此参数由设计确保。

注3 POR/BOR电压跳变点与斜率无关。滞后通过延时来实现。

## 直流电气特性（续）

标准工作条件（除非另外说明）

工作温度： $-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$ （扩展级）

除非另外说明，否则所有参数均适用于指定的工作范围。

$V_{DD} = +2.7\text{V}$ 至 $5.5\text{V}$ ， $V_{REF} = +2.048\text{V}$ 至 $V_{DD}$ ， $V_{SS} = 0\text{V}$ ， $G_x = 0$ ， $R_L = 5\text{ k}\Omega$ （ $V_{OUT}$ 与GND之间）， $C_L = 100\text{ pF}$ 。

典型规范值是指 $V_{DD} = 5.5\text{V}$ 、 $T_A = +25^{\circ}\text{C}$ 时的值。

参数	符号	最小值	典型值	最大值	单位	条件	
电源电流	$I_{DD}$	—	—	1.0	mA	四通道	串行接口工作 <sup>(2)</sup> (非高电压命令) $V_{OUT}$ 无负载， $V_{DD} = 5.5\text{V}$ $VRnB:VRnA = 10$ <sup>(4)</sup> 易失性DAC寄存器 = 中等量程 $I^2C$ : $F_{SCL} = 3.4\text{ MHz}$
		—	—	1.8	mA	八通道	
	$I_{DD}$	—	—	0.85	$\mu\text{A}$	四通道	串行接口不工作 <sup>(2)</sup> (非高电压命令) $VRnB:VRnA =$ 所有模式 $SCL = SDA = V_{SS}$ ， $V_{OUT}$ 无负载 易失性DAC寄存器 = 中等量程
		—	—	1.60	$\mu\text{A}$	八通道	
	$I_{DD}$	—	—	2.5	mA	四通道	EE写入电流 $V_{REF} = V_{DD} = 5.5\text{V}$ （写入后，串行接口不工作） 向非易失性DAC0（地址10h）写入7FFh， $V_{OUT}$ 引脚无负载。
		—	—	3.0	mA	八通道	
	$I_{DD}$	—	560	700	$\mu\text{A}$	四通道	HVC = 12.5V（高电压命令），串行接口不工作 $V_{REF} = V_{DD} = 5.5\text{V}$ ， $\overline{LAT}/HVC = V_{IH}$ DAC寄存器 = 中等量程 $V_{OUT}$ 引脚无负载
		—	1100	1300	$\mu\text{A}$	八通道	
掉电电流	$I_{DDP}$	—	0.68	3.8	$\mu\text{A}$	PDnB:PDnA = 01 <sup>(5)</sup> $V_{OUT}$ 未连接	

**注2** 此参数由表征确保。

**注4** 在 $VRnB:VRnA = 10$ 的模式下，电源电流与通过梯形电阻网络的电流无关。

**注5** PDnB:PDnA = 00、10和11时的三种配置应具有相同的电流。

# MCP47FXBX4/8

## 直流电气特性（续）

标准工作条件（除非另外说明）

工作温度： $-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$ （扩展级）

除非另外说明，否则所有参数均适用于指定的工作范围。

$V_{DD} = +2.7\text{V}$ 至 $5.5\text{V}$ ， $V_{REF} = +2.048\text{V}$ 至 $V_{DD}$ ， $V_{SS} = 0\text{V}$ ， $G_x = 0$ ， $R_L = 5\text{ k}\Omega$ （ $V_{OUT}$ 与GND之间）， $C_L = 100\text{ pF}$ 。

典型规范值是指 $V_{DD} = 5.5\text{V}$ 、 $T_A = +25^{\circ}\text{C}$ 时的值。

参数	符号	最小值	典型值	最大值	单位	条件
梯形电阻网络的电阻值	$R_L$	100	140	180	k $\Omega$	$VRnB:VRnA = 10$ $V_{REF} = V_{DD}$ <sup>(6)</sup>
分辨率（电阻数和抽头数）（见附录C.1“分辨率”）	N	256			抽头	8位   无丢失编码
		1024			抽头	10位   无丢失编码
		4096			抽头	12位   无丢失编码
标称 $V_{OUT}$ 匹配度 <sup>(11)</sup>	$\frac{ V_{OUT} - V_{OUTMEAN} }{V_{OUTMEAN}}$	—	0.5	1.0	%	$2.7\text{V} \leq V_{DD} \leq 5.5\text{V}$ <sup>(2)</sup>
		—	—	1.2	%	$1.8\text{V}$ <sup>(2)</sup>
$V_{OUT}$ 温度系数（见附录C.19“ $V_{OUT}$ 温度系数”）	$\Delta V_{OUT}/\Delta T$	—	15	—	ppm/ $^{\circ}\text{C}$	编码 = 中等量程 (7Fh、1FFh或7FFh)
$V_{REF}$ 引脚输入电压范围	$V_{REF}$	$V_{SS}$	—	$V_{DD}$	V	$1.8\text{V} \leq V_{DD} \leq 5.5\text{V}$ <sup>(1)</sup>

**注1** 此参数由设计确保。

**注2** 此参数由表征确保。

**注6** 该电阻值定义为 $V_{REF}$ 引脚（ $VRnB:VRnA = 10$ 的模式）与 $V_{SS}$ 引脚之间的电阻值。对于八通道器件（MCP47FXBX8），是指每个梯形电阻网络的有效电阻值。测量方法是通过并联方式测量其中一个梯形电阻网络。

**注11** 仅计算其中一个通道的输出电压相对于平均输出电压的变化。

## 直流电气特性 (续)

标准工作条件 (除非另外说明)

工作温度:  $-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$  (扩展级)

除非另外说明, 否则所有参数均适用于指定的工作范围。

$V_{DD} = +2.7\text{V}$  至  $5.5\text{V}$ ,  $V_{REF} = +2.048\text{V}$  至  $V_{DD}$ ,  $V_{SS} = 0\text{V}$ ,  $G_x = 0$ ,  $R_L = 5\text{ k}\Omega$  ( $V_{OUT}$  与 GND 之间),  $C_L = 100\text{ pF}$ 。

典型规范值是指  $V_{DD} = 5.5\text{V}$ 、 $T_A = +25^{\circ}\text{C}$  时的值。

参数	符号	最小值	典型值	最大值	单位	条件	
零量程误差 (编码 = 000h) (见附录 C.5 “零量程误差 (EzS)”) )	EzS	—	—	0.75	LSb	8 位	VRnB:VRnA = 10, $G_x = 0$ , $V_{REF} = V_{DD}$ , 无负载
		—	—	3	LSb	10 位	VRnB:VRnA = 10, $G_x = 0$ , $V_{REF} = V_{DD}$ , 无负载
		—	—	12	LSb	12 位	VRnB:VRnA = 10, $G_x = 0$ , $V_{REF} = V_{DD}$ , 无负载
		请参见第 2.0 节 “典型性能曲线” (2)	LSb	VRnB:VRnA = 11, $G_x = 0$ , $G_x = 1$ , $V_{REF} = 0.5 \times V_{DD} = 2.7\text{V}$ , 无负载			
		请参见第 2.0 节 “典型性能曲线” (2)	LSb	VRnB:VRnA = 10, $G_x = 0$ , $G_x = 1$ , $V_{REF} = V_{DD}/2$ , $V_{REF} = V_{DD}$ , $V_{DD} = 2.7\text{V} - 5.5\text{V}$ , 无负载			
		请参见第 2.0 节 “典型性能曲线” (2)	LSb	VRnB:VRnA = 10, $G_x = 0$ , $G_x = 1$ , $V_{REF} = V_{DD}/2$ , $V_{REF} = V_{DD}$ , $V_{DD} = 2.7\text{V} - 5.5\text{V}$ , 无负载			
		请参见第 2.0 节 “典型性能曲线” (2)	LSb	VRnB:VRnA = 00, $G_x = 0$ , $V_{REF} = V_{DD} = 2.7\text{V} - 5.5\text{V}$ , 无负载			
满量程误差 (见附录 C.4 “满量程误差 (EFS)”) )	EFS	—	—	4.5	LSb	8 位	VRnB:VRnA = 10, $G_x = 0$ , $V_{REF} = V_{DD}$ , 无负载
		—	—	18	LSb	10 位	VRnB:VRnA = 10, $G_x = 0$ , $V_{REF} = V_{DD}$ , 无负载
		—	—	70	LSb	12 位	VRnB:VRnA = 10, $G_x = 0$ , $V_{REF} = V_{DD}$ , 无负载
		请参见第 2.0 节 “典型性能曲线” (2)	LSb	VRnB:VRnA = 11, $G_x = 0$ , $G_x = 1$ , $V_{REF} = 0.5 \times V_{DD} = 2.7\text{V}$ , 无负载			
		请参见第 2.0 节 “典型性能曲线” (2)	LSb	VRnB:VRnA = 10, $G_x = 0$ , $G_x = 1$ , $V_{REF} = V_{DD}/2$ , $V_{REF} = V_{DD}$ , $V_{DD} = 2.7\text{V} - 5.5\text{V}$ , 无负载			
		请参见第 2.0 节 “典型性能曲线” (2)	LSb	VRnB:VRnA = 10, $G_x = 0$ , $G_x = 1$ , $V_{REF} = V_{DD}/2$ , $V_{REF} = V_{DD}$ , $V_{DD} = 2.7\text{V} - 5.5\text{V}$ , 无负载			
		请参见第 2.0 节 “典型性能曲线” (2)	LSb	VRnB:VRnA = 00, $G_x = 0$ , $V_{REF} = V_{DD} = 2.7\text{V} - 5.5\text{V}$ , 无负载			
失调误差 (见附录 C.7 “失调误差 (EOS)”) )	EoS	-15	$\pm 1.5$	+15	mV	VRnB:VRnA = 00, $G_x = 0$ , 无负载	
失调电压温度系数	VOSTC	—	$\pm 10$	—	$\mu\text{V}/^{\circ}\text{C}$		

注2 此参数由表征确保。

# MCP47FBX4/8

## 直流电气特性 (续)

标准工作条件 (除非另外说明)						
工作温度: $-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$ (扩展级)						
除非另外说明, 否则所有参数均适用于指定的工作范围。						
$V_{DD} = +2.7\text{V}$ 至 $5.5\text{V}$ , $V_{REF} = +2.048\text{V}$ 至 $V_{DD}$ , $V_{SS} = 0\text{V}$ , $G_x = 0$ , $R_L = 5\text{ k}\Omega$ ( $V_{OUT}$ 与 $\text{GND}$ 之间), $C_L = 100\text{ pF}$ 。						
典型规范值是指 $V_{DD} = 5.5\text{V}$ 、 $T_A = +25^{\circ}\text{C}$ 时的值。						
参数	符号	最小值	典型值	最大值	单位	条件
增益误差 (见附录 C.9 “增益误差 (EG)”) (8)	$E_G$	-1.0	$\pm 0.1$	+1.0	FSR 的百分比	8 位 编码 = 250, 无负载 $VRnB:VRnA = 00$ , $G_x = 0$
		-1.0	$\pm 0.1$	+1.0	FSR 的百分比	10 位 编码 = 1000, 无负载 $VRnB:VRnA = 00$ , $G_x = 0$
		-1.0	$\pm 0.1$	+1.0	FSR 的百分比	12 位 编码 = 4000, 无负载 $VRnB:VRnA = 00$ , $G_x = 0$
增益误差漂移 (见附录 C.10 “增益误差漂移 (EGD)”) (9)	$\Delta G/^{\circ}\text{C}$	—	-3	—	ppm/ $^{\circ}\text{C}$	
总不可调整误差 (见附录 C.6 “总不可调整误差 (ET)”) (2)	$E_T$	-2.5	—	+0.5	LSb	8 位 $VRnB:VRnA = 10$ , $G_x = 0$ , $V_{REF} = V_{DD}$ , 无负载
		-10.0	—	+2.0	LSb	10 位 $VRnB:VRnA = 10$ , $G_x = 0$ , $V_{REF} = V_{DD}$ , 无负载
		-40.0	—	+8.0	LSb	12 位 $VRnB:VRnA = 10$ , $G_x = 0$ , $V_{REF} = V_{DD}$ , 无负载
		请参见第 2.0 节 “典型性能曲线” (2)				$VRnB:VRnA = 11$ , $G_x = 0$ , $G_x = 1$ , $V_{REF} = 0.5 \times V_{DD} = 2.7$ , 无负载
		请参见第 2.0 节 “典型性能曲线” (2)				$VRnB:VRnA = 10$ , $G_x = 0$ , $G_x = 1$ , $V_{REF} = V_{DD}/2$ , $V_{REF} = V_{DD}$ , $V_{DD} = 2.7\text{V} - 5.5\text{V}$ , 无负载
		请参见第 2.0 节 “典型性能曲线” (2)				$VRnB:VRnA = 10$ , $G_x = 0$ , $G_x = 1$ , $V_{REF} = V_{DD}/2$ , $V_{REF} = V_{DD}$ , $V_{DD} = 2.7\text{V} - 5.5\text{V}$ , 无负载
		请参见第 2.0 节 “典型性能曲线” (2)				$VRnB:VRnA = 00$ , $G_x = 0$ , $V_{REF} = V_{DD} = 2.7\text{V} - 5.5\text{V}$ , 无负载

注2 此参数由表征确保。

## 直流电气特性（续）

标准工作条件（除非另外说明）

工作温度： $-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$ （扩展级）

除非另外说明，否则所有参数均适用于指定的工作范围。

$V_{DD} = +2.7\text{V}$ 至 $5.5\text{V}$ ， $V_{REF} = +2.048\text{V}$ 至 $V_{DD}$ ， $V_{SS} = 0\text{V}$ ， $G_x = 0$ ， $R_L = 5\text{ k}\Omega$ （ $V_{OUT}$ 与GND之间）， $C_L = 100\text{ pF}$ 。

典型规范值是指 $V_{DD} = 5.5\text{V}$ 、 $T_A = +25^{\circ}\text{C}$ 时的值。

参数	符号	最小值	典型值	最大值	单位	条件	
积分非线性误差 (见附录C.11“积分非线性(INL)误差”)(7, 10)	INL	-0.5	$\pm 0.1$	+0.5	LSb	8位	$VRnB:VRnA = 10$ ， $G_x = 0$ ， $V_{REF} = V_{DD}$ ，无负载
		-1.5	$\pm 0.4$	+1.5	LSb	10位	$VRnB:VRnA = 10$ ， $G_x = 0$ ， $V_{REF} = V_{DD}$ ，无负载
		-6	$\pm 1.5$	+6	LSb	12位	$VRnB:VRnA = 10$ ， $G_x = 0$ ， $V_{REF} = V_{DD}$ ，无负载
		请参见第2.0节“典型性能曲线”(2)			LSb		$VRnB:VRnA = 11$ ， $G_x = 0$ ， $G_x = 1$ ， $V_{REF} = 0.5 \times V_{DD} = 2.7\text{V}$ ，无负载
		请参见第2.0节“典型性能曲线”(2)			LSb		$VRnB:VRnA = 10$ ， $G_x = 0$ ， $G_x = 1$ ， $V_{REF} = V_{DD}/2$ ， $V_{REF} = V_{DD}$ ， $V_{DD} = 2.7\text{V}-5.5\text{V}$ ，无负载
		请参见第2.0节“典型性能曲线”(2)			LSb		$VRnB:VRnA = 10$ ， $G_x = 0$ ， $G_x = 1$ ， $V_{REF} = V_{DD}/2$ ， $V_{REF} = V_{DD}$ ， $V_{DD} = 2.7\text{V}-5.5\text{V}$ ，无负载
		请参见第2.0节“典型性能曲线”(2)			LSb	$VRnB:VRnA = 00$ ， $G_x = 0$ ， $V_{REF} = V_{DD} = 2.7\text{V}-5.5\text{V}$ ，无负载	

**注2** 此参数由表征确保。

**注7** INL和DNL在 $V_{RL} = V_{DD}$ （ $VRnB:VRnA = 00$ ）时的 $V_{OUT}$ 处测得。

**注10** 编码范围取决于分辨率：8位的编码范围为6至250；10位的编码范围为25至1000；12位的编码范围为100至4000。

# MCP47FBX4/8

## 直流电气特性 (续)

标准工作条件 (除非另外说明)

工作温度:  $-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$  (扩展级)

除非另外说明, 否则所有参数均适用于指定的工作范围。

$V_{DD} = +2.7\text{V}$  至  $5.5\text{V}$ ,  $V_{REF} = +2.048\text{V}$  至  $V_{DD}$ ,  $V_{SS} = 0\text{V}$ ,  $G_x = 0$ ,  $R_L = 5\text{ k}\Omega$  ( $V_{OUT}$  与 GND 之间),  $C_L = 100\text{ pF}$ 。

典型规范值是指  $V_{DD} = 5.5\text{V}$ 、 $T_A = +25^{\circ}\text{C}$  时的值。

参数	符号	最小值	典型值	最大值	单位	条件	
微分非线性误差 (见附录 C.12 “微分非线性 (DNL) 误差”) (7, 10)	DNL	-0.25	$\pm 0.0125$	+0.25	LSb	8 位	$VRnB:VRnA = 10$ , $G_x = 0$ , $V_{REF} = V_{DD}$ , 无负载
		-0.5	$\pm 0.05$	+0.5	LSb	10 位	$VRnB:VRnA = 10$ , $G_x = 0$ , $V_{REF} = V_{DD}$ , 无负载
		-1.0	$\pm 0.2$	+1.0	LSb	12 位	$VRnB:VRnA = 10$ , $G_x = 0$ , $V_{REF} = V_{DD}$ , 无负载
		请参见第 2.0 节 “典型性能曲线” (2)			LSb		$VRnB:VRnA = 11$ , $G_x = 0$ , $G_x = 1$ , $V_{REF} = 0.5 \times V_{DD} = 2.7\text{V}$ , 无负载
		请参见第 2.0 节 “典型性能曲线” (2)			LSb		$VRnB:VRnA = 10$ , $G_x = 0$ , $G_x = 1$ , $V_{REF} = V_{DD}/2$ , $V_{REF} = V_{DD}$ , $V_{DD} = 2.7\text{V} - 5.5\text{V}$ , 无负载
		请参见第 2.0 节 “典型性能曲线” (2)			LSb		$VRnB:VRnA = 10$ , $G_x = 0$ , $G_x = 1$ , $V_{REF} = V_{DD}/2$ , $V_{REF} = V_{DD}$ , $V_{DD} = 2.7\text{V} - 5.5\text{V}$ , 无负载
		请参见第 2.0 节 “典型性能曲线” (2)			LSb		$VRnB:VRnA = 00$ , $G_x = 0$ $V_{REF} = V_{DD} = 2.7\text{V} - 5.5\text{V}$ , 无负载

**注 2** 此参数由表征确保。

**注 7** INL 和 DNL 在  $V_{RL} = V_{DD}$  ( $VRnB:VRnA = 00$ ) 时的  $V_{OUT}$  处测得。

**注 10** 编码范围取决于分辨率: 8 位的编码范围为 6 至 250; 10 位的编码范围为 25 至 1000; 12 位的编码范围为 100 至 4000。



## 直流电气特性（续）

参数	符号	最小值	典型值	最大值	单位	条件
<b>标准工作条件（除非另外说明）</b>						
工作温度： $-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$ （扩展级）						
除非另外说明，否则所有参数均适用于指定的工作范围。						
$V_{DD} = +2.7\text{V}$ 至 $5.5\text{V}$ ， $V_{REF} = +2.048\text{V}$ 至 $V_{DD}$ ， $V_{SS} = 0\text{V}$ ， $G_x = 0$ ， $R_L = 5\text{ k}\Omega$ （ $V_{OUT}$ 与GND之间）， $C_L = 100\text{ pF}$ 。						
典型规范值是指 $V_{DD} = 5.5\text{V}$ 、 $T_A = +25^{\circ}\text{C}$ 时的值。						
-3 dB 带宽 （见附录C.16“-3 dB 带宽”）	BW	—	86.5	—	kHz	$V_{REF} = 2.048\text{V} \pm 0.1\text{V}$ ， $VRnB:VRnA = 10$ ， $G_x = 0$
		—	67.7	—	kHz	$V_{REF} = 2.048\text{V} \pm 0.1\text{V}$ ， $VRnB:VRnA = 10$ ， $G_x = 1$
<b>输出放大器</b>						
最小输出电压	$V_{OUT(MIN)}$	—	0.01	—	V	$1.8\text{V} \leq V_{DD} < 5.5\text{V}$ ， 输出放大器提供最小驱动能力
最大输出电压	$V_{OUT(MAX)}$	—	$V_{DD} - 0.016$	—	V	$1.8\text{V} \leq V_{DD} < 5.5\text{V}$ ， 输出放大器提供最大驱动能力
相位裕度	PM	—	58	—	$^{\circ}\text{C}$	$C_L = 400\text{ pF}$ ， $R_L = \infty$
压摆率 <sup>(9)</sup>	SR	—	0.44	—	V/ $\mu\text{s}$	$R_L = 5\text{ k}\Omega$
短路电流	$I_{SC}$	3	9	22	mA	短接至 $V_{SS}$   DAC编码 = 满量程
		3	9	22	mA	短接至 $V_{DD}$   DAC编码 = 000h
<b>内部带隙</b>						
带隙电压	$V_{BG}$	1.18	1.22	1.26	V	
带隙电压温度系数	$V_{BGTC}$	—	15	—	ppm/ $^{\circ}\text{C}$	
工作范围	$V_{DD}$	2.0	—	5.5	V	$V_{REF}$ 引脚电压稳定
		2.2	—	5.5	V	$V_{OUT}$ 输出呈线性
<b>外部参考电压（<math>V_{REF}</math>）</b>						
输入范围 <sup>(1)</sup>	$V_{REF}$	$V_{SS}$	—	$V_{DD} - 0.04$	V	$VRnB:VRnA = 11$ （缓冲模式）
		$V_{SS}$	—	$V_{DD}$	V	$VRnB:VRnA = 10$ （非缓冲模式）
输入电容	$C_{REF}$	—	1	—	pF	$VRnB:VRnA = 10$ （非缓冲模式）
总谐波失真 <sup>(1)</sup>	THD	—	-64	—	dB	$V_{REF} = 2.048\text{V} \pm 0.1\text{V}$ ， $VRnB:VRnA = 10$ ， $G_x = 0$ ， 频率 = 1 kHz
<b>动态性能</b>						
主编码跳变毛刺（见附录C.14“主编码跳变毛刺”）	—	—	45	—	nV-s	主进位（7FFh变为800h）时变化1LSb
数字馈通（见附录C.15“数字馈通”）	—	—	< 10	—	nV-s	

**注1** 此参数由设计确保。

**注9** 编码从FSR的1/4变为3/4时（例如，在12位器件中，从400h变为C00h），最终值的误差在1/2LSb范围内。

# MCP47FBX4/8

## 直流电气特性（续）

标准工作条件（除非另外说明）

工作温度： $-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$ （扩展级）

除非另外说明，否则所有参数均适用于指定的工作范围。

$V_{DD} = +2.7\text{V}$ 至 $5.5\text{V}$ ， $V_{REF} = +2.048\text{V}$ 至 $V_{DD}$ ， $V_{SS} = 0\text{V}$ ， $G_x = 0$ ， $R_L = 5\text{ k}\Omega$ （ $V_{OUT}$ 与GND之间）， $C_L = 100\text{ pF}$ 。

典型规范值是指 $V_{DD} = 5.5\text{V}$ 、 $T_A = +25^{\circ}\text{C}$ 时的值。

参数	符号	最小值	典型值	最大值	单位	条件
<b>数字输入/输出（<math>\overline{\text{LAT0}}</math>、<math>\overline{\text{LAT1}}</math>和HVC）</b>						
施密特触发器 高电平输入阈值	$V_{IH}$	$0.7 V_{DD}$	—	—	V	$2.7\text{V} \leq V_{DD} \leq 5.5\text{V}$ （允许搭配使用 2.7V数字 $V_{DD}$ 与5V模拟 $V_{DD}$ ）
		$0.7 V_{DD}$	—	—	V	$1.8\text{V} \leq V_{DD} \leq 2.7\text{V}$
施密特触发器 低电平输入阈值	$V_{IL}$	—	—	$0.3 V_{DD}$	V	
施密特触发器输入滞后	$V_{HYS}$	—	$0.1 V_{DD}$	—	V	
输入泄漏电流	$I_{IL}$	-1	—	1	$\mu\text{A}$	$V_{IN} = V_{DD}$ 且 $V_{IN} = V_{SS}$
引脚电容	$C_{IN}$ 和 $C_{OUT}$	—	10	—	pF	$f_C = 3.4\text{ MHz}$
<b>数字接口（SDA和SCL）</b>						
输出低电平电压	$V_{OL}$	—	—	0.4	V	$V_{DD} \geq 2.0\text{V}$ ， $I_{OL} = 3\text{ mA}$
		—	—	$0.2 V_{DD}$	V	$V_{DD} < 2.0\text{V}$ ， $I_{OL} = 1\text{ mA}$
输入高电平电压 （SDA和SCL引脚）	$V_{IH}$	$0.7 V_{DD}$	—	—	V	$1.8\text{V} \leq V_{DD} \leq 5.5\text{V}$
输入低电平电压 （SDA和SCL引脚）	$V_{IL}$	—	—	$0.3 V_{DD}$	V	$1.8\text{V} \leq V_{DD} \leq 5.5\text{V}$
输入泄漏电流	$I_{LI}$	-1	—	1	$\mu\text{A}$	SCL = SDA = $V_{SS}$ 或SCL = SDA = $V_{DD}$
引脚电容	$C_{PIN}$	—	10	—	pF	$f_C = 3.4\text{ MHz}$

## 直流电气特性（续）

## 标准工作条件（除非另外说明）

工作温度： $-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$ （扩展级）

除非另外说明，否则所有参数均适用于指定的工作范围。

$V_{DD} = +2.7\text{V}$ 至 $5.5\text{V}$ ， $V_{REF} = +2.048\text{V}$ 至 $V_{DD}$ ， $V_{SS} = 0\text{V}$ ， $G_x = 0$ ， $R_L = 5\text{ k}\Omega$ （ $V_{OUT}$ 与GND之间）， $C_L = 100\text{ pF}$ 。

典型规范值是指 $V_{DD} = 5.5\text{V}$ 、 $T_A = +25^{\circ}\text{C}$ 时的值。

参数	符号	最小值	典型值	最大值	单位	条件	
<b>RAM 值</b>							
值范围	N	0h	—	FFh	十六进制	8位	
		0h	—	3FFh	十六进制	10位	
		0h	—	FFFh	十六进制	12位	
DAC 寄存器 POR/BOR 值	N	请参见表4-2			十六进制	8位	
		请参见表4-2			十六进制	10位	
		请参见表4-2			十六进制	12位	
PDCON 初始出厂设置	N	请参见表4-2			十六进制		
<b>EEPROM</b>							
耐擦写次数	$EN_{EE}$	—	1M	—	周期数	注1和注2	
数据保存时间	$DR_{EE}$	—	200	—	年	+25°C 时 <sup>(1, 2)</sup>	
EEPROM 范围	N	0h	—	FFh	十六进制	8位	DACn 寄存器
		0h	—	3FFh	十六进制	10位	DACn 寄存器
		0h	—	FFFh	十六进制	12位	DACn 寄存器
初始出厂设置	N	请参见表4-2					
EEPROM 编程写周期时间	$t_{WC}$	—	11	16	ms	$V_{DD} = +1.8\text{V}$ 至 $5.5\text{V}$	
<b>电源要求</b>							
电源灵敏度（见附录C.17“电源灵敏度（Power-Supply Sensitivity, PSS）”）	PSS	—	0.002	0.005	%/%	8位	编码 = 7Fh
		—	0.002	0.005	%/%	10位	编码 = 1FFh
		—	0.002	0.005	%/%	12位	编码 = 7FFh

注1 此参数由设计确保。

注2 此参数由表征确保。

# MCP47FXBX4/8

---

---

## 直流电气注意事项：

1. 此参数由设计确保。
2. 此参数由表征确保。
3. POR/BOR 电压跳变点与斜率无关。滞后通过延时来实现。
4. 在 VRnB:VRnA = 10 的模式下，电源电流与通过梯形电阻网络的电流无关。
5. PDnB:PDnA = 00、10 和 11 时的三种配置应具有相同的电流。
6. 该电阻值定义为 V<sub>REF</sub> 引脚 (VRnB:VRnA = 10 的模式) 与 V<sub>SS</sub> 引脚之间的电阻值。对于八通道器件 (MCP47FXBX8)，是指每个梯形电阻网络的有效电阻值。测量方法是通过并联方式测量其中一个梯形电阻网络。
7. INL 和 DNL 在 V<sub>RL</sub> = V<sub>DD</sub> (VRnB:VRnA = 00) 时的 V<sub>OUT</sub> 处测得。
8. 该增益误差不包括失调误差。
9. 编码从 FSR 的 1/4 变为 3/4 时 (例如，在 12 位器件中，从 400h 变为 C00h)，最终值的误差在 1/2 LSb 范围内。
10. 编码范围取决于分辨率：8 位的编码范围为 6 至 250；10 位的编码范围为 25 至 1000；12 位的编码范围为 100 至 4000。
11. 仅计算其中一个通道的输出电压相对于平均输出电压的变化。

## 1.1 时序波形和要求

### 1.1.1 抽头稳定时间



图1-1:  $V_{OUT}$  稳定时间波形

表1-1: 抽头稳定时间

时序特性		标准工作条件（除非另外说明）： 工作温度： $-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$ （扩展级） 除非另外说明，否则所有参数均适用于指定的工作范围。 $V_{DD} = +1.8\text{V}$ 至 $5.5\text{V}$ ， $V_{SS} = 0\text{V}$ ， $R_L = 2\text{k}\Omega$ （ $V_{OUT}$ 与GND之间）， $C_L = 100\text{pF}$ 。 典型规范值是指 $V_{DD} = 5.5\text{V}$ 、 $T_A = +25^{\circ}\text{C}$ 时的值。				
参数	符号	最小值	典型值	最大值	单位	条件
$V_{OUT}$ 稳定时间 （ $\pm 0.5\text{LSb}$ 误差范围， $C_L = 100\text{pF}$ ） （见附录C.13“稳定时间”）	$t_s$	—	7.8	—	$\mu\text{s}$	12位 编码 = 400h $\rightarrow$ C00h；C00h $\rightarrow$ 400h <sup>(1)</sup>

注 1: 编码从FSR的1/4变为3/4时，最终值的误差在1/2 LSB范围内。

### 1.1.2 锁存器引脚 ( $\overline{\text{LAT}}$ ) 时序

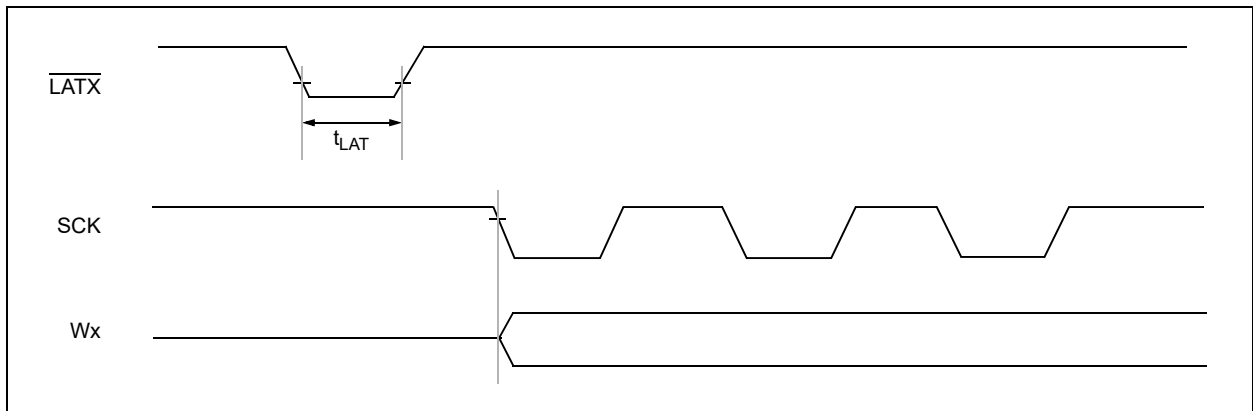


图1-2:  $\overline{\text{LAT}}$  引脚波形

表1-2:  $\overline{\text{LAT}}$  引脚时序

时序特性		标准工作条件（除非另外说明）： 工作温度： $-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$ （扩展级） 除非另外说明，否则所有参数均适用于指定的工作范围。 $V_{DD} = +2.7\text{V}$ 至 $5.5\text{V}$ ， $V_{SS} = 0\text{V}$ ， $R_L = 2\text{k}\Omega$ （ $V_{OUT}$ 与GND之间）， $C_L = 100\text{pF}$ 。 典型规范值是指 $V_{DD} = 5.5\text{V}$ 、 $T_A = +25^{\circ}\text{C}$ 时的值。				
参数	符号	最小值	典型值	最大值	单位	条件
$\overline{\text{LAT}}$ 引脚脉冲宽度	$t_{\text{LAT}}$	20	—	—	ns	

# MCP47FBX4/8

## 1.1.3 复位和掉电时序

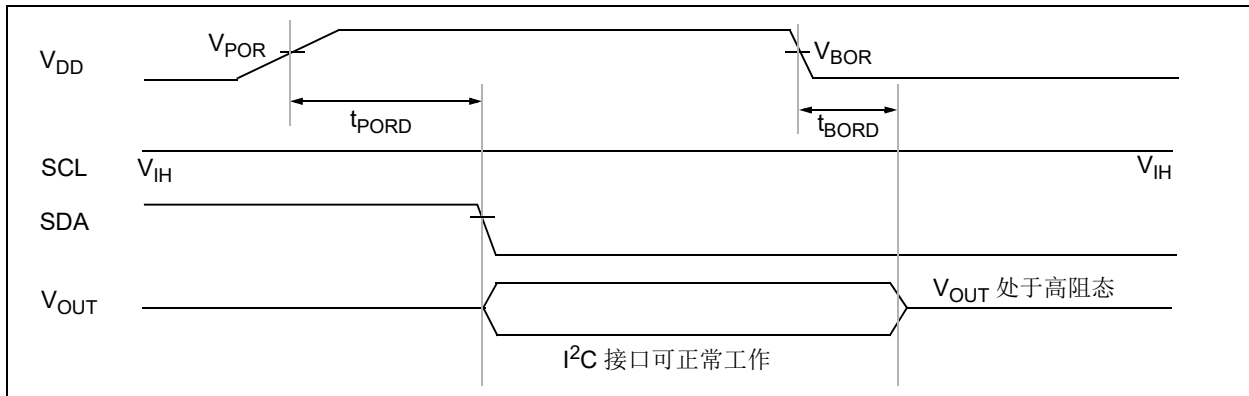


图1-3: 上电复位和欠压复位波形

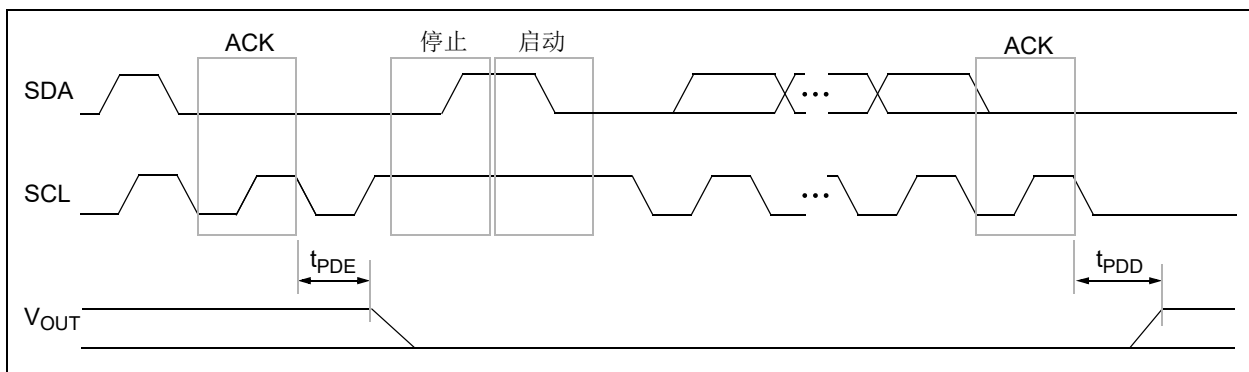


图1-4: I<sup>2</sup>C 掉电命令波形

表 1-3: 复位和掉电时序

时序特性		标准工作条件（除非另外说明）： 工作温度： $-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$ （扩展级） 除非另外说明，否则所有参数均适用于以下指定的工作范围： $V_{DD} = +2.7\text{V}$ 至 $5.5$ ， $V_{SS} = 0\text{V}$ $R_L = 5\text{ k}\Omega$ （ $V_{OUT}$ 与 $V_{SS}$ 之间）， $C_L = 100\text{ pF}$ 典型规范值是指 $V_{DD} = 5.5\text{V}$ 、 $T_A = +25^{\circ}\text{C}$ 时的值。				
参数	符号	最小值	典型值	最大值	单位	条件
上电复位延时	$t_{PORD}$	—	60	—	$\mu\text{s}$	
欠压复位延时	$t_{BORD}$	—	45	—	$\mu\text{s}$	$V_{DD}$ 发生如下转换： $V_{DD(MIN)} \rightarrow > V_{POR}$ 从驱动 $V_{OUT}$ 到禁止 $V_{OUT}$
掉电DAC输出禁止延时	$T_{PDE}$	—	10.5	—	$\mu\text{s}$	$\text{PDnB:PDnA} = 00 \rightarrow 11、10$ 或 $01$ （从第8个时钟周期结束时SCL的下降沿开始）， $V_{OUT} = V_{OUT} - 10\text{ mV}$ 。 $V_{OUT}$ 未连接。
掉电DAC输出使能延时	$T_{PDD}$	—	1	—	$\mu\text{s}$	$\text{PDnB:PDnA} = 11、10$ 或 $01 \rightarrow 00$ （从第8个时钟周期结束时SCL的下降沿开始）。易失性DAC寄存器 = FFh， $V_{OUT} = 10\text{ mV}$ 。 $V_{OUT}$ 未连接。

## 1.2 I<sup>2</sup>C 模式时序波形和要求

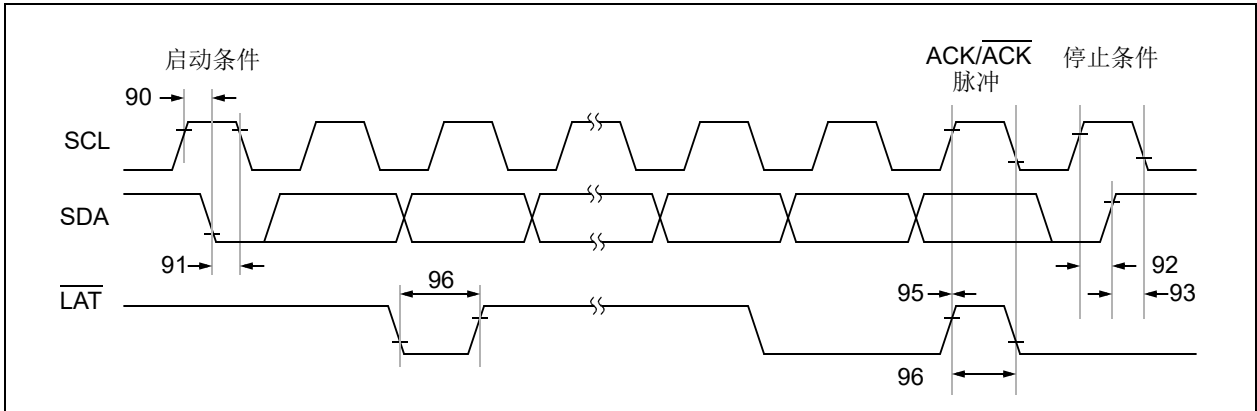


图1-5: I<sup>2</sup>C 总线启动/停止位和LAT 时序波形

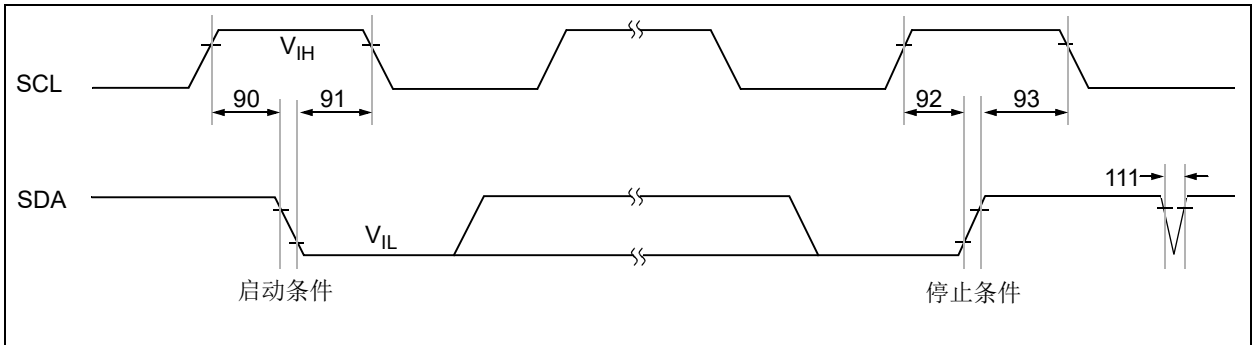


图1-6: I<sup>2</sup>C 总线启动/停止位时序波形

# MCP47FBX4/8

表1-4: I<sup>2</sup>C总线启动/停止位和LAT要求

I <sup>2</sup> C交流特性		标准工作条件（除非另外说明） 工作温度：-40°C ≤ T <sub>A</sub> ≤ +125°C（扩展级） 直流电气特性给出了工作电压范围。						
参数编号	符号	特性	最小值	最大值	单位	条件		
—	F <sub>SCL</sub>		标准模式	0	100	kHz	C <sub>b</sub> = 400 pF, 1.8V–5.5V <sup>(2)</sup>	
			快速模式	0	400	kHz		C <sub>b</sub> = 400 pF, 2.7V–5.5V
			高速 1.7	0	1.7	MHz		C <sub>b</sub> = 400 pF, 4.5V–5.5V
			高速 3.4	0	3.4	MHz		C <sub>b</sub> = 100 pF, 4.5V–5.5V
D102	C <sub>b</sub>	总线容性负载	100 kHz 模式	—	400	pF		
			400 kHz 模式	—	400	pF		
			1.7 MHz 模式	—	400	pF		
			3.4 MHz 模式	—	100	pF		
90	T <sub>SU:STA</sub>	启动条件建立时间（仅与重复启动条件相关）	100 kHz 模式	4700	—	ns	注2	
			400 kHz 模式	600	—	ns		
			1.7 MHz 模式	160	—	ns		
			3.4 MHz 模式	160	—	ns		
91	T <sub>HD:STA</sub>	启动条件保持时间（这个周期后产生第一个时钟脉冲）	100 kHz 模式	4000	—	ns	注2	
			400 kHz 模式	600	—	ns		
			1.7 MHz 模式	160	—	ns		
			3.4 MHz 模式	160	—	ns		
92	T <sub>SU:STO</sub>	停止条件建立时间	100 kHz 模式	4000	—	ns	注2	
			400 kHz 模式	600	—	ns		
			1.7 MHz 模式	160	—	ns		
			3.4 MHz 模式	160	—	ns		
93	T <sub>HD:STO</sub>	停止条件保持时间	100 kHz 模式	4000	—	ns	注2	
			400 kHz 模式	600	—	ns		
			1.7 MHz 模式	160	—	ns		
			3.4 MHz 模式	160	—	ns		
95	T <sub>LATHD</sub>	从 SCL ↑ 到 $\overline{\text{LAT}}$ ↑（写数据 ACK 位）保持时间	250	—	ns	延迟写入数据 <sup>(3)</sup>		
96	T <sub>LAT</sub>	$\overline{\text{LAT}}$ 高电平或低电平时间	50	—	ns			

注2 未经测试。此参数由表征确保。

注3 无论V<sub>OUT</sub>的变化是否延迟，在SCL信号上升沿前10 ns（规范94）到SCL信号上升沿后250 ns（规范95）之间的LAT信号的跳变都是不确定的。



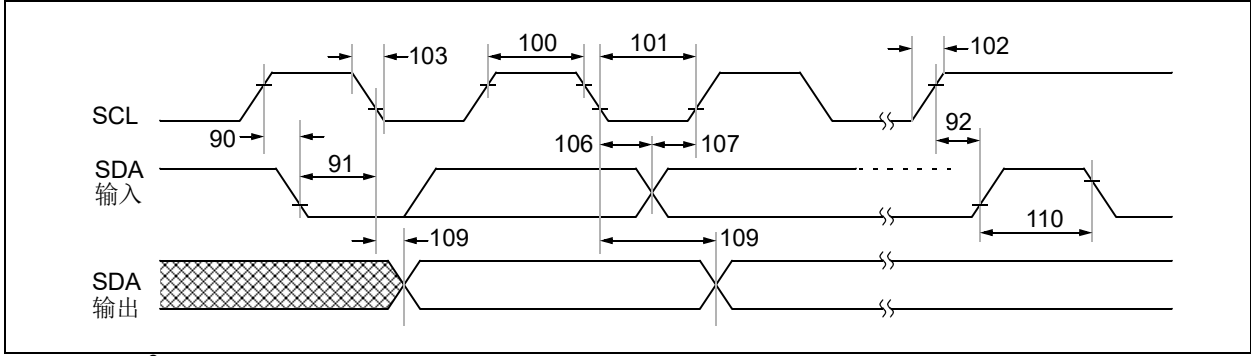


图1-7: I<sup>2</sup>C 总线时序波形

## I<sup>2</sup>C 总线要求 (从模式)

I <sup>2</sup> C 交流特性		标准工作条件 (除非另外说明) 工作温度: $-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$ (扩展级) <a href="#">直流电气特性</a> 给出了工作电压范围。					
参数编号	符号	特性	最小值	最大值	单位	条件	
100	T <sub>HIGH</sub>	时钟高电平时间	100 kHz 模式	4000	—	ns	1.8V–5.5V <sup>(2)</sup>
			400 kHz 模式	600	—	ns	2.7V–5.5V
			1.7 MHz 模式	120	—	ns	4.5V–5.5V
			3.4 MHz 模式	60	—	ns	4.5V–5.5V
101	T <sub>LOW</sub>	时钟低电平时间	100 kHz 模式	4700	—	ns	1.8V–5.5V <sup>(2)</sup>
			400 kHz 模式	1300	—	ns	2.7V–5.5V
			1.7 MHz 模式	320	—	ns	4.5V–5.5V
			3.4 MHz 模式	160	—	ns	4.5V–5.5V
102A <sup>(2)</sup>	T <sub>RSCL</sub>	SCL 上升时间	100 kHz 模式	—	1000	ns	C <sub>b</sub> 值的指定范围为 10 pF 至 400 pF (3.4 MHz 模式下最大 100 pF)
			400 kHz 模式	$20 + 0.1C_b$	300	ns	
			1.7 MHz 模式	20	80	ns	
			1.7 MHz 模式	20	160	ns	重复启动条件后或应答位后
			3.4 MHz 模式	10	40	ns	重复启动条件后或应答位后
			3.4 MHz 模式	10	80	ns	
102B <sup>(2)</sup>	T <sub>RSDA</sub>	SDA 上升时间	100 kHz 模式	—	1000	ns	C <sub>b</sub> 值的指定范围为 10 pF 至 400 pF (3.4 MHz 模式下最大 100 pF)
			400 kHz 模式	$20 + 0.1C_b$	300	ns	
			1.7 MHz 模式	20	160	ns	
			3.4 MHz 模式	10	80	ns	

注2 未经测试。此参数由表征确保。

# MCP47FBX4/8

## I<sup>2</sup>C 总线要求（从模式）（续）

I <sup>2</sup> C 交流特性		标准工作条件（除非另外说明） 工作温度：-40°C ≤ T <sub>A</sub> ≤ +125°C（扩展级） <a href="#">直流电气特性</a> 给出了工作电压范围。					
参数编号	符号	特性	最小值	最大值	单位	条件	
103A <sup>(2)</sup>	T <sub>F<sub>SCL</sub></sub>	SCL 下降时间	100 kHz 模式	—	300	ns	C <sub>b</sub> 值的指定范围为 10 pF 至 400 pF（3.4 MHz 模式下最大为 100 pF） <sup>(4)</sup>
			400 kHz 模式	20 + 0.1C <sub>b</sub>	300	ns	
			1.7 MHz 模式	20	80	ns	
			3.4 MHz 模式	10	40	ns	
103B <sup>(2)</sup>	T <sub>F<sub>SDA</sub></sub>	SDA 下降时间	100 kHz 模式	—	300	ns	C <sub>b</sub> 值的指定范围为 10 pF 至 400 pF（3.4 MHz 模式下最大为 100 pF） <sup>(4)</sup>
			400 kHz 模式	20 + 0.1C <sub>b</sub>	300	ns	
			1.7 MHz 模式	20	160	ns	
			3.4 MHz 模式	10	80	ns	
106	T <sub>HD:DAT</sub>	数据输入保持时间	100 kHz 模式	0	—	ns	1.8V-5.5V <sup>(2, 5)</sup>
			400 kHz 模式	0	—	ns	2.7V-5.5V <sup>(5)</sup>
			1.7 MHz 模式	0	—	ns	4.5V-5.5V <sup>(5)</sup>
			3.4 MHz 模式	0	—	ns	4.5V-5.5V <sup>(5)</sup>
107	T <sub>SU:DAT</sub>	数据输入建立时间	100 kHz 模式	250	—	ns	<a href="#">注2</a> 和 <a href="#">注6</a>
			400 kHz 模式	100	—	ns	<a href="#">注6</a>
			1.7 MHz 模式	10	—	ns	
			3.4 MHz 模式	10	—	ns	
109	T <sub>AA</sub>	自时钟边沿到输出有效的时间	100 kHz 模式	—	3450	ns	<a href="#">注2</a> 和 <a href="#">注7</a>
			400 kHz 模式	—	900	ns	<a href="#">注7</a>
			1.7 MHz 模式	—	150	ns	C <sub>b</sub> = 100 pF <sup>(7, 8)</sup>
				—	310	ns	C <sub>b</sub> = 400 pF <sup>(2, 7)</sup>
3.4 MHz 模式	—	150	ns	C <sub>b</sub> = 100 pF <sup>(7)</sup>			
110	T <sub>BUF</sub>	总线空闲时间	100 kHz 模式	4700	—	ns	在启动一个新的传输前总线必须保持空闲的时间 <sup>(2)</sup>
			400 kHz 模式	1300	—	ns	
			1.7 MHz 模式	N.A.	—	ns	
			3.4 MHz 模式	N.A.	—	ns	
111	T <sub>SP</sub>	输入滤波器尖峰抑制（SDA 和 SCL）	100 kHz 模式	—	50	ns	NXP 规范状态 N.A. <sup>(2)</sup>
			400 kHz 模式	—	50	ns	
			1.7 MHz 模式	—	10	ns	尖峰抑制
			3.4 MHz 模式	—	10	ns	尖峰抑制

[注2](#) 未经测试。此参数由表征确保。

[注4](#) 使用以 pF 为单位的 C<sub>b</sub> 进行计算。

[注5](#) 主发送器必须提供一段延时，以确保 SDA 和 SCL 下降时间之间的差异不会意外产生启动或停止条件。

[注6](#) 快速模式（400 kHz）的 I<sup>2</sup>C 总线器件也可在标准模式（100 kHz）的 I<sup>2</sup>C 总线系统中使用，但必须满足 t<sub>SU:DAT</sub> ≥ 250 ns 的要求。如果器件没有延长 SCL 信号的低电平周期，则必然满足此条件。如果该器件延长了 SCL 信号的低电平时间，其下一个数据位必须输出到 SDA 线。在 SCL 线被释放前，根据标准模式 I<sup>2</sup>C 总线规范，T<sub>R</sub> max. + t<sub>SU:DAT</sub> = 1000 + 250 = 1250 ns。

[注7](#) 为避免意外产生启动或停止条件，作为发送器的器件必须提供这个内部最小延时（最小值 300 ns）以补偿 SCL 下降沿的未定义区域。

[注8](#) 由 T<sub>AA</sub> 3.4 MHz 规范测试确保。

## 时序表注意事项:

1. 编码从FSR的1/4变为3/4时（例如，在12位器件中，从400h变为C00h），最终值的误差在1/2 LSB范围内。
2. 未经测试。此参数由表征确保。
3. 无论 $V_{OUT}$ 的变化是否延迟，在SCL信号上升沿前10 ns（规范94）到SCL信号上升沿后250 ns（规范95）之间的LAT信号的跳变都是不确定的。
4. 使用以pF为单位的 $C_b$ 进行计算。
5. 主发送器必须提供一段延时，以确保SDA和SCL下降时间之间的差异不会意外产生启动或停止条件。
6. 快速模式（400 kHz）的I<sup>2</sup>C总线器件也可在标准模式（100 kHz）的I<sup>2</sup>C总线系统中使用，但必须满足 $t_{SU:DAT} \geq 250$  ns的要求。如果器件没有延长SCL信号的低电平周期，则必然满足此条件。如果该器件延长了SCL信号的低电平时间，其下一个数据位必须输出到SDA线。在SCL线被释放前，根据标准模式I<sup>2</sup>C总线规范， $T_R \text{ max.} + t_{SU:DAT} = 1000 + 250 = 1250$  ns。
7. 为避免意外产生启动或停止条件，作为发送器的器件必须提供这个内部最小延时（最小值300 ns）以补偿SCL下降沿的未定义区域。
8. 由T<sub>AA</sub> 3.4 MHz规范测试确保。

# MCP47FXBX4/8

## 温度规范

电气规范：除非另外说明，否则 $V_{DD} = +2.7V$ 至 $+5.5V$ ， $V_{SS} = GND$ 。

参数	符号	最小值	典型值	最大值	单位	条件
<b>温度范围</b>						
规定温度范围	$T_A$	-40	—	+125	°C	
工作温度范围	$T_A$	-40	—	+125	°C	注1
储存温度范围	$T_A$	-65	—	+150	°C	
<b>封装热阻</b>						
热阻，20引脚TSSOP	$\theta_{JA}$	—	90	—	°C/W	
热阻，20引脚VQFN（5 x 5，P8X）	$\theta_{JA}$	—	36.1	—	°C/W	

注 1： 在此范围内工作时不能使 $T_j$ 超出最大结温（+150°C）。

## 2.0 典型性能曲线

注： 以下图表为基于有限数量样片的统计结果，仅供参考。所列出的性能特性未经测试，我们不做保证。一些图表中列出的数据可能超出规定的工作范围（例如，超出了规定的电源范围），因此不在担保范围内。

### 2.1 电气数据

注： 除非另外说明，否则  $T_A = +25^\circ\text{C}$ ， $V_{DD} = 5.5\text{V}$ 。

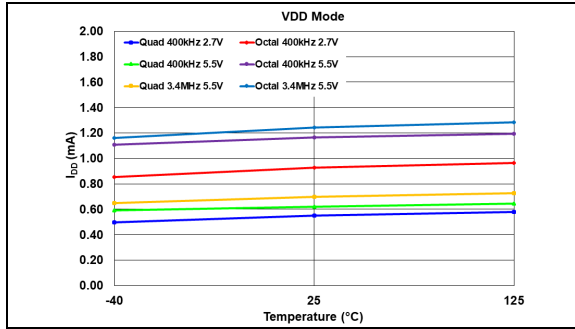


图2-1: 器件电源平均电流— $F_{SCL}$  频率、电压和温度曲线（接口工作， $VRnB:VRnA = 00$  ( $V_{DD}$  模式)）

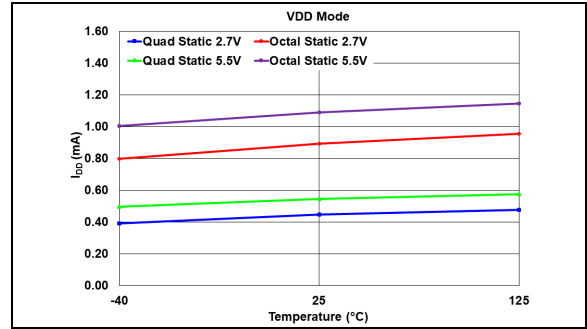


图2-4: 器件电源平均电流—电压和温度曲线（接口不工作 ( $SCL = V_{IH}$  或  $V_{IL}$ )， $VRnB:VRnA = 00$  ( $V_{DD}$  模式)）

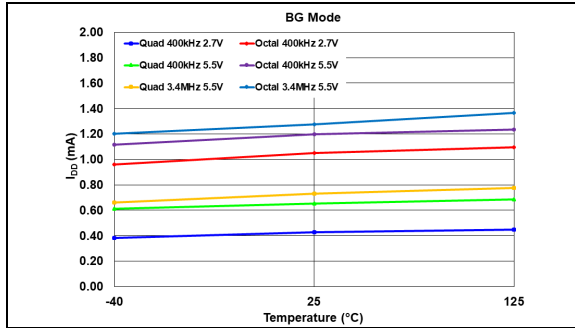


图2-2: 器件电源平均电流— $F_{SCL}$  频率、电压和温度曲线（接口工作， $VRnB:VRnA = 01$ （带隙模式））

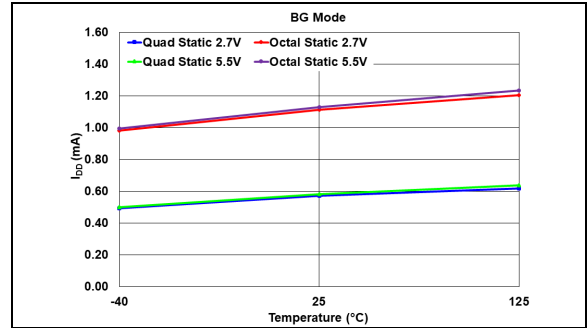


图2-5: 器件电源平均电流—电压和温度曲线（接口不工作 ( $SCL = V_{IH}$  或  $V_{IL}$ )， $VRnB:VRnA = 01$ （带隙模式））

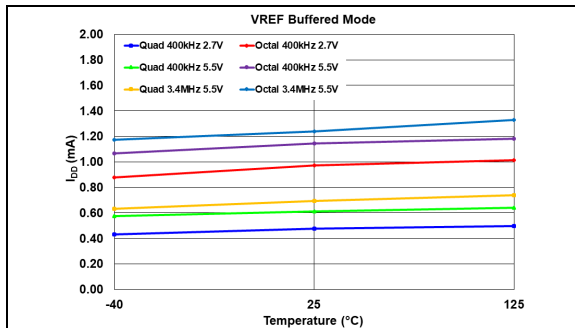


图2-3: 器件电源平均电流— $F_{SCL}$  频率、电压和温度曲线（接口工作， $VRnB:VRnA = 11$  ( $V_{REF}$  缓冲模式)）

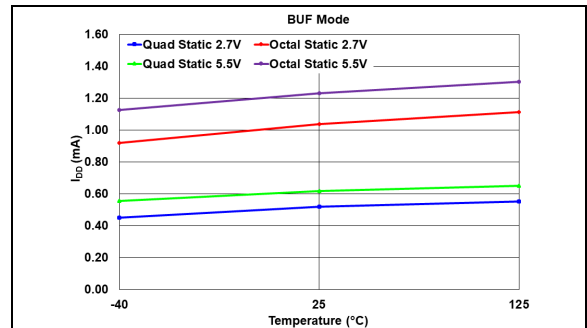


图2-6: 器件电源平均电流—电压和温度曲线（接口不工作 ( $SCL = V_{IH}$  或  $V_{IL}$ )， $VRnB:VRnA = 11$  ( $V_{REF}$  缓冲模式)）

# MCP47FBX4/8

注：除非另外说明，否则  $T_A = +25^\circ\text{C}$ ,  $V_{DD} = 5.5\text{V}$ 。

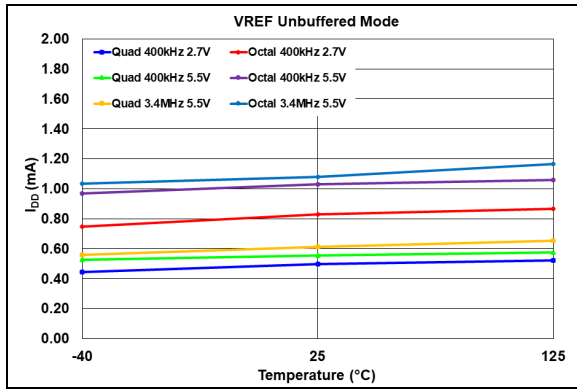


图2-7：器件电源平均电流— $F_{SCL}$  频率、电压和温度曲线（接口工作， $VRnB:VRnA = 10$ （ $V_{REF}$  非缓冲模式））

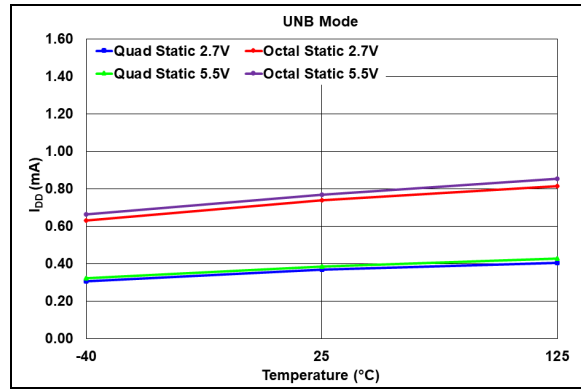


图2-9：器件电源平均电流—电压和温度曲线（接口不工作（ $SCL = V_{IH}$  或  $V_{IL}$ ）， $VRnB:VRnA = 10$ （ $V_{REF}$  非缓冲模式））

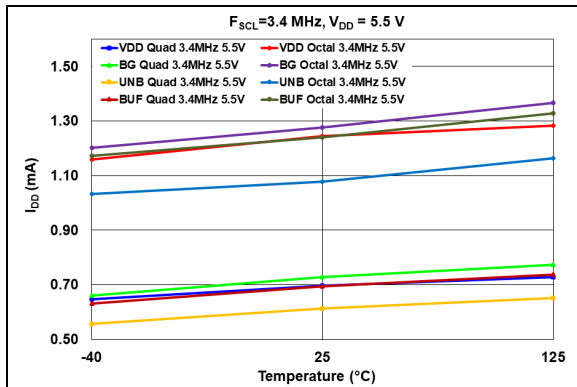


图2-8：器件电源平均工作电流（ $I_{DDA}$ ）—温度曲线（DAC 参考电压模式，电压为 5.5V 且  $F_{SCL} = 3.4\text{ MHz}$ ）

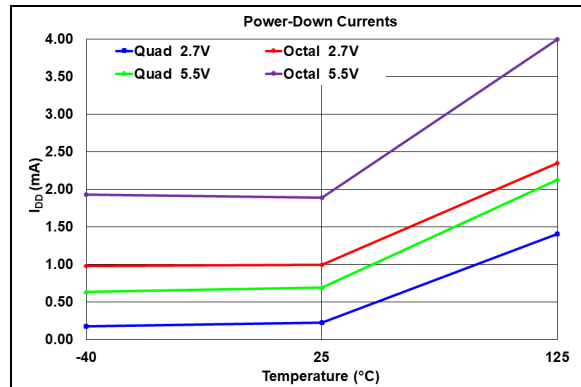


图2-10：掉电电流

## 2.2 线性数据

2.2.1 总不可调整误差 (Total Unadjusted Error, TUE) —— MCP47FXB28 (12位),  $V_{REF} = V_{DD}$  (VRnB:VRnA = 00), 增益 = 1x, 编码 100–4000

注: 除非另外说明, 否则:  $T_A = +25^\circ\text{C}$ ,  $V_{DD} = 5.5\text{V}$ .

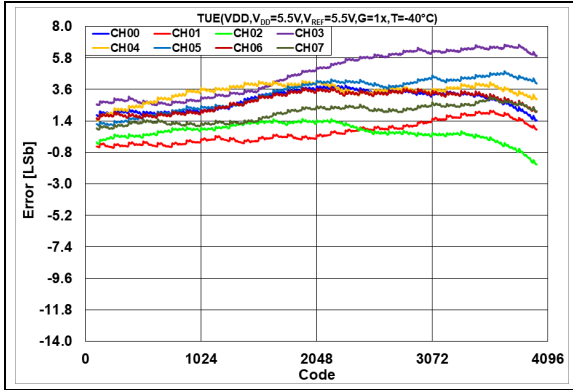


图2-11: 总不可调整误差 ( $V_{OUT}$ ) — DAC 编码曲线 ( $T = -40^\circ\text{C}$ ,  $V_{DD} = 5.5\text{V}$ )

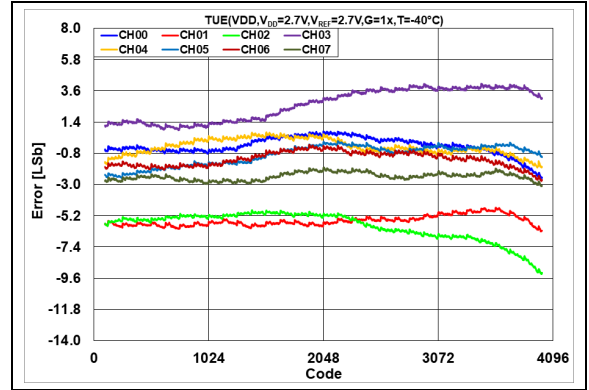


图2-14: 总不可调整误差 ( $V_{OUT}$ ) — DAC 编码曲线 ( $T = -40^\circ\text{C}$ ,  $V_{DD} = 2.7\text{V}$ )

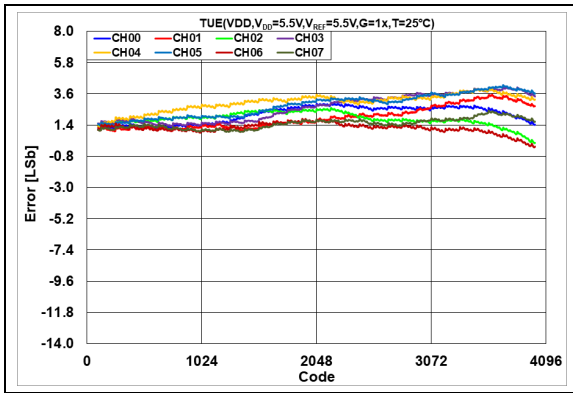


图2-12: 总不可调整误差 ( $V_{OUT}$ ) — DAC 编码曲线 ( $T = +25^\circ\text{C}$ ,  $V_{DD} = 5.5\text{V}$ )

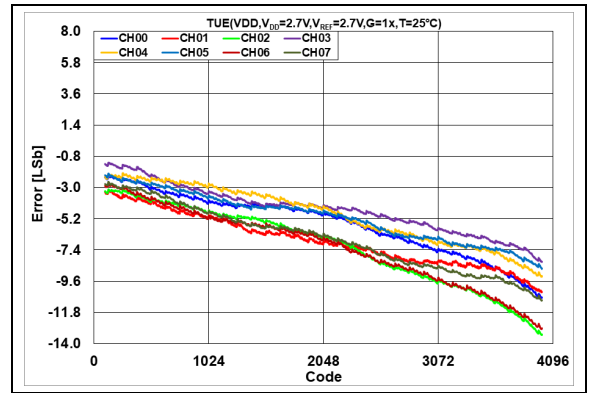


图2-15: 总不可调整误差 ( $V_{OUT}$ ) — DAC 编码曲线 ( $T = +25^\circ\text{C}$ ,  $V_{DD} = 2.7\text{V}$ )

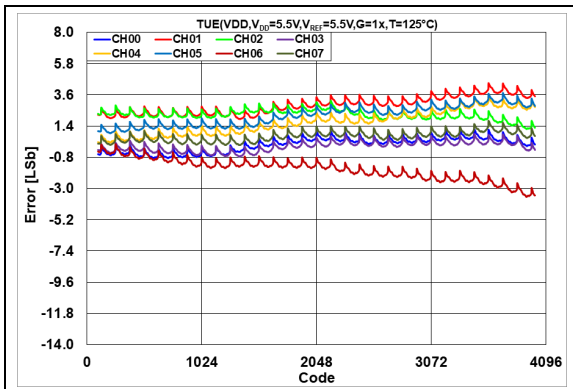


图2-13: 总不可调整误差 ( $V_{OUT}$ ) — DAC 编码曲线 ( $T = +125^\circ\text{C}$ ,  $V_{DD} = 5.5\text{V}$ )

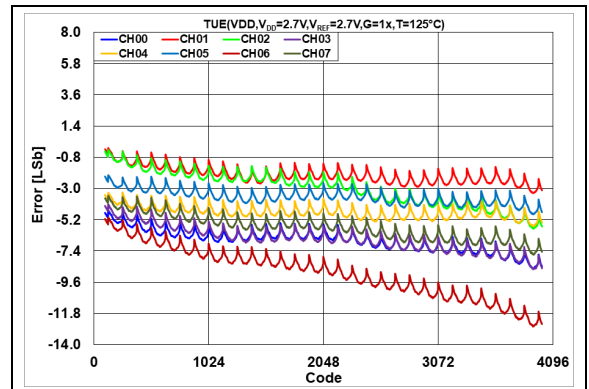


图2-16: 总不可调整误差 ( $V_{OUT}$ ) — DAC 编码曲线 ( $T = +125^\circ\text{C}$ ,  $V_{DD} = 2.7\text{V}$ )

# MCP47FXBX4/8

2.2.2 积分非线性 (Integral Nonlinearity, INL) 误差——MCP47FXB28 (12位),  
 $V_{REF} = V_{DD}$  (VRNB:VRNA = 00), 增益 = 1X, 编码64-4032

注: 除非另外说明, 否则  $T_A = +25^\circ\text{C}$ ,  $V_{DD} = 5.5\text{V}$ 。

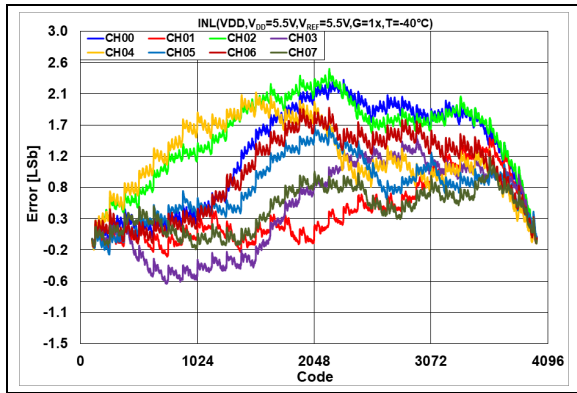


图2-17: INL 误差—DAC 编码曲线  
 ( $T = -40^\circ\text{C}$ ,  $V_{DD} = 5.5\text{V}$ )

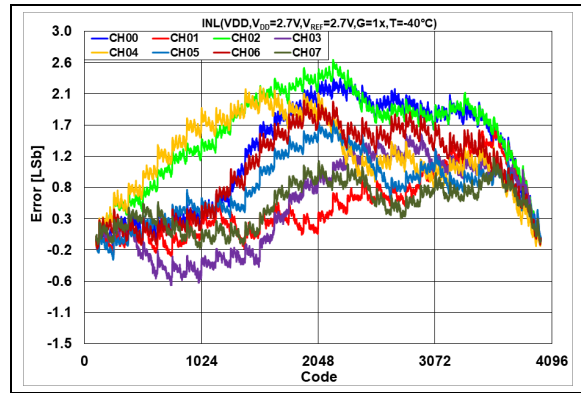


图2-20: INL 误差—DAC 编码曲线  
 ( $T = -40^\circ\text{C}$ ,  $V_{DD} = 2.7\text{V}$ )

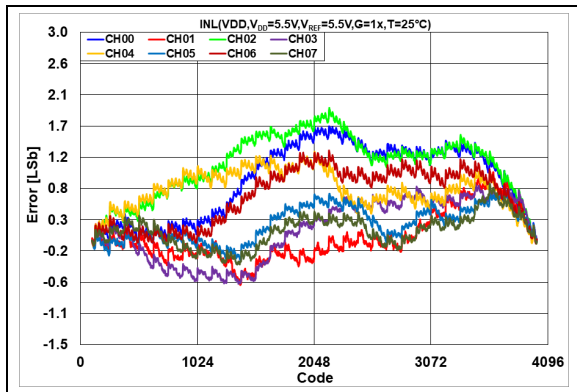


图2-18: INL 误差—DAC 编码曲线  
 ( $T = +25^\circ\text{C}$ ,  $V_{DD} = 5.5\text{V}$ )

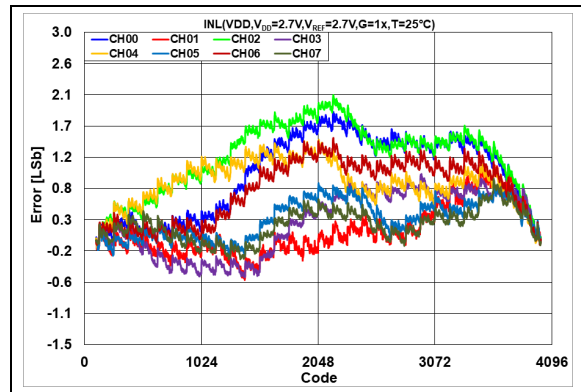


图2-21: INL 误差—DAC 编码曲线  
 ( $T = +25^\circ\text{C}$ ,  $V_{DD} = 2.7\text{V}$ )

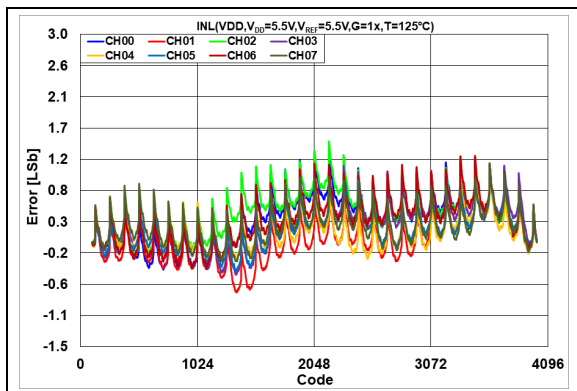


图2-19: INL 误差—DAC 编码曲线  
 ( $T = +125^\circ\text{C}$ ,  $V_{DD} = 5.5\text{V}$ )

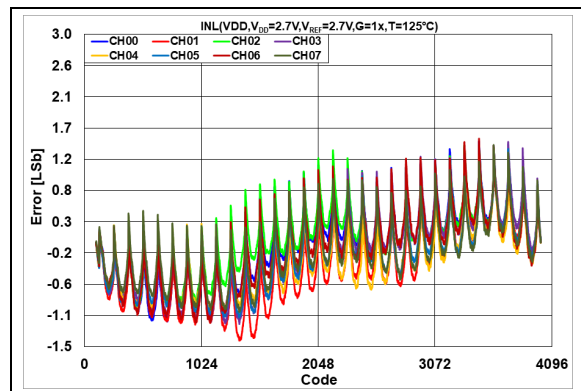


图2-22: INL 误差—DAC 编码曲线  
 ( $T = +125^\circ\text{C}$ ,  $V_{DD} = 2.7\text{V}$ )



## 2.2.3 微分非线性 (Differential Nonlinearity, DNL) 误差——MCP47FXB28 (12位), $V_{REF} = V_{DD}$ (VRNB:VRNA = 00), 增益 = 1X, 编码64–4032

注: 除非另外说明, 否则  $T_A = +25^\circ\text{C}$ ,  $V_{DD} = 5.5\text{V}$ 。

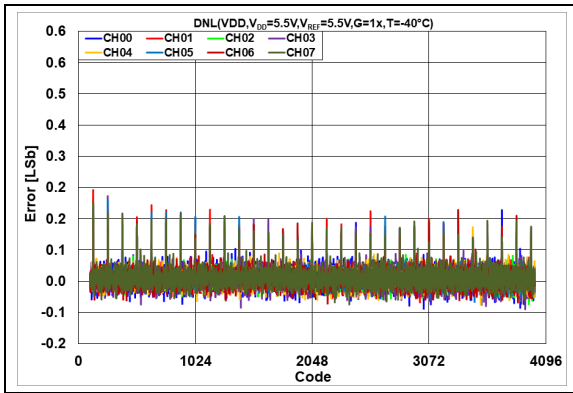


图2-23: DNL 误差—DAC 编码曲线  
( $T = -40^\circ\text{C}$ ,  $V_{DD} = 5.5\text{V}$ )

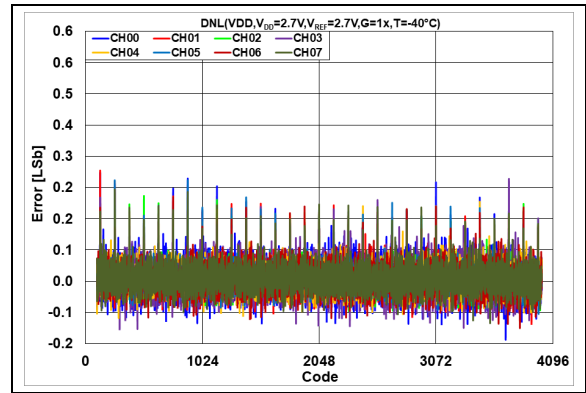


图2-26: DNL 误差—DAC 编码曲线  
( $T = -40^\circ\text{C}$ ,  $V_{DD} = 2.7\text{V}$ )

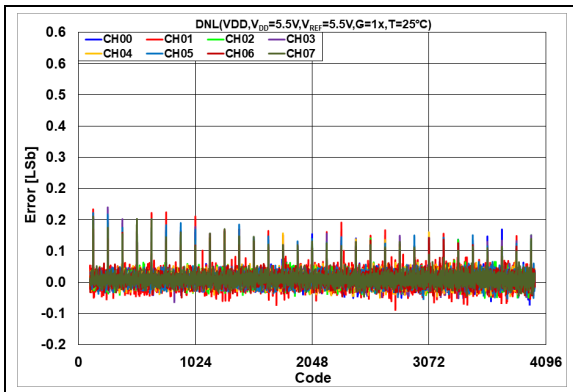


图2-24: DNL 误差—DAC 编码曲线  
( $T = +25^\circ\text{C}$ ,  $V_{DD} = 5.5\text{V}$ )

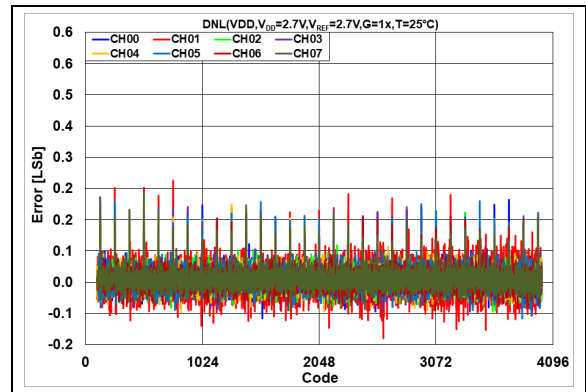


图2-27: DNL 误差—DAC 编码曲线  
( $T = +25^\circ\text{C}$ ,  $V_{DD} = 2.7\text{V}$ )

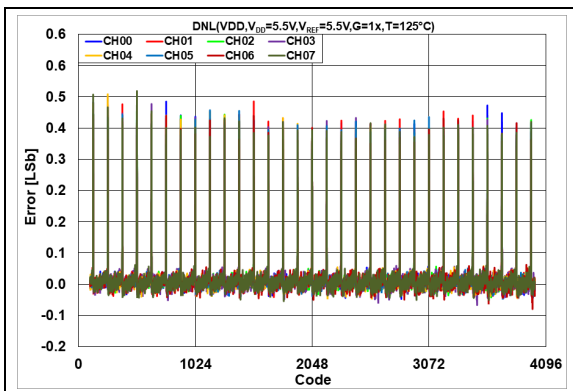


图2-25: DNL 误差—DAC 编码曲线  
( $T = +125^\circ\text{C}$ ,  $V_{DD} = 5.5\text{V}$ )

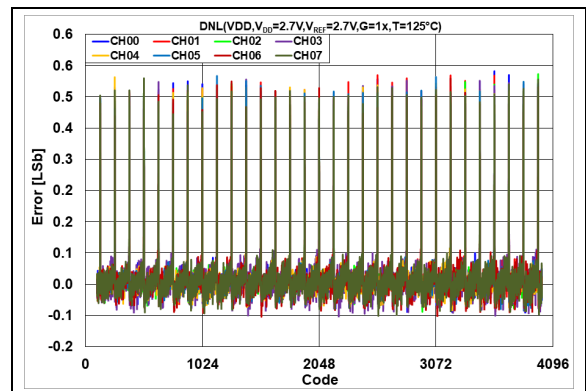


图2-28: DNL 误差—DAC 编码曲线  
( $T = +125^\circ\text{C}$ ,  $V_{DD} = 2.7\text{V}$ )

# MCP47FXBX4/8

2.2.4 总不可调整误差 (TUE) ——MCP47FXB28 (12位), 带隙模式 (VRNB:VRNA=01), 增益 = 2X, 编码100-4000

注: 除非另外说明, 否则  $T_A = +25^\circ\text{C}$ ,  $V_{DD} = 5.5\text{V}$ 。

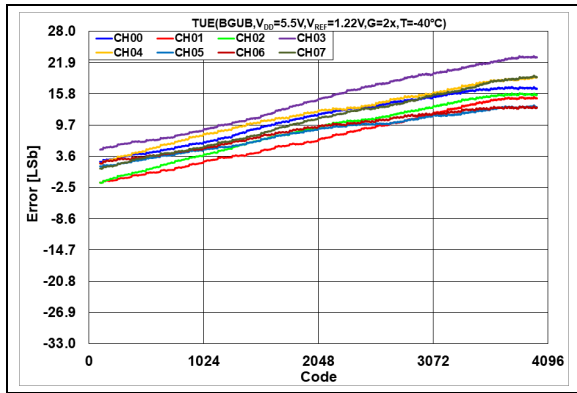


图2-29: 总不可调整误差 ( $V_{OUT}$ ) —DAC 编码曲线 ( $T = -40^\circ\text{C}$ ,  $V_{DD} = 5.5\text{V}$ )

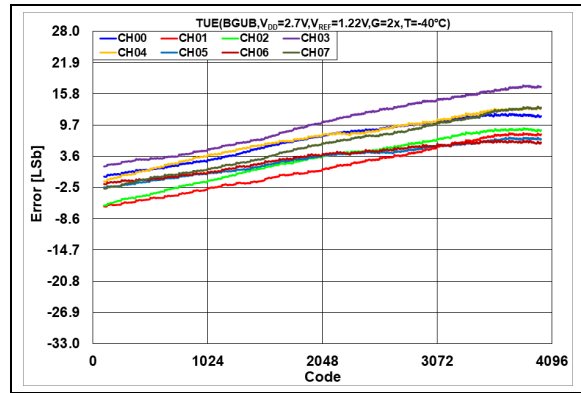


图2-32: 总不可调整误差 ( $V_{OUT}$ ) —DAC 编码曲线 ( $T = -40^\circ\text{C}$ ,  $V_{DD} = 2.7\text{V}$ )

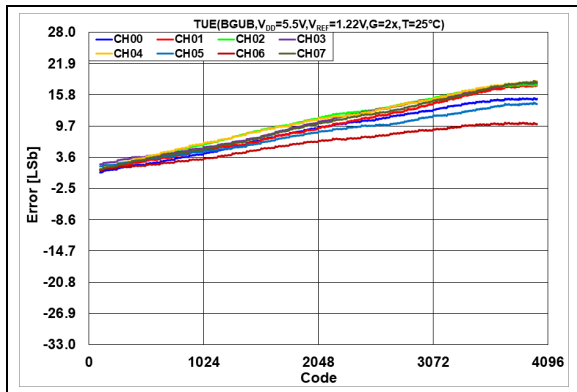


图2-30: 总不可调整误差 ( $V_{OUT}$ ) —DAC 编码曲线 ( $T = +25^\circ\text{C}$ ,  $V_{DD} = 5.5\text{V}$ )

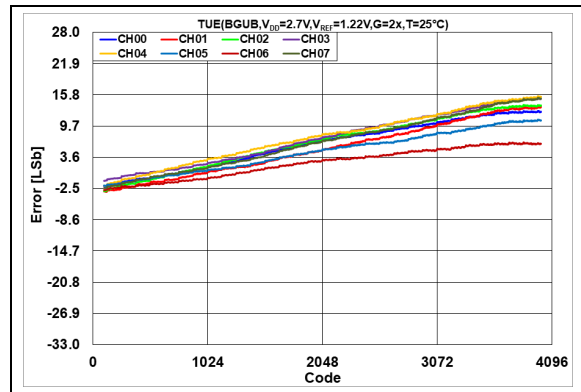


图2-33: 总不可调整误差 ( $V_{OUT}$ ) —DAC 编码曲线 ( $T = +25^\circ\text{C}$ ,  $V_{DD} = 2.7\text{V}$ )

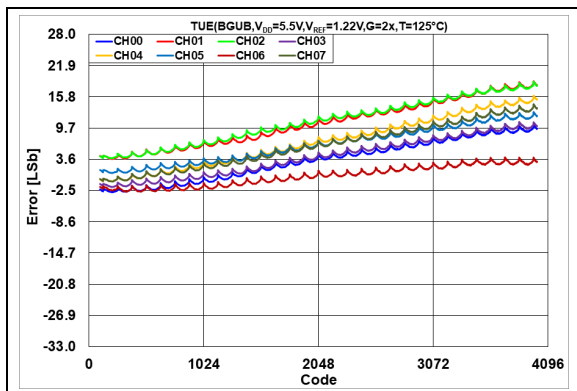


图2-31: 总不可调整误差 ( $V_{OUT}$ ) —DAC 编码曲线 ( $T = +125^\circ\text{C}$ ,  $V_{DD} = 5.5\text{V}$ )

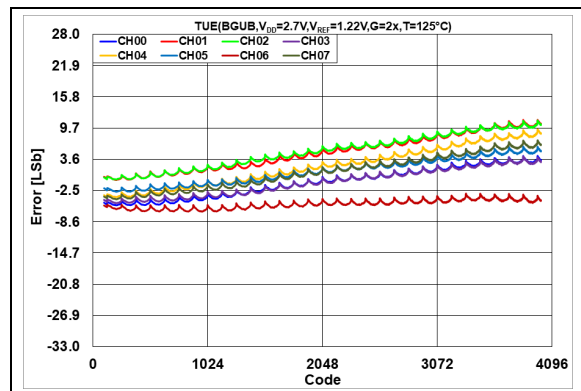


图2-34: 总不可调整误差 ( $V_{OUT}$ ) —DAC 编码曲线 ( $T = +125^\circ\text{C}$ ,  $V_{DD} = 2.7\text{V}$ )

2.2.5 总不可调整误差 (TUE) ——MCP47FXB28 (12 位), 带隙模式 (VRNB:VRNA = 01), 增益 = 4X, 编码100-4000

注: 除非另外说明, 否则  $T_A = +25^\circ\text{C}$ ,  $V_{DD} = 5.5\text{V}$ 。

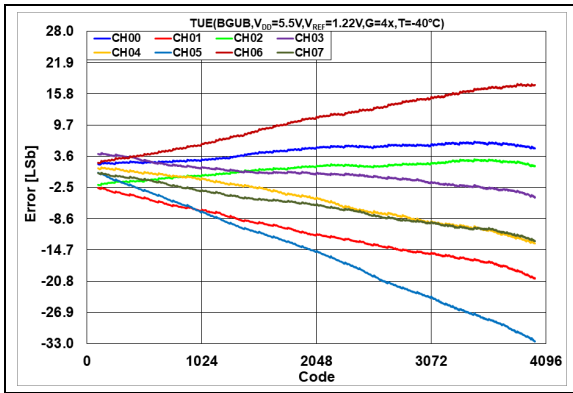


图2-35: 总不可调整误差 ( $V_{OUT}$ ) —DAC 编码曲线 ( $T = -40^\circ\text{C}$ ,  $V_{DD} = 5.5\text{V}$ )

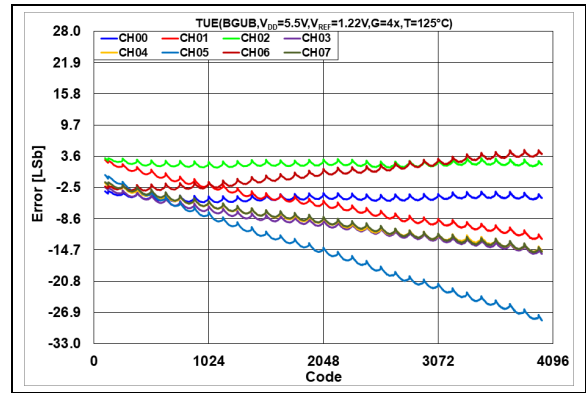


图2-37: 总不可调整误差 ( $V_{OUT}$ ) —DAC 编码曲线 ( $T = +125^\circ\text{C}$ ,  $V_{DD} = 5.5\text{V}$ )

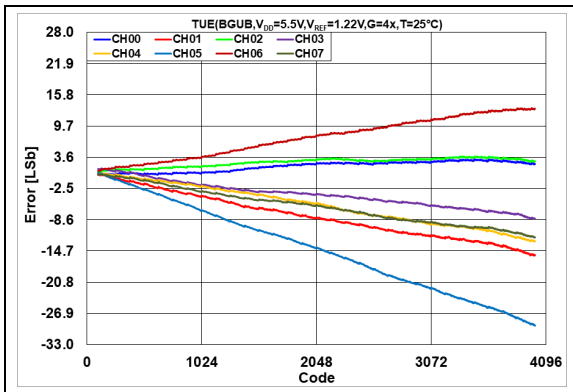


图2-36: 总不可调整误差 ( $V_{OUT}$ ) —DAC 编码曲线 ( $T = +25^\circ\text{C}$ ,  $V_{DD} = 5.5\text{V}$ )

# MCP47FXBX4/8

2.2.6 积分非线性 (INL) 误差——MCP47FXB28 (12位), 带隙模式 (VRNB:VRNA = 01), 增益 = 2X, 编码100-4000

注: 除非另外说明, 否则  $T_A = +25^\circ\text{C}$ ,  $V_{DD} = 5.5\text{V}$ 。

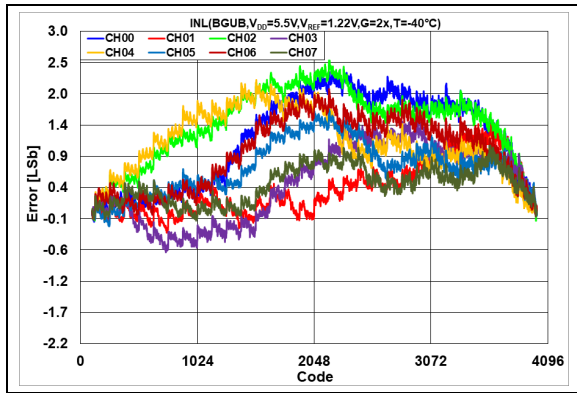


图2-38: INL 误差—DAC 编码曲线  
( $T = -40^\circ\text{C}$ ,  $V_{DD} = 5.5\text{V}$ )

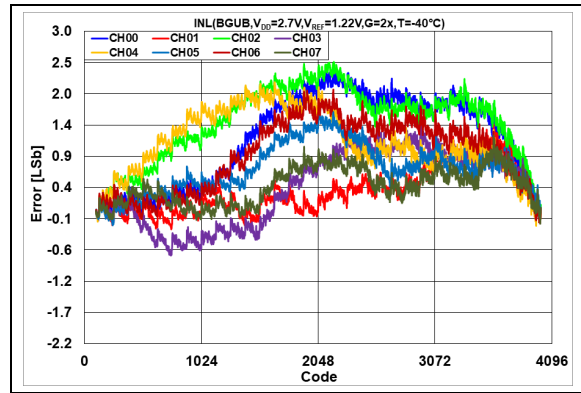


图2-41: INL 误差—DAC 编码曲线  
( $T = -40^\circ\text{C}$ ,  $V_{DD} = 2.7\text{V}$ )

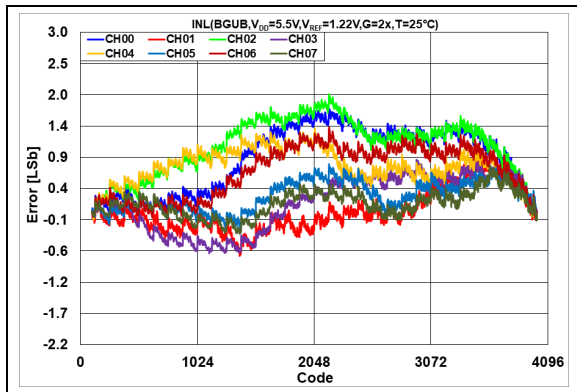


图2-39: INL 误差—DAC 编码曲线  
( $T = +25^\circ\text{C}$ ,  $V_{DD} = 5.5\text{V}$ )

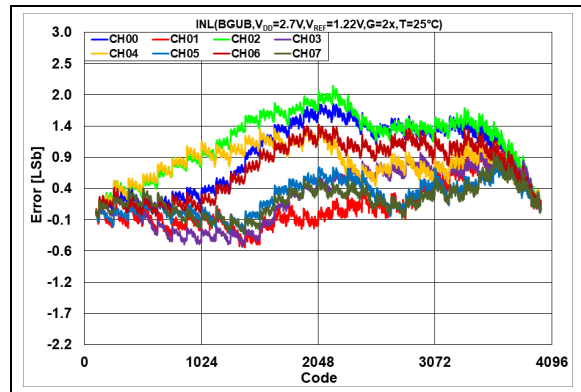


图2-42: INL 误差—DAC 编码曲线  
( $T = +25^\circ\text{C}$ ,  $V_{DD} = 2.7\text{V}$ )

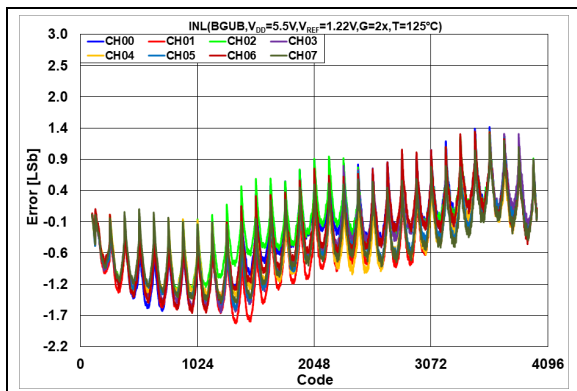


图2-40: INL 误差—DAC 编码曲线  
( $T = +125^\circ\text{C}$ ,  $V_{DD} = 5.5\text{V}$ )

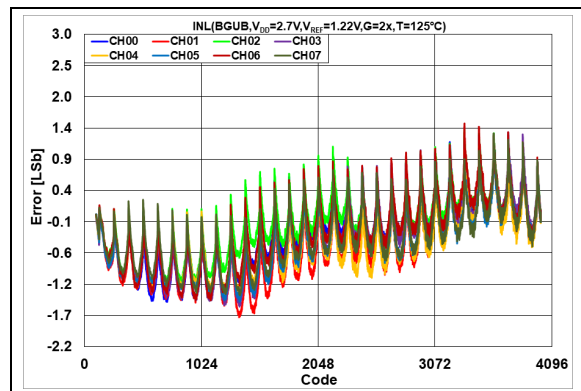


图2-43: INL 误差—DAC 编码曲线  
( $T = +125^\circ\text{C}$ ,  $V_{DD} = 2.7\text{V}$ )

## 2.2.7 积分非线性 (INL) 误差——MCP47FXB28 (12位), 带隙模式 (VRNB:VRNA = 01), 增益 = 4X, 编码100-4000

注: 除非另外说明, 否则  $T_A = +25^\circ\text{C}$ ,  $V_{DD} = 5.5\text{V}$ 。

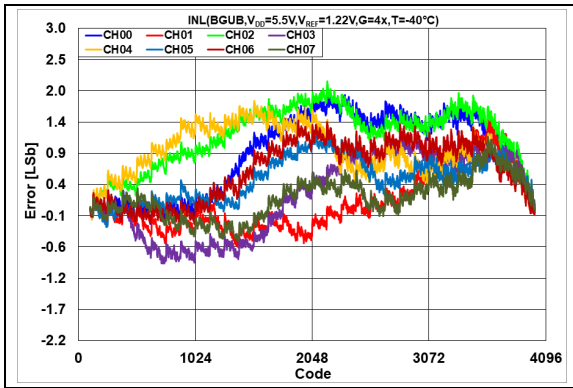


图2-44: INL 误差—DAC 编码曲线  
( $T = -40^\circ\text{C}$ ,  $V_{DD} = 5.5\text{V}$ )

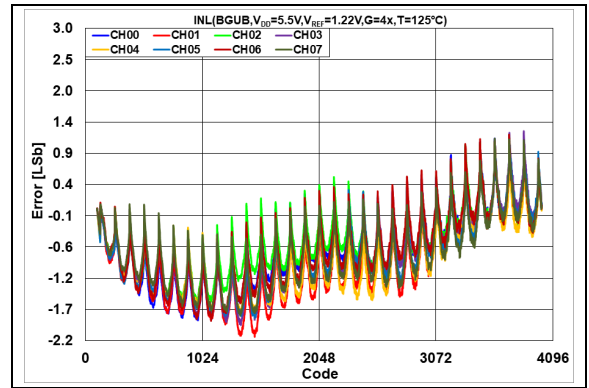


图2-46: INL 误差—DAC 编码曲线  
( $T = +125^\circ\text{C}$ ,  $V_{DD} = 5.5\text{V}$ )

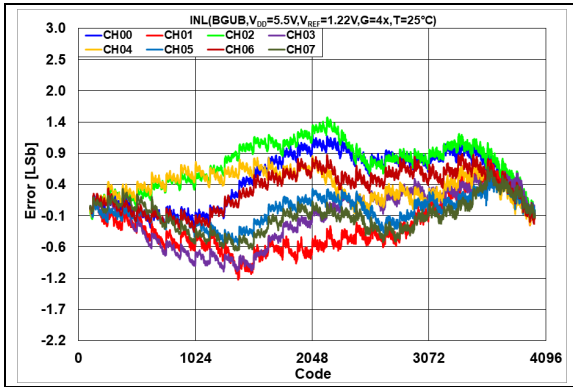


图2-45: INL 误差—DAC 编码曲线  
( $T = +25^\circ\text{C}$ ,  $V_{DD} = 5.5\text{V}$ )

# MCP47FXBX4/8

## 2.2.8 微分非线性 (DNL) 误差——MCP47FXB28 (12位), 带隙模式 (VRNB:VRNA = 01), 增益 = 2X, 编码100-4000

注: 除非另外说明, 否则  $T_A = +25^\circ\text{C}$ ,  $V_{DD} = 5.5\text{V}$ 。

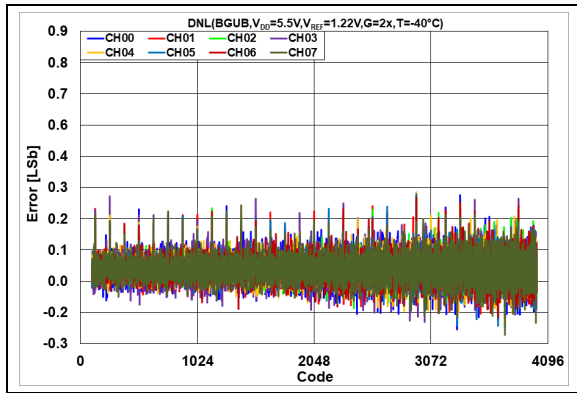


图2-47: DNL 误差—DAC 编码曲线  
( $T = -40^\circ\text{C}$ ,  $V_{DD} = 5.5\text{V}$ )

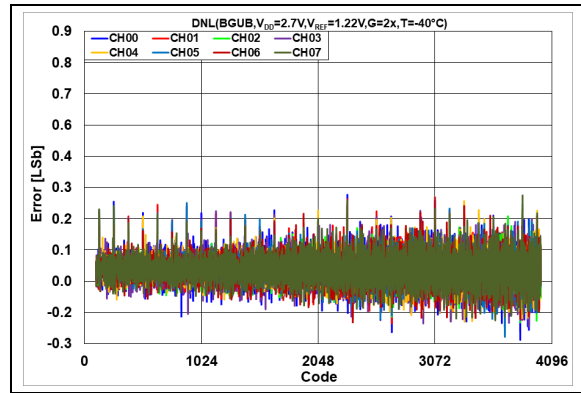


图2-50: DNL 误差—DAC 编码曲线  
( $T = -40^\circ\text{C}$ ,  $V_{DD} = 2.7\text{V}$ )

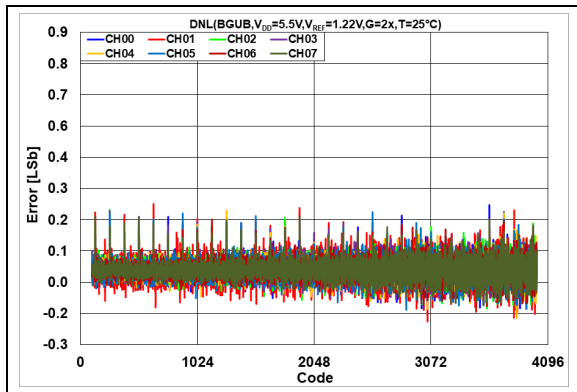


图2-48: DNL 误差—DAC 编码曲线  
( $T = +25^\circ\text{C}$ ,  $V_{DD} = 5.5\text{V}$ )

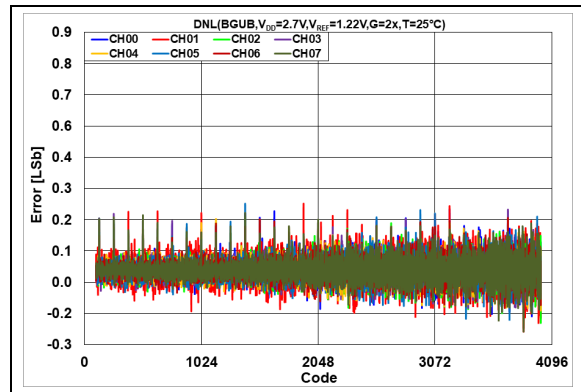


图2-51: DNL 误差—DAC 编码曲线  
( $T = +25^\circ\text{C}$ ,  $V_{DD} = 2.7\text{V}$ )

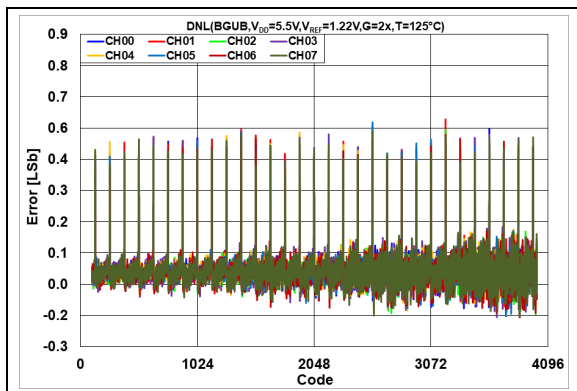


图2-49: DNL 误差—DAC 编码曲线  
( $T = +125^\circ\text{C}$ ,  $V_{DD} = 5.5\text{V}$ )

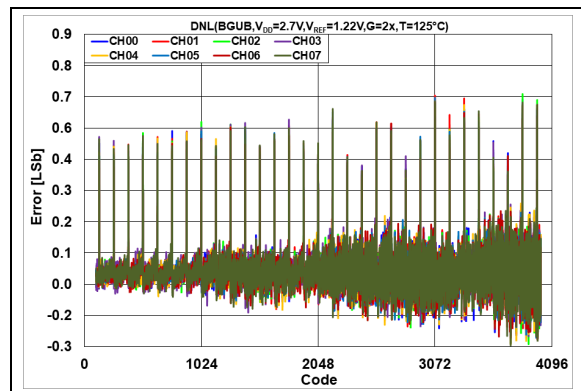


图2-52: DNL 误差—DAC 编码曲线  
( $T = +125^\circ\text{C}$ ,  $V_{DD} = 2.7\text{V}$ )

## 2.2.9 微分非线性 (DNL) 误差——MCP47FXB28 (12位), 带隙模式 (VRNB:VRNA = 01), 增益 = 4X, 编码100-4000

注: 除非另外说明, 否则  $T_A = +25^\circ\text{C}$ ,  $V_{DD} = 5.5\text{V}$ 。

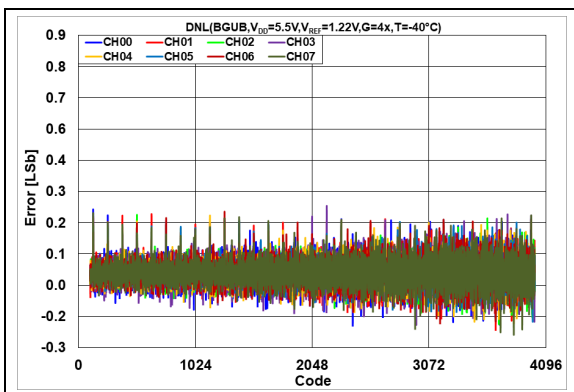


图2-53: DNL 误差—DAC 编码曲线  
( $T = -40^\circ\text{C}$ ,  $V_{DD} = 5.5\text{V}$ )

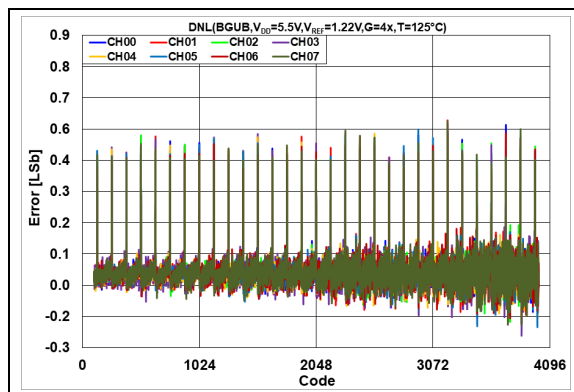


图2-55: DNL 误差—DAC 编码曲线  
( $T = +125^\circ\text{C}$ ,  $V_{DD} = 5.5\text{V}$ )

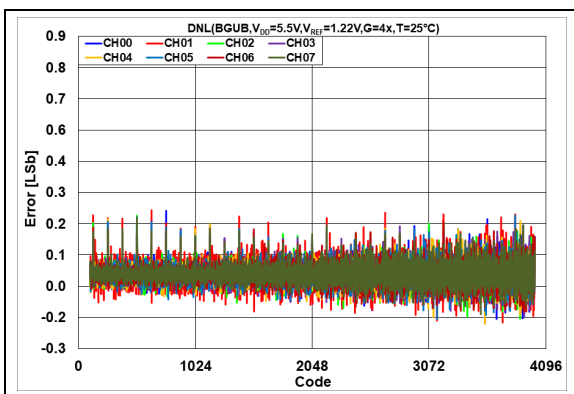


图2-54: DNL 误差—DAC 编码曲线  
( $T = +25^\circ\text{C}$ ,  $V_{DD} = 5.5\text{V}$ )

# MCP47FXBX4/8

2.2.10 总不可调整误差 (TUE) ——MCP47FXB28 (12位), 外部 $V_{REF}$ 非缓冲模式 (VRNB:VRNA = 10),  $V_{REF} = V_{DD}$ , 增益 = 1X, 编码100-4000

注: 除非另外说明, 否则 $T_A = +25^\circ\text{C}$ ,  $V_{DD} = 5.5\text{V}$ 。

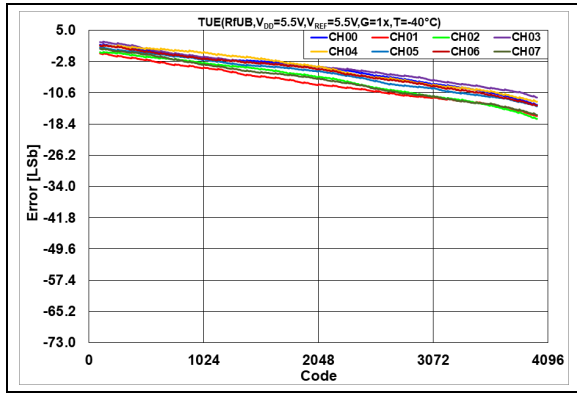


图2-56: 总不可调整误差 ( $V_{OUT}$ ) —DAC 编码曲线 ( $T = -40^\circ\text{C}$ ,  $V_{DD} = 5.5\text{V}$ )

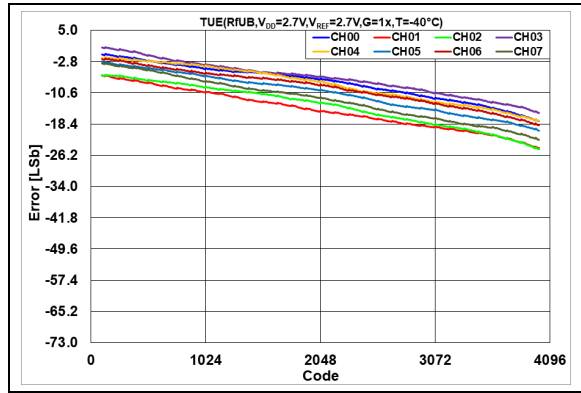


图2-59: 总不可调整误差 ( $V_{OUT}$ ) —DAC 编码曲线 ( $T = -40^\circ\text{C}$ ,  $V_{DD} = 2.7\text{V}$ )

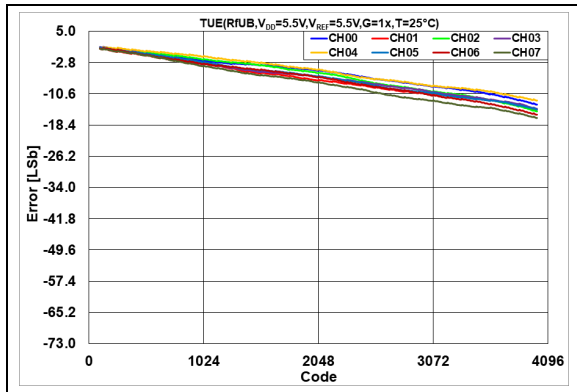


图2-57: 总不可调整误差 ( $V_{OUT}$ ) —DAC 编码曲线 ( $T = +25^\circ\text{C}$ ,  $V_{DD} = 5.5\text{V}$ )

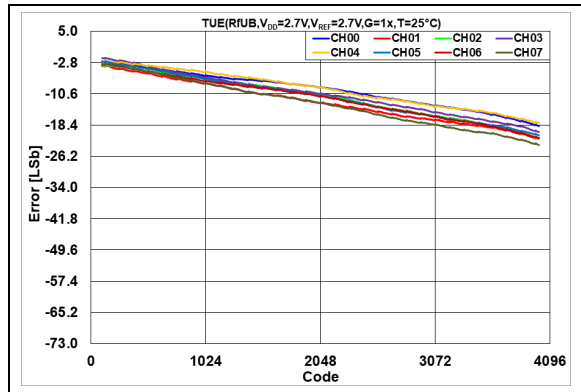


图2-60: 总不可调整误差 ( $V_{OUT}$ ) —DAC 编码曲线 ( $T = +25^\circ\text{C}$ ,  $V_{DD} = 2.7\text{V}$ )

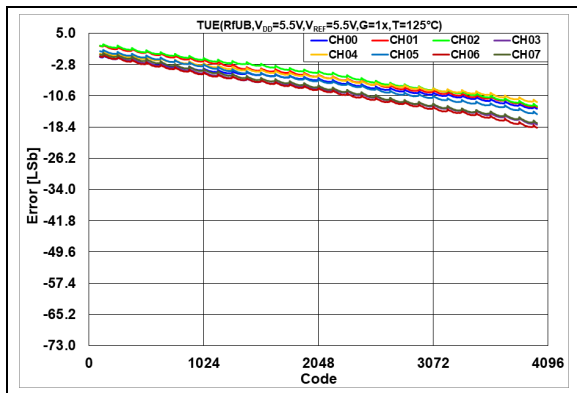


图2-58: 总不可调整误差 ( $V_{OUT}$ ) —DAC 编码曲线 ( $T = +125^\circ\text{C}$ ,  $V_{DD} = 5.5\text{V}$ )

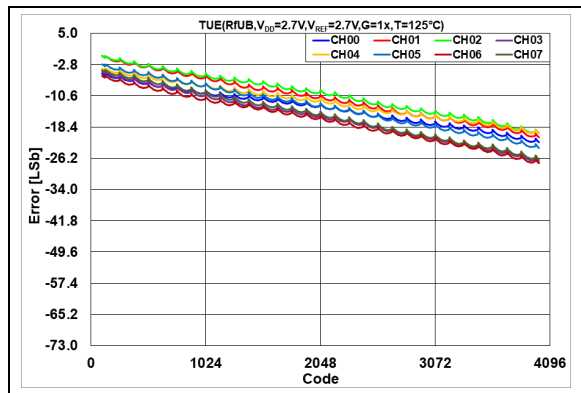


图2-61: 总不可调整误差 ( $V_{OUT}$ ) —DAC 编码曲线 ( $T = +125^\circ\text{C}$ ,  $V_{DD} = 2.7\text{V}$ )



## 2.2.11 总不可调整误差 (TUE) —— MCP47FXB28 (12位), 外部 $V_{REF}$ 非缓冲模式 (VRNB:VRNA = 10), $V_{REF} = V_{DD}/2$ , 增益 = 2X, 编码 100–4000

注: 除非另外说明, 否则  $T_A = +25^\circ\text{C}$ ,  $V_{DD} = 5.5\text{V}$ 。

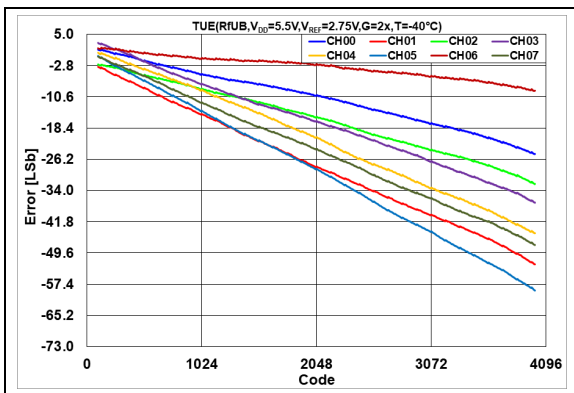


图2-62: 总不可调整误差 ( $V_{OUT}$ ) — DAC 编码曲线 ( $T = -40^\circ\text{C}$ ,  $V_{DD} = 5.5\text{V}$ )

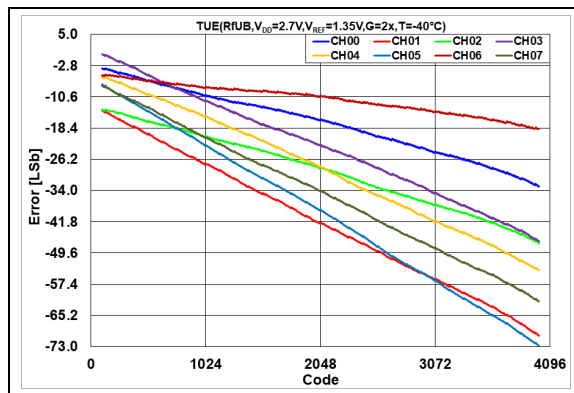


图2-65: 总不可调整误差 ( $V_{OUT}$ ) — DAC 编码曲线 ( $T = -40^\circ\text{C}$ ,  $V_{DD} = 2.7\text{V}$ )

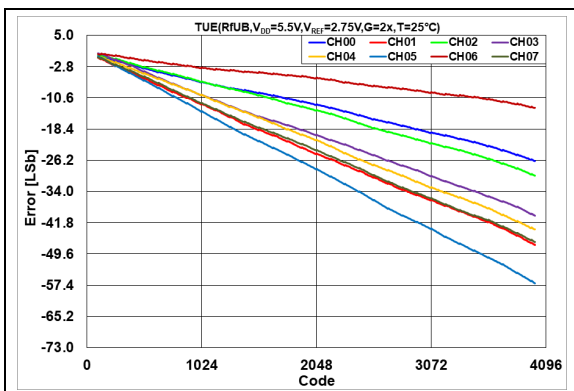


图2-63: 总不可调整误差 ( $V_{OUT}$ ) — DAC 编码曲线 ( $T = +25^\circ\text{C}$ ,  $V_{DD} = 5.5\text{V}$ )

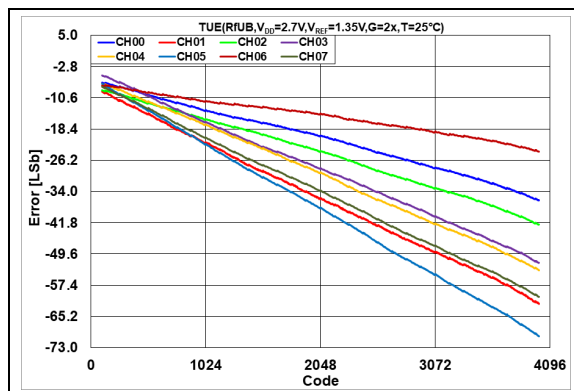


图2-66: 总不可调整误差 ( $V_{OUT}$ ) — DAC 编码曲线 ( $T = +25^\circ\text{C}$ ,  $V_{DD} = 2.7\text{V}$ )

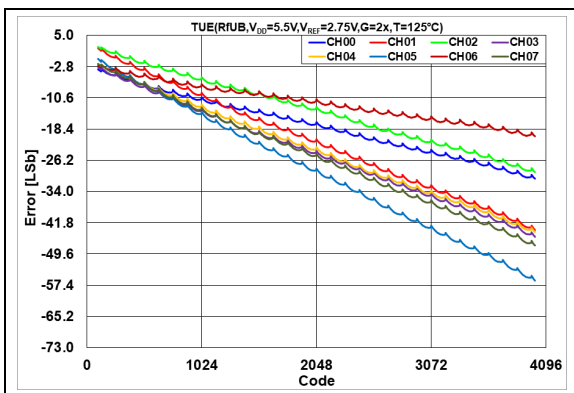


图2-64: 总不可调整误差 ( $V_{OUT}$ ) — DAC 编码曲线 ( $T = +125^\circ\text{C}$ ,  $V_{DD} = 5.5\text{V}$ )

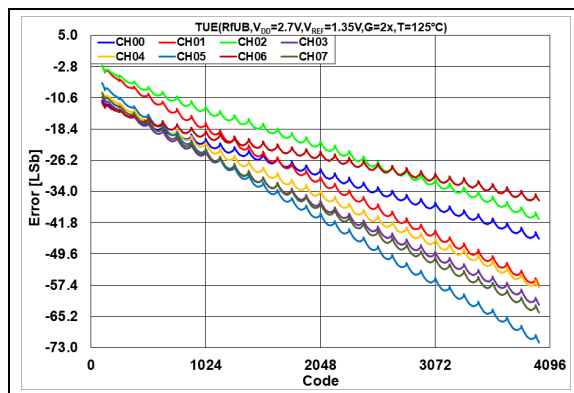


图2-67: 总不可调整误差 ( $V_{OUT}$ ) — DAC 编码曲线 ( $T = +125^\circ\text{C}$ ,  $V_{DD} = 2.7\text{V}$ )

# MCP47FXBX4/8

## 2.2.12 积分非线性 (INL) 误差——MCP47FXB28 (12位), 外部 $V_{REF}$ 非缓冲模式 ( $VRNB:VRNA = 10$ ), $V_{REF} = V_{DD}$ , 增益 = 1X, 编码100–4000

注: 除非另外说明, 否则 $T_A = +25^\circ\text{C}$ ,  $V_{DD} = 5.5\text{V}$ 。

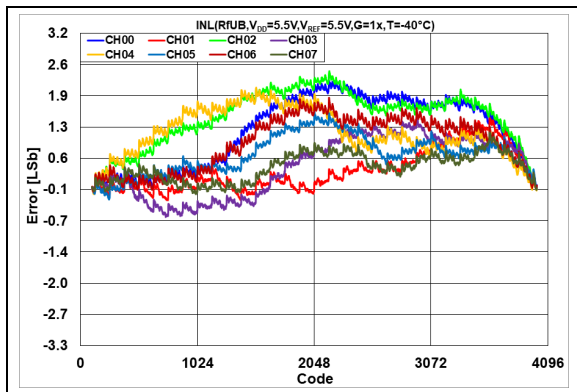


图2-68: INL 误差—DAC 编码曲线 ( $T = -40^\circ\text{C}$ ,  $V_{DD} = 5.5\text{V}$ )

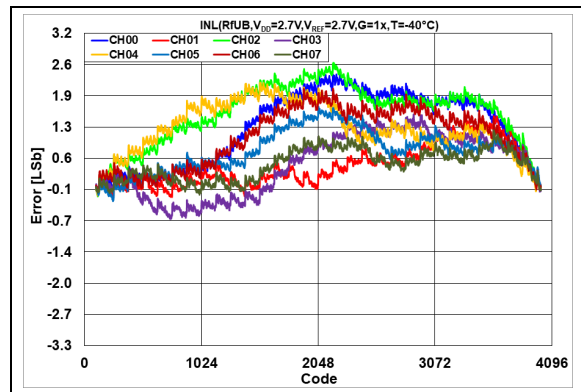


图2-71: INL 误差—DAC 编码曲线 ( $T = -40^\circ\text{C}$ ,  $V_{DD} = 2.7\text{V}$ )

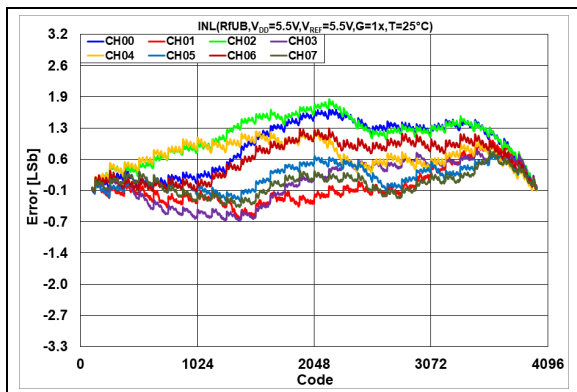


图2-69: INL 误差—DAC 编码曲线 ( $T = +25^\circ\text{C}$ ,  $V_{DD} = 5.5\text{V}$ )

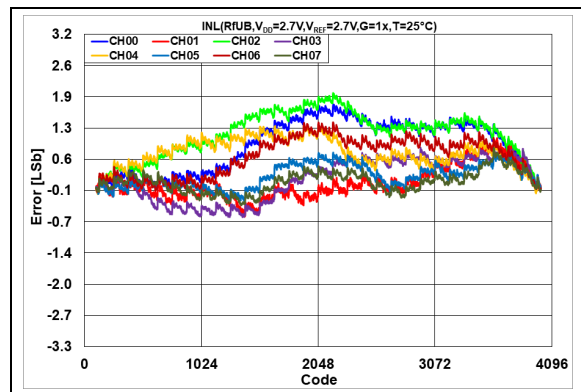


图2-72: INL 误差—DAC 编码曲线 ( $T = +25^\circ\text{C}$ ,  $V_{DD} = 2.7\text{V}$ )

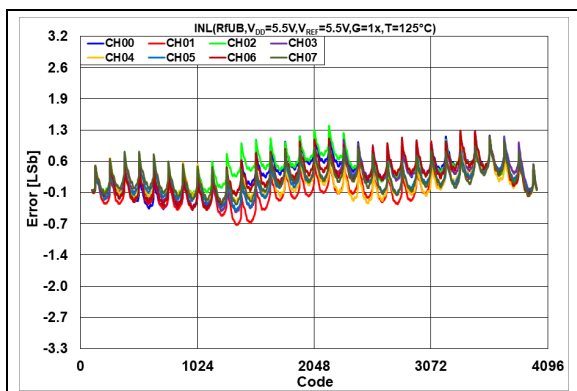


图2-70: INL 误差—DAC 编码曲线 ( $T = +125^\circ\text{C}$ ,  $V_{DD} = 5.5\text{V}$ )

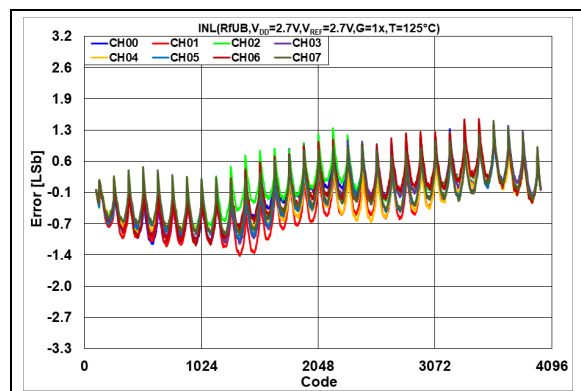


图2-73: INL 误差—DAC 编码曲线 ( $T = +125^\circ\text{C}$ ,  $V_{DD} = 2.7\text{V}$ )

## 2.2.13 积分非线性 (INL) 误差——MCP47FXB28 (12位), 外部 $V_{REF}$ 非缓冲模式 (VRNB:VRNA = 10), $V_{REF} = V_{DD}/2$ , 增益 = 2X, 编码100-4000

注: 除非另外说明, 否则 $T_A = +25^\circ\text{C}$ ,  $V_{DD} = 5.5\text{V}$ 。

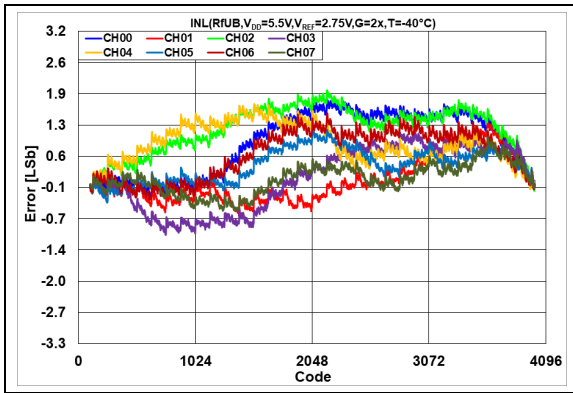


图2-74: INL 误差—DAC 编码曲线  
( $T = -40^\circ\text{C}$ ,  $V_{DD} = 5.5\text{V}$ )

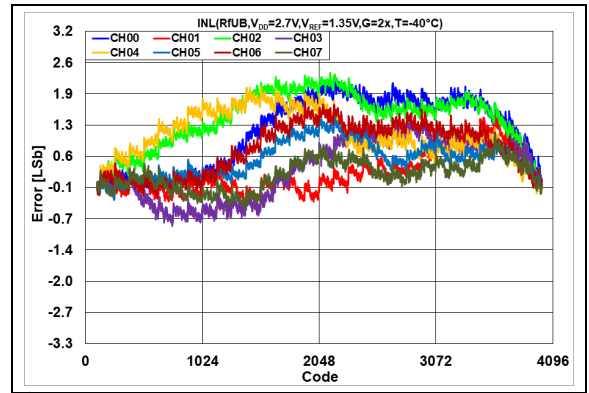


图2-77: INL 误差—DAC 编码曲线  
( $T = -40^\circ\text{C}$ ,  $V_{DD} = 2.7\text{V}$ )

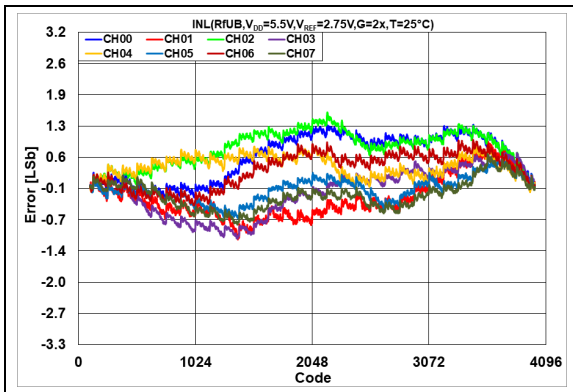


图2-75: INL 误差—DAC 编码曲线  
( $T = +25^\circ\text{C}$ ,  $V_{DD} = 5.5\text{V}$ )

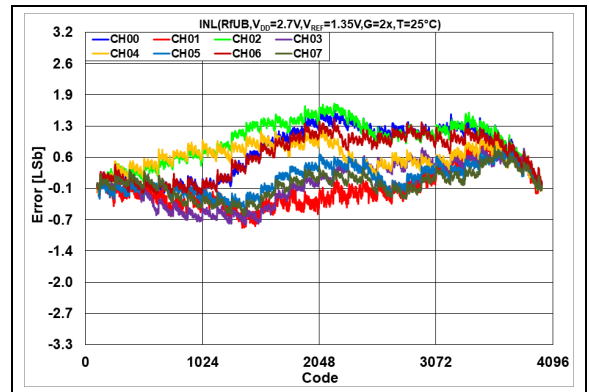


图2-78: INL 误差—DAC 编码曲线  
( $T = +25^\circ\text{C}$ ,  $V_{DD} = 2.7\text{V}$ )

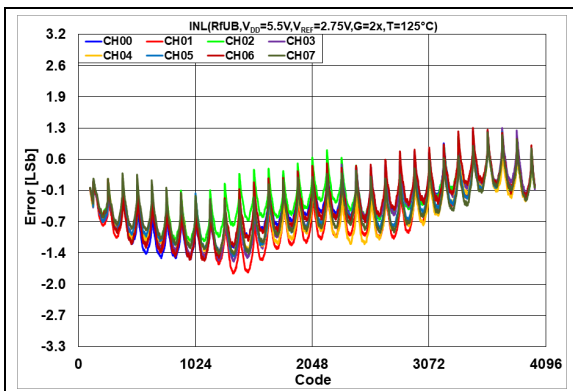


图2-76: INL 误差—DAC 编码曲线  
( $T = +125^\circ\text{C}$ ,  $V_{DD} = 5.5\text{V}$ )

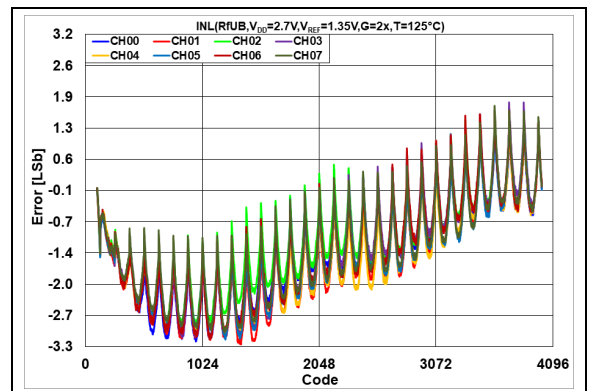


图2-79: INL 误差—DAC 编码曲线  
( $T = +125^\circ\text{C}$ ,  $V_{DD} = 2.7\text{V}$ )

# MCP47FXBX4/8

## 2.2.14 微分非线性 (DNL) 误差——MCP47FXB28 (12 位), 外部 $V_{REF}$ 非缓冲模式 ( $VRNB:VRNA = 10$ ), $V_{REF} = V_{DD}$ , 增益 = 1X, 编码 100–4000

注: 除非另外说明, 否则  $T_A = +25^\circ\text{C}$ ,  $V_{DD} = 5.5\text{V}$ 。

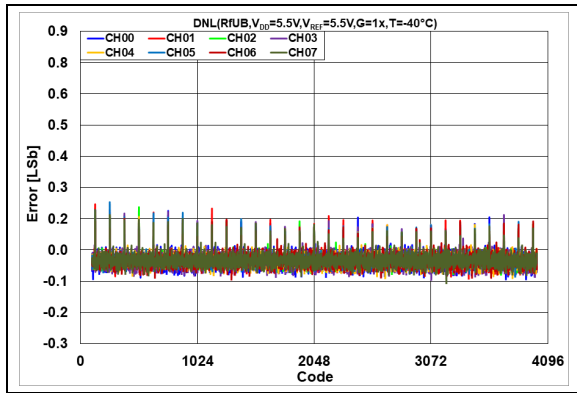


图2-80: DNL 误差—DAC 编码曲线 ( $T = -40^\circ\text{C}$ ,  $V_{DD} = 5.5\text{V}$ )

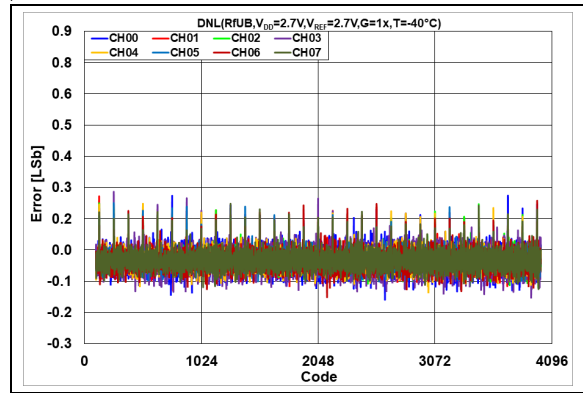


图2-83: DNL 误差—DAC 编码曲线 ( $T = -40^\circ\text{C}$ ,  $V_{DD} = 2.7\text{V}$ )

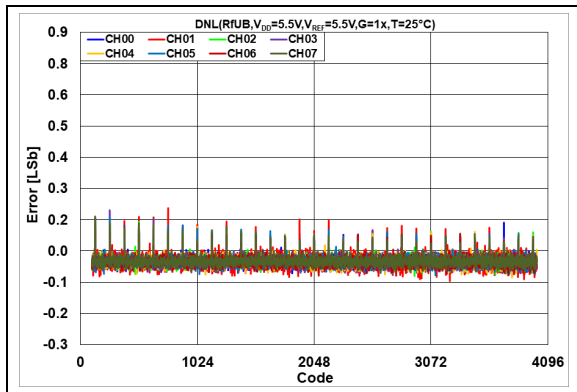


图2-81: DNL 误差—DAC 编码曲线 ( $T = +25^\circ\text{C}$ ,  $V_{DD} = 5.5\text{V}$ )

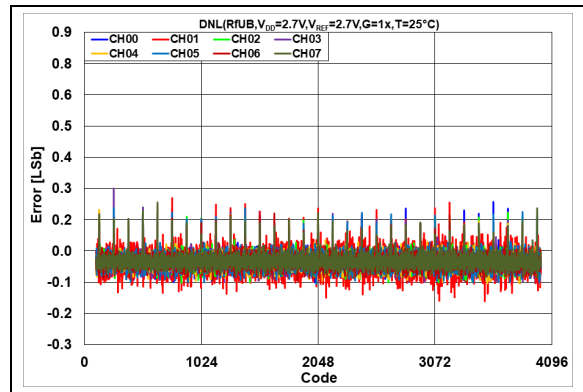


图2-84: DNL 误差—DAC 编码曲线 ( $T = +25^\circ\text{C}$ ,  $V_{DD} = 2.7\text{V}$ )

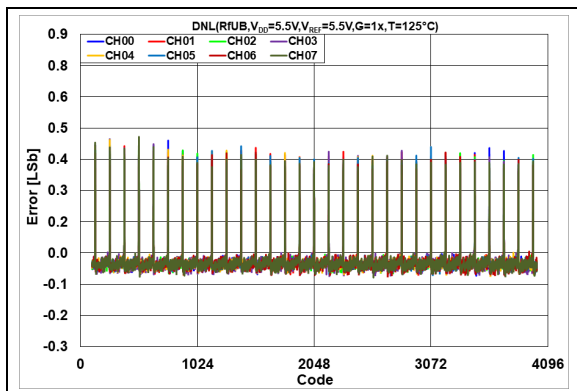


图2-82: DNL 误差—DAC 编码曲线 ( $T = +125^\circ\text{C}$ ,  $V_{DD} = 5.5\text{V}$ )

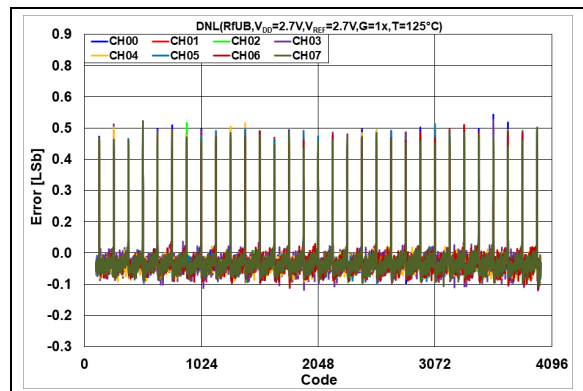


图2-85: DNL 误差—DAC 编码曲线 ( $T = +125^\circ\text{C}$ ,  $V_{DD} = 2.7\text{V}$ )

## 2.2.15 微分非线性 (DNL) 误差——MCP47FXB28 (12位), 外部 $V_{REF}$ 非缓冲模式 (VRNB:VRNA = 10), $V_{REF} = V_{DD}/2$ , 增益 = 2X, 编码 100–4000

注: 除非另外说明, 否则  $T_A = +25^\circ\text{C}$ ,  $V_{DD} = 5.5\text{V}$ 。

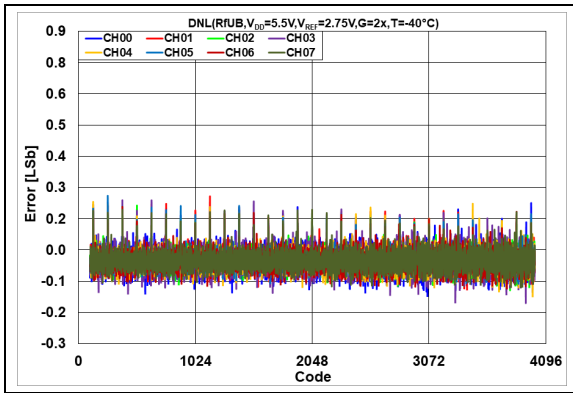


图2-86: DNL 误差—DAC 编码曲线  
( $T = -40^\circ\text{C}$ ,  $V_{DD} = 5.5\text{V}$ )

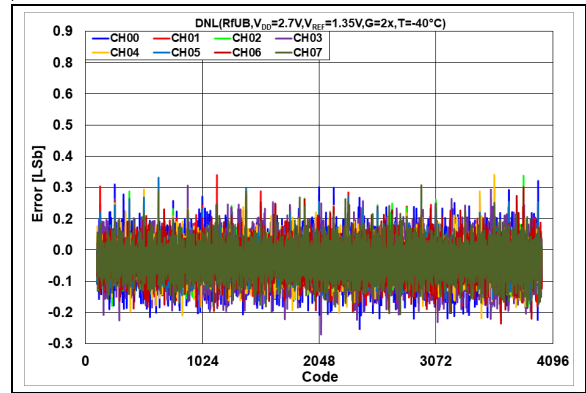


图2-89: DNL 误差—DAC 编码曲线  
( $T = -40^\circ\text{C}$ ,  $V_{DD} = 2.7\text{V}$ )

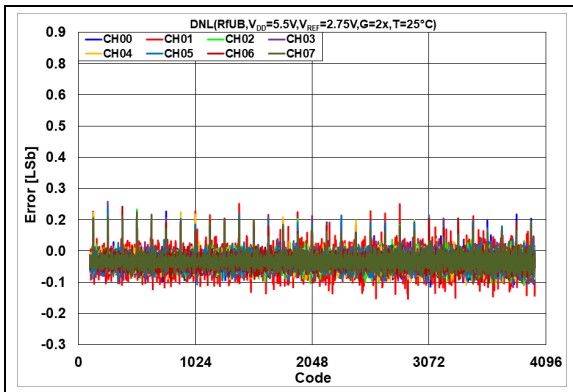


图2-87: DNL 误差—DAC 编码曲线  
( $T = +25^\circ\text{C}$ ,  $V_{DD} = 5.5\text{V}$ )

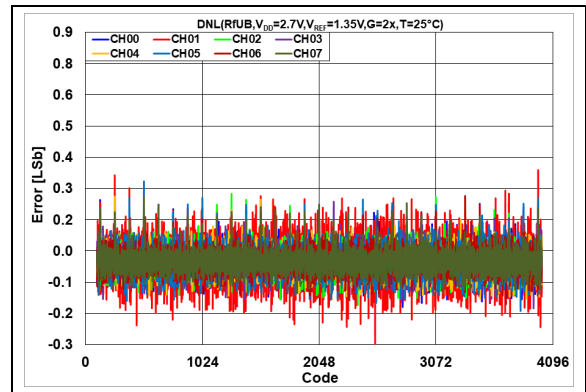


图2-90: DNL 误差—DAC 编码曲线  
( $T = +25^\circ\text{C}$ ,  $V_{DD} = 2.7\text{V}$ )

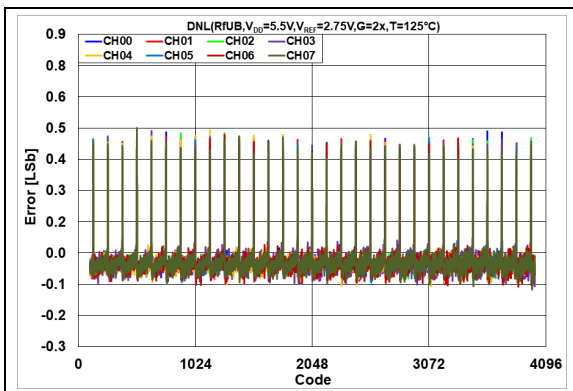


图2-88: DNL 误差—DAC 编码曲线  
( $T = +125^\circ\text{C}$ ,  $V_{DD} = 5.5\text{V}$ )

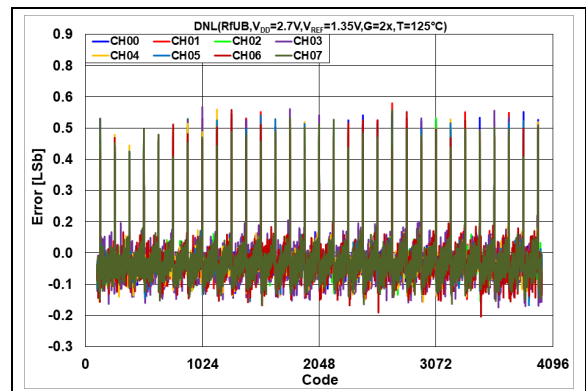


图2-91: DNL 误差—DAC 编码曲线  
( $T = +125^\circ\text{C}$ ,  $V_{DD} = 2.7\text{V}$ )

# MCP47FXBX4/8

2.2.16 总不可调整误差 (TUE) ——MCP47FXB28 (12位), 外部 $V_{REF}$ 缓冲模式 ( $VRNB:VRNA = 10$ ),  $V_{REF} = V_{DD}$ , 增益 = 1X, 编码100–4000

注: 除非另外说明, 否则 $T_A = +25^\circ\text{C}$ ,  $V_{DD} = 5.5\text{V}$ 。

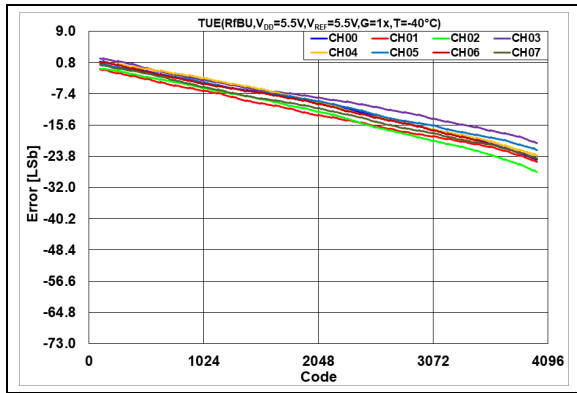


图2-92: 总不可调整误差 ( $V_{OUT}$ ) —DAC 编码曲线 ( $T = -40^\circ\text{C}$ ,  $V_{DD} = 5.5\text{V}$ )

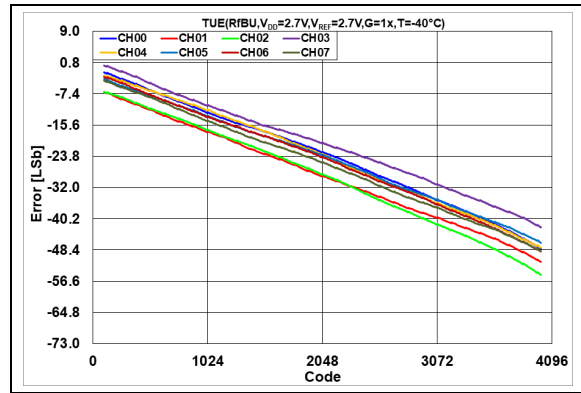


图2-95: 总不可调整误差 ( $V_{OUT}$ ) —DAC 编码曲线 ( $T = -40^\circ\text{C}$ ,  $V_{DD} = 2.7\text{V}$ )

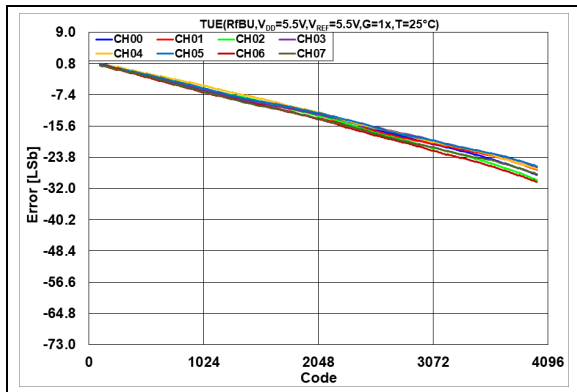


图2-93: 总不可调整误差 ( $V_{OUT}$ ) —DAC 编码曲线 ( $T = +25^\circ\text{C}$ ,  $V_{DD} = 5.5\text{V}$ )

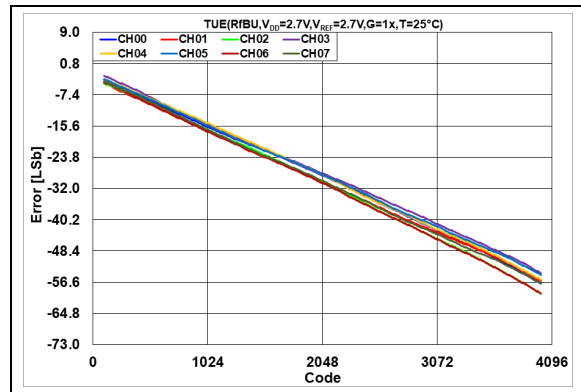


图2-96: 总不可调整误差 ( $V_{OUT}$ ) —DAC 编码曲线 ( $T = +25^\circ\text{C}$ ,  $V_{DD} = 2.7\text{V}$ )

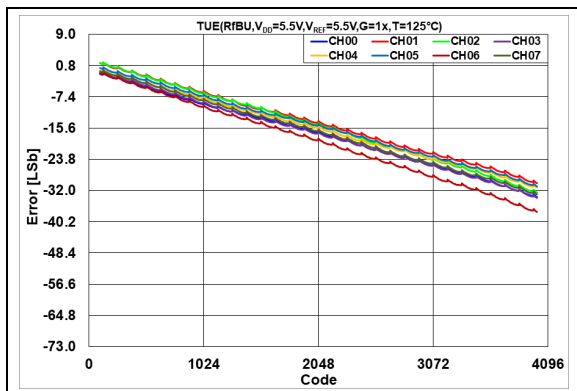


图2-94: 总不可调整误差 ( $V_{OUT}$ ) —DAC 编码曲线 ( $T = +125^\circ\text{C}$ ,  $V_{DD} = 5.5\text{V}$ )

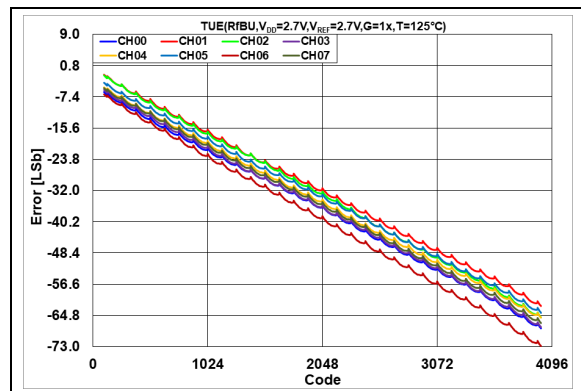


图2-97: 总不可调整误差 ( $V_{OUT}$ ) —DAC 编码曲线 ( $T = +125^\circ\text{C}$ ,  $V_{DD} = 2.7\text{V}$ )

## 2.2.17 总不可调整误差 (TUE) —— MCP47FXB28 (12位), 外部 $V_{REF}$ 缓冲模式 (VRNB:VRNA = 10), $V_{REF} = V_{DD}/2$ , 增益 = 2X, 编码 100–4000

注: 除非另外说明, 否则  $T_A = +25^\circ\text{C}$ ,  $V_{DD} = 5.5\text{V}$ 。

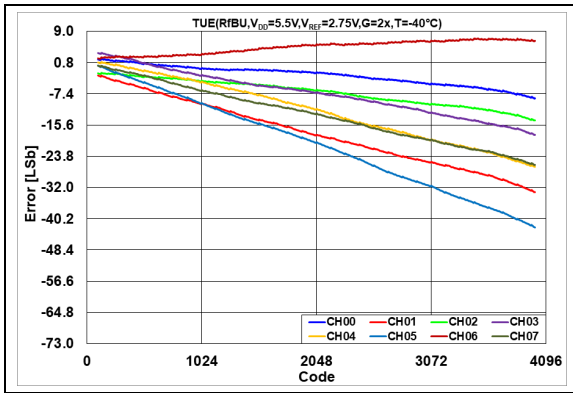


图2-98: 总不可调整误差 ( $V_{OUT}$ ) — DAC 编码曲线 ( $T = -40^\circ\text{C}$ ,  $V_{DD} = 5.5\text{V}$ )

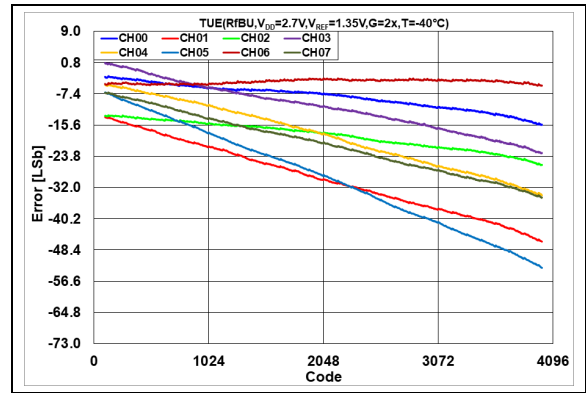


图2-101: 总不可调整误差 ( $V_{OUT}$ ) — DAC 编码曲线 ( $T = -40^\circ\text{C}$ ,  $V_{DD} = 2.7\text{V}$ )

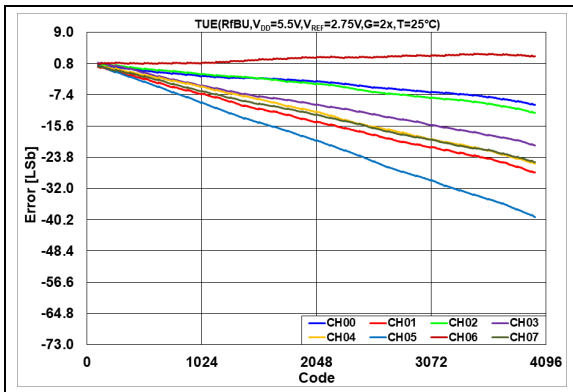


图2-99: 总不可调整误差 ( $V_{OUT}$ ) — DAC 编码曲线 ( $T = +25^\circ\text{C}$ ,  $V_{DD} = 5.5\text{V}$ )

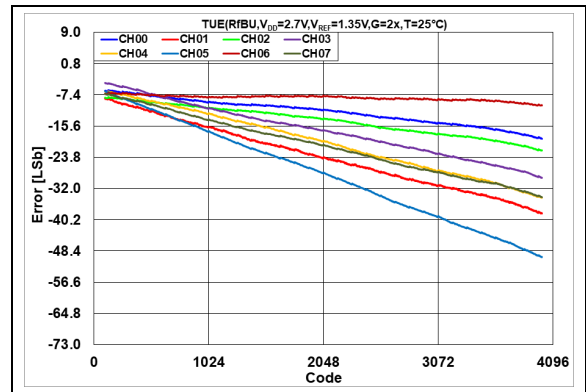


图2-102: 总不可调整误差 ( $V_{OUT}$ ) — DAC 编码曲线 ( $T = +25^\circ\text{C}$ ,  $V_{DD} = 2.7\text{V}$ )

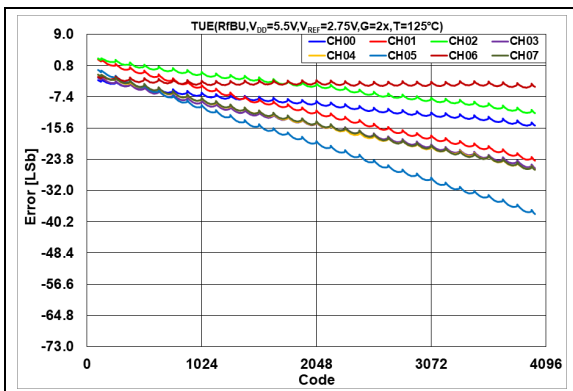


图2-100: 总不可调整误差 ( $V_{OUT}$ ) — DAC 编码曲线 ( $T = +125^\circ\text{C}$ ,  $V_{DD} = 5.5\text{V}$ )

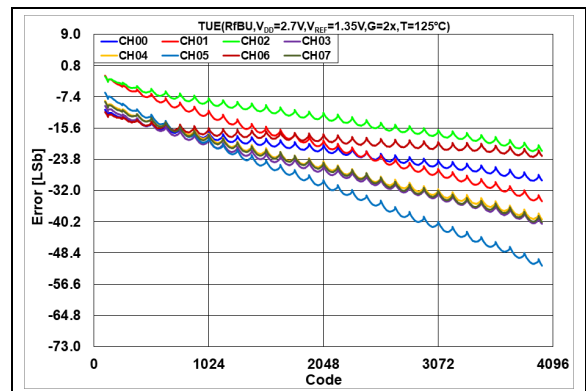


图2-103: 总不可调整误差 ( $V_{OUT}$ ) — DAC 编码曲线 ( $T = +125^\circ\text{C}$ ,  $V_{DD} = 2.7\text{V}$ )



# MCP47FXBX4/8

## 2.2.18 积分非线性 (INL) 误差——MCP47FXB28 (12位), 外部 $V_{REF}$ 缓冲模式 (VRNB:VRNA = 11), $V_{REF} = V_{DD}$ , 增益 = 1X, 编码 100–4000

注: 除非另外说明, 否则  $T_A = +25^\circ\text{C}$ ,  $V_{DD} = 5.5\text{V}$ 。

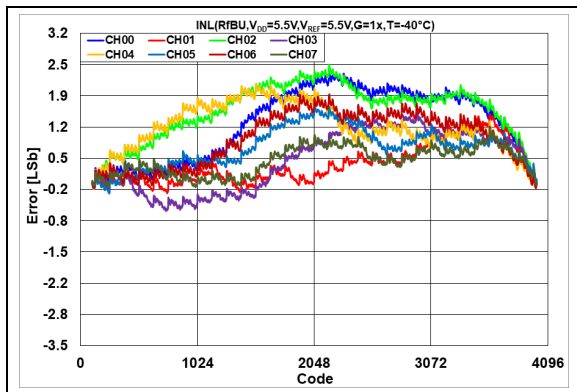


图2-104: INL 误差—DAC 编码曲线 ( $T = -40^\circ\text{C}$ ,  $V_{DD} = 5.5\text{V}$ )

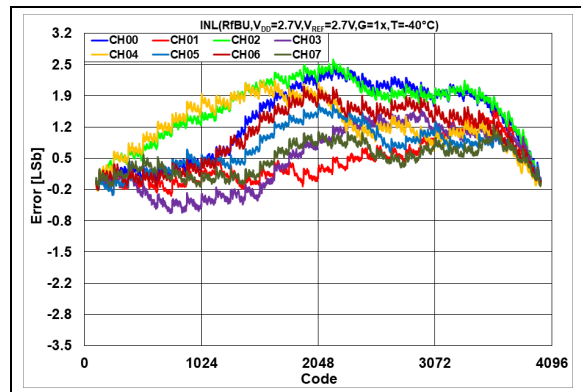


图2-107: INL 误差—DAC 编码曲线 ( $T = -40^\circ\text{C}$ ,  $V_{DD} = 2.7\text{V}$ )

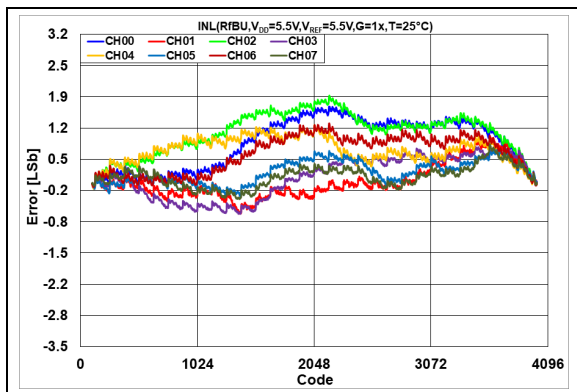


图2-105: INL 误差—DAC 编码曲线 ( $T = +25^\circ\text{C}$ ,  $V_{DD} = 5.5\text{V}$ )

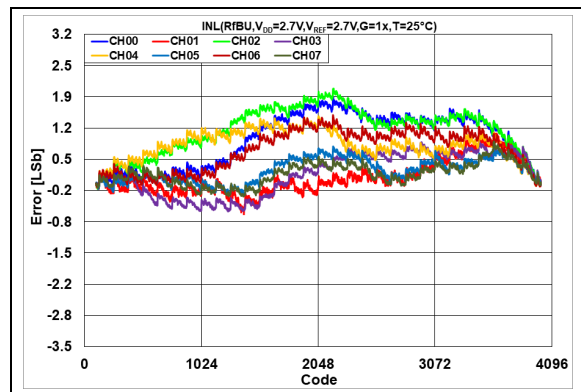


图2-108: INL 误差—DAC 编码曲线 ( $T = +25^\circ\text{C}$ ,  $V_{DD} = 2.7\text{V}$ )

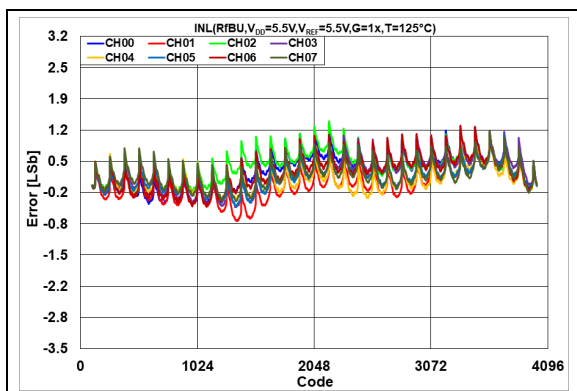


图2-106: INL 误差—DAC 编码曲线 ( $T = +125^\circ\text{C}$ ,  $V_{DD} = 5.5\text{V}$ )

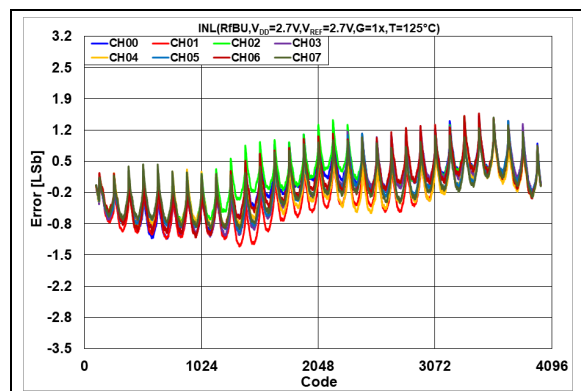


图2-109: INL 误差—DAC 编码曲线 ( $T = +125^\circ\text{C}$ ,  $V_{DD} = 2.7\text{V}$ )



## 2.2.19 积分非线性 (INL) 误差——MCP47FXB28 (12位), 外部 $V_{REF}$ 缓冲模式 (VRNB:VRNA = 11), $V_{REF} = V_{DD}/2$ , 增益 = 2X, 编码100–4000

注: 除非另外说明, 否则 $T_A = +25^\circ\text{C}$ ,  $V_{DD} = 5.5\text{V}$ 。

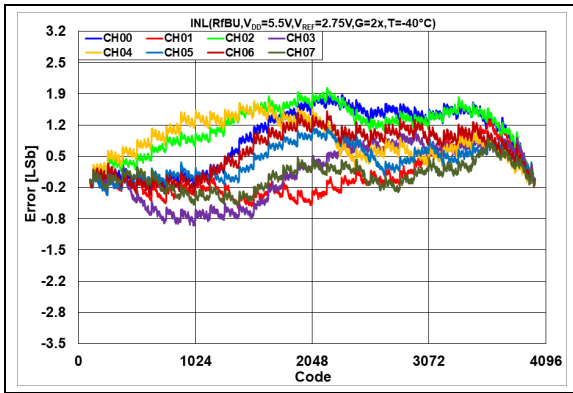


图2-110: INL 误差—DAC 编码曲线  
( $T = -40^\circ\text{C}$ ,  $V_{DD} = 5.5\text{V}$ )

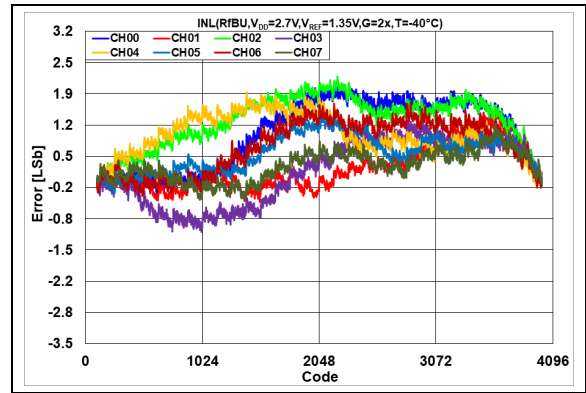


图2-113: INL 误差—DAC 编码曲线  
( $T = -40^\circ\text{C}$ ,  $V_{DD} = 2.7\text{V}$ )

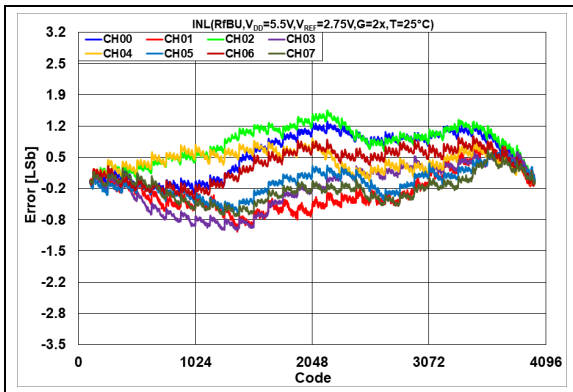


图2-111: INL 误差—DAC 编码曲线  
( $T = +25^\circ\text{C}$ ,  $V_{DD} = 5.5\text{V}$ )

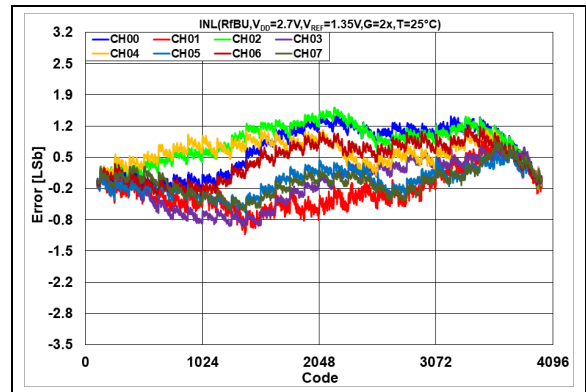


图2-114: INL 误差—DAC 编码曲线  
( $T = +25^\circ\text{C}$ ,  $V_{DD} = 2.7\text{V}$ )

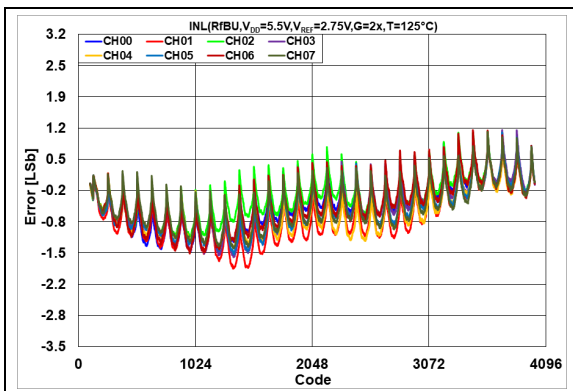


图2-112: INL 误差—DAC 编码曲线  
( $T = +125^\circ\text{C}$ ,  $V_{DD} = 5.5\text{V}$ )

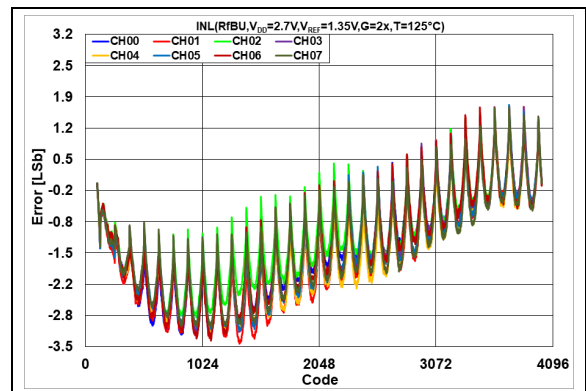


图2-115: INL 误差—DAC 编码曲线  
( $T = +125^\circ\text{C}$ ,  $V_{DD} = 2.7\text{V}$ )

# MCP47FXBX4/8

2.2.20 微分非线性 (DNL) 误差——MCP47FXB28 (12位), 外部  $V_{REF}$  缓冲模式 ( $VRNB:VRNA = 11$ ),  $V_{REF} = V_{DD}$ , 增益 = 1X, 编码 100–4000

注: 除非另外说明, 否则  $T_A = +25^\circ\text{C}$ ,  $V_{DD} = 5.5\text{V}$ 。

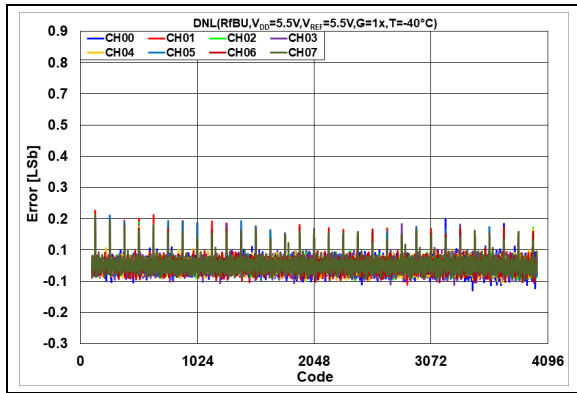


图2-116: DNL 误差—DAC 编码曲线  
( $T = -40^\circ\text{C}$ ,  $V_{DD} = 5.5\text{V}$ )

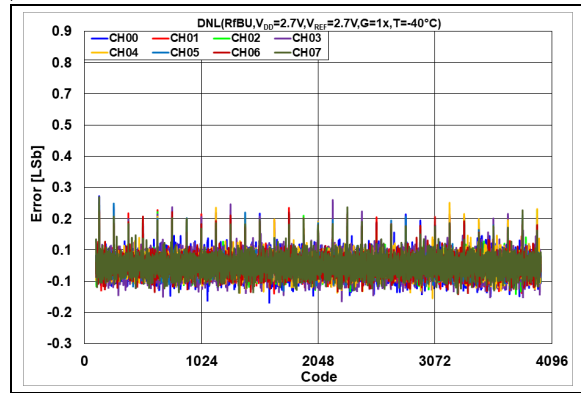


图2-119: DNL 误差—DAC 编码曲线  
( $T = -40^\circ\text{C}$ ,  $V_{DD} = 2.7\text{V}$ )

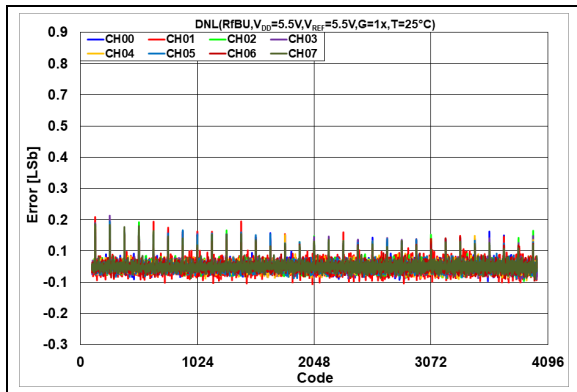


图2-117: DNL 误差—DAC 编码曲线  
( $T = +25^\circ\text{C}$ ,  $V_{DD} = 5.5\text{V}$ )

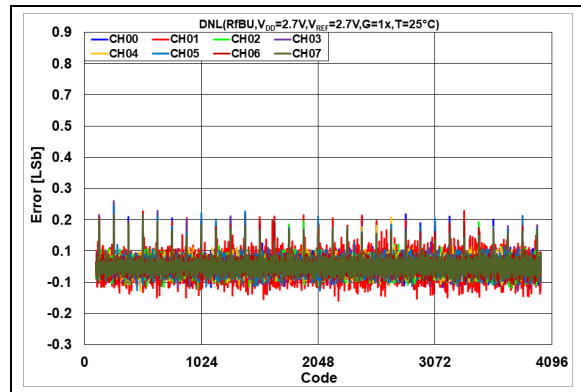


图2-120: DNL 误差—DAC 编码曲线  
( $T = +25^\circ\text{C}$ ,  $V_{DD} = 2.7\text{V}$ )

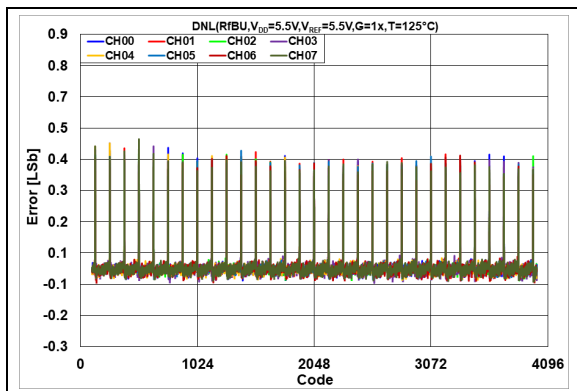


图2-118: DNL 误差—DAC 编码曲线  
( $T = +125^\circ\text{C}$ ,  $V_{DD} = 5.5\text{V}$ )

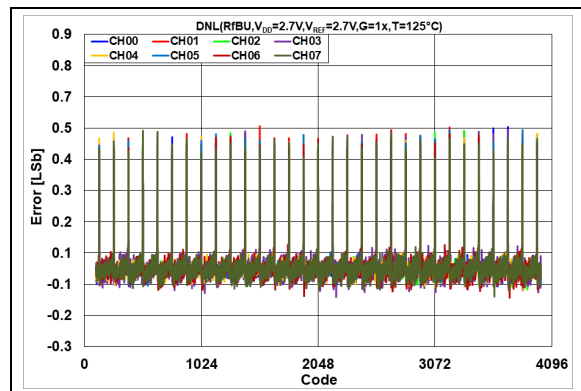


图2-121: DNL 误差—DAC 编码曲线  
( $T = +125^\circ\text{C}$ ,  $V_{DD} = 2.7\text{V}$ )

## 2.2.21 微分非线性 (DNL) 误差——MCP47FXB28 (12位), 外部V<sub>REF</sub>缓冲模式 (VRNB:VRNA = 11), V<sub>REF</sub> = V<sub>DD</sub>/2, 增益 = 2X, 编码100–4000

注: 除非另外说明, 否则T<sub>A</sub> = +25°C, V<sub>DD</sub> = 5.5V。

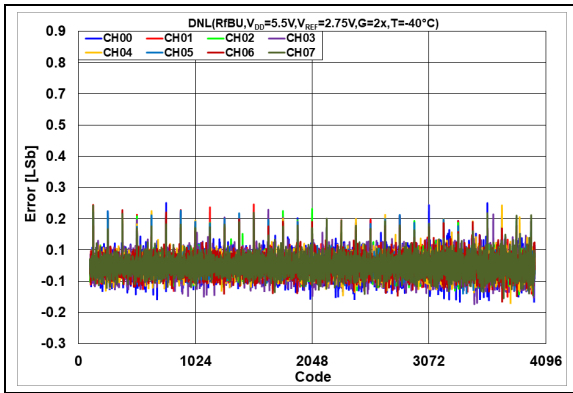


图2-122: DNL 误差—DAC 编码曲线 (T = -40°C, V<sub>DD</sub> = 5.5V)

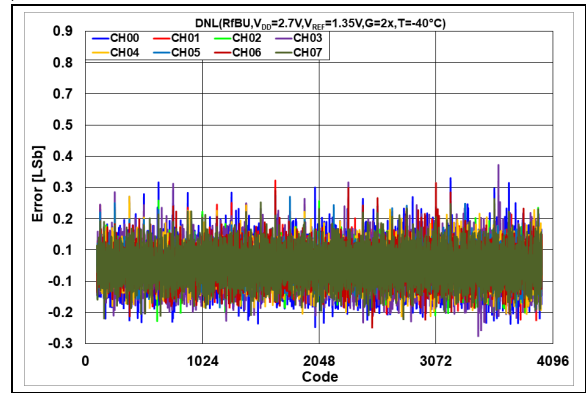


图2-125: DNL 误差—DAC 编码曲线 (T = -40°C, V<sub>DD</sub> = 2.7V)

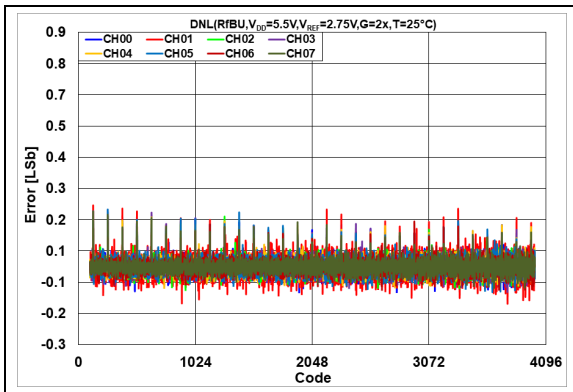


图2-123: DNL 误差—DAC 编码曲线 (T = +25°C, V<sub>DD</sub> = 5.5V)

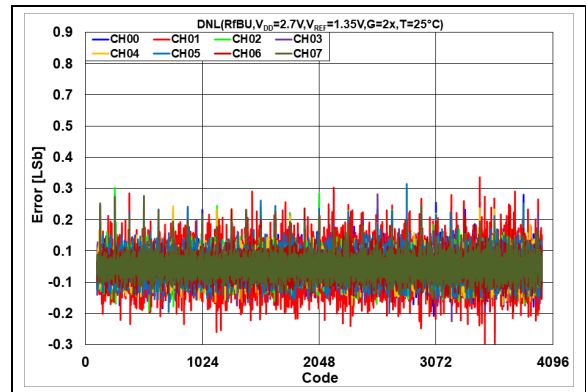


图2-126: DNL 误差—DAC 编码曲线 (T = +25°C, V<sub>DD</sub> = 2.7V)

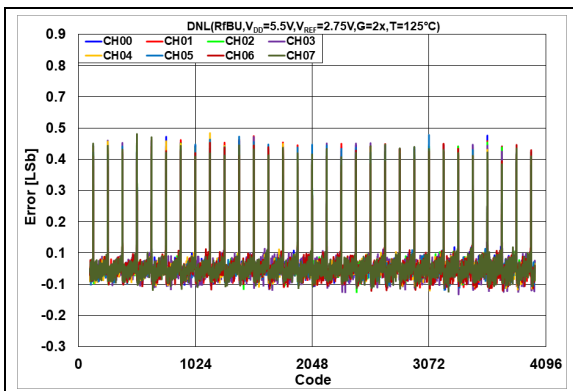


图2-124: DNL 误差—DAC 编码曲线 (T = +125°C, V<sub>DD</sub> = 5.5V)

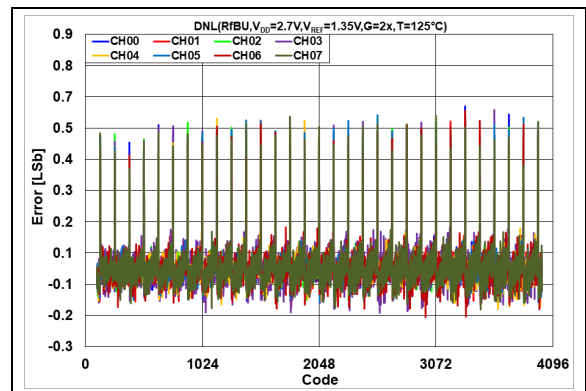


图2-127: DNL 误差—DAC 编码曲线 (T = +125°C, V<sub>DD</sub> = 2.7V)

# MCP47FXBX4/8

---

---

注:

### 3.0 引脚说明

第3.1节“正电源输入 ( $V_{DD}$ )”至第3.7节“ $I^2C$  串行数据引脚 (SDA)”概述了引脚功能。表3-1列出了四DAC输出器件的引脚说明，表3-2列出了八DAC输出器件的引脚说明。

表3-1: MCP47FXBX4 (四DAC) 引脚功能表

引脚					说明
20引脚 TSSOP	20引脚 VQFN	符号	I/O	缓冲器 类型	
1	19	$\overline{LAT1}$	I	ST	DAC寄存器锁存器引脚。 锁存器1引脚允许将易失性DAC1/DAC3寄存器（抽头和配置位）中的值传送到DAC1/DAC3输出 ( $V_{OUT1}$ 和 $V_{OUT3}$ )。
2	20	$V_{DD}$	—	P	电源电压引脚
3	1	A0	I	ST	$I^2C$ 从器件地址Bit 0引脚
4	2	$V_{REF0}$	A	模拟	参考电压输入0引脚
5	3	$V_{OUT0}$	A	模拟	缓冲模拟电压输出——通道0引脚
6	4	$V_{OUT2}$	A	模拟	缓冲模拟电压输出——通道2引脚
7, 8, 10, 11, 12, 13	5, 6, 8, 9, 10, 11	NC	—	—	内部未连接
9	7	$V_{SS}$	—	P	器件上所有电路的接地参考引脚
14	12	$V_{OUT3}$	—	—	缓冲模拟电压输出——通道3引脚
15	13	$V_{OUT1}$	—	—	缓冲模拟电压输出——通道1引脚
16	14	$V_{REF1}$	A	模拟	参考电压输入1引脚
17	15	A1	I	—	$I^2C$ 从器件地址Bit 1引脚
18	16	SCL	I	ST	$I^2C$ 串行时钟引脚
19	17	SDA	I	ST	$I^2C$ 串行数据引脚
20	18	$\overline{LAT0}/HVC$	I	ST	DAC寄存器锁存器/高电压命令引脚。锁存器0引脚允许将易失性DAC0/DAC2寄存器（抽头和配置位）中的值传送到DAC0/DAC2输出 ( $V_{OUT0}$ 和 $V_{OUT2}$ )。高电压命令引脚允许写入用户配置位。
—	21	EP	—	—	外露散热焊盘 <sup>(1)</sup>

注 1: A = 模拟, ST = 施密特触发器, HV = 高电压, I = 输入, O = 输出, I/O = 输入/输出, P = 电源。

# MCP47FXBX4/8

表3-2: MCP47FXBX8 (八DAC) 引脚功能表

引脚					说明
TSSOP 20引脚	VQFN 20引脚	符号	I/O	缓冲器 类型	
1	19	$\overline{\text{LAT1}}$	I	ST	DAC 寄存器锁存器引脚。 锁存器1引脚允许将易失性DAC1/DAC3/DAC5/DAC7寄存器（抽头和配置位）中的值传输到 DAC1/DAC3/DAC5/DAC7 输出（ $V_{\text{OUT1}}$ 、 $V_{\text{OUT3}}$ 、 $V_{\text{OUT5}}$ 和 $V_{\text{OUT7}}$ ）。
2	20	$V_{\text{DD}}$	—	P	电源电压引脚
3	1	A0	I	ST	I <sup>2</sup> C从器件地址Bit 0引脚
4	2	$V_{\text{REF0}}$	A	模拟	参考电压输入0引脚
5	3	$V_{\text{OUT0}}$	A	模拟	缓冲模拟电压输出——通道0引脚
6	4	$V_{\text{OUT2}}$	A	模拟	缓冲模拟电压输出——通道2引脚
7	5	$V_{\text{OUT4}}$	A	模拟	缓冲模拟电压输出——通道4引脚
8	6	$V_{\text{OUT6}}$	A	模拟	缓冲模拟电压输出——通道6引脚
9	7	$V_{\text{SS}}$	—	P	器件上所有电路的接地参考引脚
10, 11	8, 9	NC	—	—	内部未连接
12	10	$V_{\text{OUT7}}$	A	模拟	缓冲模拟电压输出——通道7引脚
13	11	$V_{\text{OUT5}}$	A	模拟	缓冲模拟电压输出——通道5引脚
14	12	$V_{\text{OUT3}}$	A	模拟	缓冲模拟电压输出——通道3引脚
15	13	$V_{\text{OUT1}}$	A	模拟	缓冲模拟电压输出——通道1引脚
16	14	$V_{\text{REF1}}$	A	模拟	参考电压输入1引脚
17	15	A1	I	—	I <sup>2</sup> C从器件地址Bit 1引脚
18	16	SCL	I	ST	I <sup>2</sup> C串行时钟引脚
19	17	SDA	I	ST	I <sup>2</sup> C串行数据引脚
20	18	$\overline{\text{LAT0/HVC}}$	I	ST	DAC 寄存器锁存器/高电压命令引脚。锁存器0引脚允许将易失性DAC0/DAC2/DAC4/DAC6寄存器（抽头和配置位）中的值传输到DAC0/DAC2/DAC4/DAC6输出（ $V_{\text{OUT0}}$ 、 $V_{\text{OUT2}}$ 、 $V_{\text{OUT4}}$ 和 $V_{\text{OUT6}}$ ）。高电压命令引脚允许写入用户配置位。
—	21	EP	—	—	外露散热焊盘 <sup>(1)</sup>

注 1: A = 模拟, ST = 施密特触发器, HV = 高电压, I = 输入, O = 输出, I/O = 输入/输出, P = 电源。

## 3.1 正电源输入 ( $V_{DD}$ )

$V_{DD}$  是正电源电压输入引脚。输入电源电压相对于  $V_{SS}$  而言。

$V_{DD}$  引脚的电源应尽可能干净，以便获得良好的 DAC 性能。建议使用适当的旁路电容（约  $0.1\ \mu\text{F}$  的陶瓷电容）接地。此外，还建议并联一个额外的  $10\ \mu\text{F}$  电容（钽电容），以进一步衰减应用电路板中的噪声。

## 3.2 地 ( $V_{SS}$ )

$V_{SS}$  引脚是器件参考地。

用户必须通过低阻抗连接将  $V_{SS}$  引脚连接到地平面。如果应用印刷电路板（Printed Circuit Board, PCB）上有模拟地路径，强烈建议将  $V_{SS}$  引脚连接到模拟地路径或隔离在电路板的模拟地平面上。

## 3.3 参考电压引脚 ( $V_{REF}$ )

$V_{REF}$  引脚既可为输入，也可为输出。当 DAC 的参考电压配置为  $V_{REF}$  引脚时，该引脚为输入。当 DAC 的参考电压配置为内部带隙时，该引脚为输出。

当 DAC 的参考电压配置为  $V_{REF}$  引脚时，该电压输入有两个选择：

- 缓冲的  $V_{REF}$  引脚电压
- 非缓冲的  $V_{REF}$  引脚电压

如果外部参考电压没有足够的电流能力，无法在连接到内部梯形电阻网络时保持电压稳定，则采用缓冲选项。

当 DAC 的参考电压配置为器件  $V_{DD}$  时， $V_{REF}$  引脚与内部电路断开。

当 DAC 的参考电压配置为内部带隙时， $V_{REF}$  引脚的驱动能力最弱，因此应对输出信号进行缓冲。

$V_{REF}$  引脚共有两个，分别对应一组输出通道。 $V_{REF0}$  连接到偶数编号的通道（0-6）， $V_{REF1}$  连接到奇数编号的通道（1-7）。有关配置位的更多详细信息，请参见第 5.2 节“参考电压选择”和寄存器 4-2。

## 3.4 模拟输出电压引脚 ( $V_{OUTn}$ )

$V_{OUT}$  是 DAC 模拟电压输出引脚。DAC 输出配有输出放大器。DAC 输出范围取决于参考电压源的选择（以及可能存在的输出增益选择），具体包括：

- 器件  $V_{DD}$ ——DAC 输出的满量程范围为  $V_{SS}$  至  $V_{DD}$  左右。
- $V_{REF}$  引脚——DAC 输出的满量程范围为  $V_{SS}$  至  $G \times V_{RL}$ ，其中  $G$  为增益选择选项（1x 或 2x）。
- 内部带隙——DAC 输出的满量程范围为  $V_{SS}$  至  $G \times (2 \times V_{BG})$ ，其中  $G$  为增益选择选项（1x 或 2x）。

在正常模式下，输出引脚的直流阻抗约为  $1\ \Omega$ 。在掉电模式下，输出引脚在内部连接到已知下拉电阻（1 k $\Omega$  和 125 k $\Omega$ ）或者开路。寄存器 4-3 和表 5-4 给出了掉电选择位的设置。

## 3.5 锁存器引脚 ( $\overline{\text{LAT}}$ ) / 高电压命令 ( $\text{HVC}$ )

对于单个器件或不同器件上的一个或两个通道，可使用  $\overline{\text{LAT}}$  引脚控制和同步 DAC 输出值更新事件。

$\overline{\text{LAT}}$  引脚用于控制易失性抽头寄存器的  $\text{VRnB}:\text{VRnA}$ 、 $\text{PDnB}:\text{PDnA}$  和  $G_x$  位对 DAC 输出的影响。

如果  $\overline{\text{LAT}}$  引脚保持在  $V_{IH}$  电压，则发送到易失性抽头寄存器和配置位的值对 DAC 输出没有影响。

引脚上的电压转换为  $V_{IL}$  后，易失性抽头寄存器和配置位中的值将传送到 DAC 输出。

该引脚是电平敏感的，因此当它保持在  $V_{IL}$  电压时，写入易失性抽头寄存器和配置位将立即更改输出。

当引脚上的电压大于  $V_{IH}$  进入电压时，可通过 HVC 引脚对器件的非易失性用户配置位进行编程。

## 3.6 I<sup>2</sup>C——串行时钟引脚 (SCL)

SCL 引脚是 I<sup>2</sup>C 接口的串行时钟引脚。

MCP47FXBX4/8 的 I<sup>2</sup>C 接口仅作为从器件，SCL 引脚仅接受外部串行时钟。来自主器件的输入数据在 SCL 时钟的上升沿移入 SDA 引脚，来自器件的输出在 SCL 时钟的下降沿出现。SCL 引脚是漏极开路 N 沟道驱动器。因此，需要在  $V_{DD}$  线路和 SCL 引脚之间连接一个外部上拉电阻。有关 I<sup>2</sup>C 串行接口通信的更多详细信息，请参见第 6.0 节“I<sup>2</sup>C 串行接口模块”。

# MCP47FBX4/8

---

## 3.7 I<sup>2</sup>C——串行数据引脚（SDA）

SDA引脚是I<sup>2</sup>C接口的串行数据引脚。SDA引脚用于写入或读取DAC寄存器和配置位。SDA引脚是漏极开路N沟道驱动器。因此，需要在V<sub>DD</sub>线路和SDA引脚之间连接一个外部上拉电阻。除启动和停止条件外，SDA引脚上的数据必须在时钟的高电平期间保持稳定。只有SCL引脚上的时钟信号为低电平时，SDA引脚的高电平或低电平状态才会发生变化。请参见第6.0节“[I<sup>2</sup>C串行接口模块](#)”。

## 3.8 A0和A1从器件地址位

这两个引脚用于控制I<sup>2</sup>C地址的最后两位。将它们连接到V<sub>DD</sub>可使相应的地址位为1，连接到V<sub>SS</sub>可使相应的地址位为0。更多详细信息，请参见第6.8节“[器件I<sup>2</sup>C从器件寻址](#)”和寄存器4-5。

## 3.9 无连接（NC）

NC引脚未连接到器件。

## 3.10 外露焊盘

该焊盘与器件的基板导电连接。它应与V<sub>SS</sub>引脚连接到相同的电位（或保持未连接状态）。当该焊盘连接到PCB散热器时，可用于帮助器件散热。仅VQFN封装提供该焊盘。



## 4.0 概述

MCP47FXBX4 (MCP47FXB04、MCP47FXB14和MCP47FXB24) 器件是四通道电压输出器件。MCP47FXBX8 (MCP47FXB08、MCP47FXB18和MCP47FXB28) 器件是八通道电压输出器件。

这些器件支持8位 (MCP47FXB0X)、10位 (MCP47FXB1X) 和12位 (MCP47FXB2X) 三种分辨率，并配有非易失性存储器 (EEPROM)、I<sup>2</sup>C串行接口，以及两个写锁存器引脚 ( $\overline{\text{LAT0}}$ 和 $\overline{\text{LAT1}}$ )，这两个引脚用于控制将写入的DAC值更新到DAC输出引脚。

该系列器件采用梯形电阻网络架构。梯形电阻网络DAC由可通过软件选择的参考电压源驱动。电压源可以是器件的内部V<sub>DD</sub>、外部V<sub>REF</sub>引脚电压 (缓冲或非缓冲) 或内部带隙电压源。

DAC输出采用低功耗的高精度输出放大器 (运放) 进行缓冲。该输出放大器提供兼具低失调电压和低噪声的轨对轨输出。输出缓冲器的增益 (1x或2x) 可通过软件配置。

该器件系列还具有用户可编程的非易失性存储器 (EEPROM) 选项，允许用户保存DAC寄存器和器件配置位所需的POR/BOR值。

高电压锁定可用于确保器件的输出设置不会遭到意外修改。

该系列器件采用单电源电压供电。在全额工作模式下，该电压的额定范围为2.7V至5.5V；在数字工作模式下，该电压的额定范围为1.8V至5.5V。该系列器件可在1.8V至2.7V的范围内工作，但其模拟性能会显著降低，因此没有标定该范围内的大部分器件参数。

主要功能模块包括：

- 上电复位/欠压复位 (POR/BOR)
- 器件存储器
- 梯形电阻网络
- 输出缓冲器/V<sub>OUT</sub>操作
- 内部带隙
- I<sup>2</sup>C串行接口模块

## 4.1 上电复位/欠压复位 (POR/BOR)

内部POR/BOR电路监视工作过程中的电源电压 (V<sub>DD</sub>)。该电路可确保在发生系统上电和掉电事件时正确启动器件。器件的RAM保持电压 (V<sub>RAM</sub>) 低于POR/BOR电压跳变点 (V<sub>POR/VBOR</sub>)。最大V<sub>POR/VBOR</sub>电压低于1.8V。

电压上升 (通常从0V开始) 时发生POR，电压下降 (通常从V<sub>DD(MIN)</sub>或较高值开始) 时发生BOR。

POR和BOR跳变点处于相同的电压，具体条件由V<sub>DD</sub>电压上升还是下降决定 (见图4-1)。POR和BOR两种复位后发生的情况会有所不同。

当V<sub>POR/VBOR</sub> < V<sub>DD</sub> < 2.7V时，电气性能可能无法满足数据手册规范。在该电压区域，如果执行适当的串行命令，器件就能够读写其EEPROM和易失性存储器。

# MCP47FBX4/8

## 4.1.1 上电复位

上电复位即为从 $V_{SS}$ 电压开始斜升为 $V_{DD}$ 供电的情况。器件上电时， $V_{OUT}$ 引脚将悬空为未知值。当 $V_{DD}$ 高于器件的晶体管阈值电压时，输出开始拉为低电平。当 $V_{DD}$ 高于POR/BOR跳变点（ $V_{BOR}/V_{POR}$ ）时，电阻网络的抽头装入POR值（中等量程）。易失性存储器决定模拟输出（ $V_{OUT}$ ）引脚电压。器件上电后，用户可以更新器件的存储器。

当 $V_{DD}$ 电压升至 $V_{POR}$ 跳变点以上时，将发生以下事件：

- 非易失性 DAC 寄存器值锁存到易失性 DAC 寄存器中。
- 非易失性配置位值锁存到易失性配置位中。
- POR 状态位置 1。
- 复位延时定时器（ $t_{POR}$ ）启动：当复位延时定时器（ $t_{POR}$ ）超时后， $I^2C$  串行接口可工作。在该延时期间， $I^2C$  接口将不接受命令。
- 器件存储器地址指针被强制为 00h。

模拟输出（ $V_{OUT}$ ）状态由易失性配置位和 DAC 寄存器决定。这称为上电复位（事件）。

图4-1所示为典型条件下发生上电和掉电事件时的状态。

## 4.1.2 欠压复位

当对器件供电并且电源（电压）低于指定范围时，会发生欠压复位。

当 $V_{DD}$ 电压降至 $V_{POR}$ 跳变点以下（BOR事件）时，将发生以下事件：

- 禁止串行接口。
- 禁止EEPROM写操作。
- 强制器件进入掉电状态（ $PDnB:PDnA = 11$ ）。关闭模拟电路。
- 强制将易失性 DAC 寄存器设为 000h。
- 强制将易失性配置位  $VRnB:VRnA$  和  $Gx$  设为 0。

如果是 $V_{DD}$ 电压降至 $V_{RAM}$ 电压以下，所有易失性存储器均可能会损坏。

当电压恢复至 $V_{POR}/V_{BOR}$ 电压以上时，请参见第4.1.1节“上电复位”。

由于欠压条件而未完成的串行命令可能导致存储单元（易失性和非易失性）损坏。

图4-1所示为典型条件下发生上电和掉电事件时的状态。

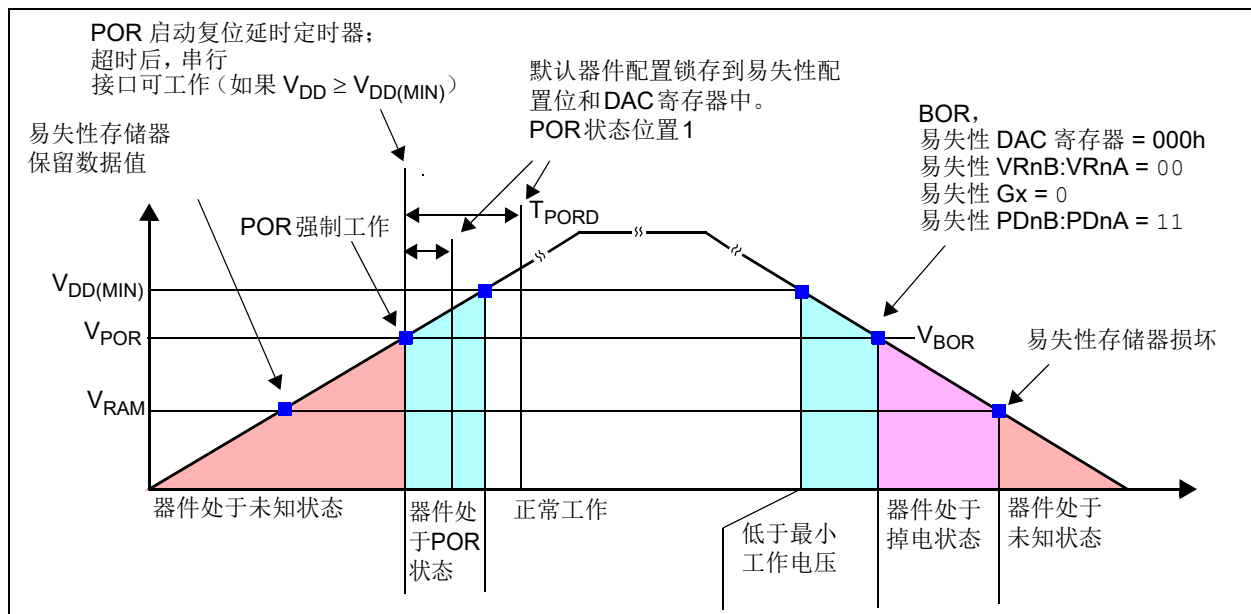


图4-1： 上电复位/欠压复位工作模式

## 4.2 器件存储器

用户存储器包括以下类型：

- 易失性寄存器存储器（RAM）
- 非易失性寄存器存储器
- 器件配置存储器

每个存储器地址为16位宽。最多有17个非易失性用户控制位不在存储器映射的寄存器空间中（见第4.2.3节“器件配置存储器”）。

### 4.2.1 易失性寄存器存储器（RAM）

最多有12个易失性存储单元：

- DAC0至DAC7输出值寄存器
- $V_{REF}$ 选择寄存器
- 掉电配置寄存器
- 增益和状态寄存器
- WiperLock技术状态寄存器

当器件 $V_{DD}$ 处于（或高于）RAM保持电压（ $V_{RAM}$ ）时，易失性存储器开始工作。当 $V_{DD}$ 升至 $V_{POR}/V_{BOR}$ 电压跳变点以上时，易失性存储器将装入默认器件值。

### 4.2.2 非易失性寄存器存储器

该器件系列使用非易失性存储器来存储DAC输出值和配置寄存器：

- 非易失性DAC0至DAC7输出值寄存器
- 非易失性 $V_{REF}$ 选择寄存器
- 非易失性掉电配置寄存器
- 非易失性增益和I<sup>2</sup>C地址寄存器

当电压低于器件的 $V_{POR}/V_{BOR}$ 跳变点时，非易失性存储器会开始工作，随后只要器件的电压上升到POR/BOR电压跳变点以上，便会将值装入相应的易失性寄存器中。

当串行接口命令完成后（即，单次写命令的应答脉冲后），器件开始写入非易失性（EEPROM）存储单元。不允许对非易失性存储器执行连续写命令。

**注：** 写入非易失性存储器时，不会修改相应的易失性存储器。

在为非易失性DAC寄存器编程所需值后，器件可实现独立工作（无需单片机控制）。

### 4.2.3 器件配置存储器

最多有17个非易失性用户位未直接映射到地址空间。这些非易失性器件配置位控制以下功能：

- 用于DAC寄存器和配置的WiperLock技术（每个DAC 2位）
- I<sup>2</sup>C从器件地址写保护（锁定）

状态寄存器显示器件WiperLock技术配置位的状态。寄存器4-6中介绍了状态寄存器。

有关WiperLock技术的工作原理，请参见第4.2.6节“WiperLock技术”；有关I<sup>2</sup>C从器件地址写保护的工作原理，请参见第4.2.7节“I<sup>2</sup>C从器件地址写保护”。

### 4.2.4 未实现的寄存器位

对有效存储单元执行读命令时，未实现位将读为0。

### 4.2.5 未实现（保留）存储单元

如果对未实现的存储器地址（保留）执行正常（电压）命令（读或写），将导致命令错误条件（NACK）。对保留的存储单元执行读命令时，其中的各个位均读为1。

如果对任何未实现的配置位执行高电压命令（使能或禁止），将导致命令错误条件（NACK）。

#### 4.2.5.1 非易失性存储器（EEPROM）的出厂默认POR存储器状态

表4-2列出了8位、10位和12位器件存储器映射的出厂默认POR初始化值。如果是易失性存储器器件（MCP47FBX），无法修改出厂默认值。

**注：** 易失性存储单元将由非易失性存储器状态（寄存器和器件配置位）确定。

# MCP47FXBX4/8

表4-1: MCP47FXBX4/8 存储器映射

地址 (易失性)	功能	配置位 <sup>(1)</sup>	四通道	八通道
00h	易失性 DAC0 寄存器	CL0	Y	Y
01h	易失性 DAC1 寄存器	CL1	Y	Y
02h	易失性 DAC2 寄存器	CL2	Y	Y
03h	易失性 DAC3 寄存器	CL3	Y	Y
04h	易失性 DAC4 寄存器	CL4	—	Y
05h	易失性 DAC5 寄存器	CL5	—	Y
06h	易失性 DAC6 寄存器	CL6	—	Y
07h	易失性 DAC7 寄存器	CL7	—	Y
08h	V <sub>REF</sub> 寄存器	—	Y	Y
09h	掉电寄存器	—	Y	Y
0Ah	增益和状态寄存器	—	Y	Y
0Bh	WiperLock™ 技术状态寄存器	—	Y	Y

地址 (非易失性)	功能	配置位 <sup>(1)</sup>	四通道	八通道
10h	非易失性 DAC0 寄存器	DL0	Y	Y
11h	非易失性 DAC1 寄存器	DL1	Y	Y
12h	非易失性 DAC2 寄存器	DL2	Y	Y
13h	非易失性 DAC3 寄存器	DL3	Y	Y
14h	非易失性 DAC4 寄存器	DL4	—	Y
15h	非易失性 DAC5 寄存器	DL5	—	Y
16h	非易失性 DAC6 寄存器	DL6	—	Y
17h	非易失性 DAC7 寄存器	DL7	—	Y
18h	非易失性 V <sub>REF</sub> 寄存器	—	Y	Y
19h	非易失性掉电寄存器	—	Y	Y
1Ah	NV增益和 I <sup>2</sup> C 7 位从器件地址	SALCK	Y	Y
1Bh	保留	—	—	—

易失性存储器地址范围

非易失性存储器地址范围

注 1: 器件配置存储器位需要使用高电压使能或禁止命令 (LAT<sub>n</sub> = V<sub>IHH</sub>) 修改位值。

表4-2: 出厂默认的POR/BOR值

地址 (易失性)	功能	POR/BOR 值		
		8 位	10 位	12 位
00h	易失性 DAC0 寄存器	7Fh	1FFh	7FFh
01h	易失性 DAC1 寄存器	7Fh	1FFh	7FFh
02h	易失性 DAC2 寄存器	FFh	3FFh	FFFh
03h	易失性 DAC3 寄存器	FFh	3FFh	FFFh
04h	易失性 DAC4 寄存器	FFh	3FFh	FFFh
05h	易失性 DAC5 寄存器	FFh	3FFh	FFFh
06h	易失性 DAC6 寄存器	FFh	3FFh	FFFh
07h	易失性 DAC7 寄存器	FFh	3FFh	FFFh
08h	V <sub>REF</sub> 寄存器	0000h	0000h	0000h
09h	掉电寄存器	0000h	0000h	0000h
0Ah	增益和状态寄存器	0080h	0080h	0080h
0Bh	WiperLock™ 技术状态寄存器	0000h	0000h	0000h

地址 (非易失性)	功能	POR/BOR 值		
		8 位	10 位	12 位
10h	非易失性 DAC0 寄存器	7Fh	1FFh	7FFh
11h	非易失性 DAC1 寄存器	7Fh	1FFh	7FFh
12h	非易失性 DAC2 寄存器	FFh	3FFh	FFFh
13h	非易失性 DAC3 寄存器	FFh	3FFh	FFFh
14h	非易失性 DAC4 寄存器	FFh	3FFh	FFFh
15h	非易失性 DAC5 寄存器	FFh	3FFh	FFFh
16h	非易失性 DAC6 寄存器	FFh	3FFh	FFFh
17h	非易失性 DAC7 寄存器	FFh	3FFh	FFFh
18h	非易失性 V <sub>REF</sub> 寄存器	0000h	0000h	0000h
19h	非易失性掉电寄存器	0000h	0000h	0000h
1Ah	NV增益和 I <sup>2</sup> C 7 位从器件地址 <sup>(1)</sup>	00E0h	00E0h	00E0h
1Bh	保留 <sup>(2)</sup>	—	—	—

易失性存储器地址范围

非易失性存储器地址范围

注 1: 默认情况下, I<sup>2</sup>C 7 位从器件地址为 110 0000, SALCK 位置 1。

2: 对保留的存储单元执行读或写命令时将产生 NACK。

## 4.2.6 WIPERLOCK 技术

通过 MCP47FXBX4/8 WiperLock 技术，无需使用额外的写保护引脚即可保护特定于应用的器件设置（DAC 寄存器和配置）。每个 DAC 通道（DAC0 至 DAC7）有两个配置位（DLn:CLn）。

WiperLock 技术可根据 DLn:CLn 配置位的状态阻止串行命令对 DACn 寄存器和位执行以下操作：

- 写入指定的易失性 DACn 寄存器存储单元
- 写入指定的非易失性 DACn 寄存器存储单元
- 写入指定的易失性 DACn 配置位
- 写入指定的非易失性 DACn 配置位

每一对配置位控制四种模式中的一种。表 4-4 列出了这些模式和配置位的地址。

若要修改配置位，必须将 HVC 引脚强制设为  $V_{IH}$  状态，然后必须接收到用于指定所需的 DAC 寄存器地址对的使能或禁止命令。

示例：若要修改 CL0 位，使能或禁止命令指定地址 00h；若要修改 DL0 位，使能或禁止命令指定地址 10h。

请参见第 7.4.2 节“使能配置位（高电压）”和第 7.4.3 节“禁止配置位（高电压）”命令了解具体操作。

**注：** 在器件通信期间，如果器件地址/命令组合无效或指定了未实现的地址，则 MCP47FXBX4/8 将不应答该字节。要复位 I<sup>2</sup>C 状态机，必须在 I<sup>2</sup>C 通信过程中检测到启动位。

### 4.2.6.1 使能 WiperLock 技术时的 POR/BOR 操作

WiperLock 技术状态不受 POR/BOR 事件的影响。POR/BOR 事件会将非易失性存储器中的值或出厂默认值装载到易失性 DACn 寄存器（仅适用于具有易失性存储器的器件）。

### 4.2.7 I<sup>2</sup>C 从器件地址写保护

MCP47FXBX4/8 I<sup>2</sup>C 从器件地址存储在 EEPROM 存储器中。因此，可根据应用的需求修改地址。为了确保 I<sup>2</sup>C 从器件地址免遭意外修改，存储器配备了高电压写保护位。该配置位如表 4-3 所示。

**注：** 若要修改 SALCK 位，使能或禁止命令应指定地址 1Ah。

表 4-3: SALCK 功能说明

SALCK	操作
1	锁定非易失性 I <sup>2</sup> C 从器件地址位 (ADD6:ADD2)
0	解锁非易失性 I <sup>2</sup> C 从器件地址位 (ADD6:ADD2)

表 4-4: WIPERLOCK™ 技术配置位——功能说明

DLn:CLn <sup>(1)</sup>	寄存器/位				备注
	DACn 抽头		DACn 配置 <sup>(1)</sup>		
	易失性	非易失性	易失性	非易失性	
11	锁定	锁定	锁定	锁定	锁定所有 DACn 寄存器。
10	锁定	锁定	未锁定	锁定	锁定除易失性 DACn 配置寄存器外的所有 DACn 寄存器。这样可以在掉电模式下正常工作。
01	未锁定	锁定	未锁定	锁定	解锁易失性 DACn 寄存器，锁定非易失性 DACn 寄存器。
00	未锁定	未锁定	未锁定	未锁定	解锁所有 DACn 寄存器。

**注 1：** 这些配置位（DLn:CLn）的状态反映在 WLnB:WLnA 位中，如寄存器 4-6 所示。DAC 配置位包括参考电压控制位（VRnB:VRnA）、掉电控制位（PDnB:PDnA）和输出增益位（Gx）。

# MCP47FBX4/8

## 4.2.8 器件寄存器

寄存器4-1所示为易失性和非易失性存储单元的DAC输出值寄存器的格式。这些寄存器可以是8位、10位或12位宽，值为右对齐。

**寄存器4-1: DAC0至DAC7输出值寄存器地址00H至07H/10H至17H（易失性/非易失性）**

	U-0	U-0	U-0	U-0	R/W-n	R/W-n	R/W-n	R/W-n	R/W-n	R/W-n	R/W-n	R/W-n	R/W-n	R/W-n	R/W-n	R/W-n
12位	—	—	—	—	D11	D10	D09	D08	D07	D06	D05	D04	D03	D02	D01	D00
10位	—	—	—	—	— <sup>(1)</sup>	— <sup>(1)</sup>	D09	D08	D07	D06	D05	D04	D03	D02	D01	D00
8位	—	—	—	—	— <sup>(1)</sup>	— <sup>(1)</sup>	— <sup>(1)</sup>	— <sup>(1)</sup>	D07	D06	D05	D04	D03	D02	D01	D00

bit 15 bit 0

**图注:**

R = 可读位                      W = 可写位                      U = 未实现位，读为0  
 -n = POR时的值                1 = 置1                              0 = 清零                              x = 未知  
 = 12位器件                 = 10位器件                 = 8位器件

12位	10位	8位	
bit 15-12	bit 15-10	bit 15-8	未实现: 读为0
bit 11-0	—	—	<b>D11-D00: DAC输出值——12位器件</b> FFFh = 满量程输出值 7FFh = 中等量程输出值 000h = 零量程输出值
—	bit 9-0	—	<b>D09-D00: DAC输出值——10位器件</b> 3FFh = 满量程输出值 1FFh = 中等量程输出值 000h = 零量程输出值
—	—	bit 7-0	<b>D07-D00: DAC输出值位——8位器件</b> FFh = 满量程输出值 7Fh = 中等量程输出值 000h = 零量程输出值

**注 1:** 未实现位，读为0。

寄存器4-2所示为参考电压控制寄存器的格式。每个DAC有两个位用于控制DAC的参考电压源。该寄存器用于易失性和非易失性存储单元。

**寄存器 4-2: 参考电压 (VREF) 控制寄存器地址 08H 和 18H (易失性/非易失性)**

	R/W-n	R/W-n	R/W-n	R/W-n	R/W-n	R/W-n	R/W-n	R/W-n	R/W-n	R/W-n	R/W-n	R/W-n	R/W-n	R/W-n	R/W-n	
八通道	VR7B	VR7A	VR6B	VR6A	VR5B	VR5A	VR4B	VR4A	VR3B	VR3A	VR2B	VR2A	VR1B	VR1A	VR0B	VR0A
四通道	—(1)	—(1)	—(1)	—(1)	—(1)	—(1)	—(1)	—(1)	VR3B	VR3A	VR2B	VR2A	VR1B	VR1A	VR0B	VR0A
	bit 15								bit 0							

**图注:**

R = 可读位                      W = 可写位                      U = 未实现位, 读为0  
 -n = POR时的值                1 = 置1                              0 = 清零                              x = 未知  
 = 四通道器件                       = 八通道器件

八通道	四通道	
—	bit 15-8	未实现: 读为0
bit 15-0	bit 7-0	<b>VRnB-VRnA:</b> DAC参考电压控制位 11 = V <sub>REF</sub> 引脚 (缓冲); 使能V <sub>REF</sub> 缓冲器 10 = V <sub>REF</sub> 引脚 (非缓冲); 禁止V <sub>REF</sub> 缓冲器 01 = 内部带隙 (典型值为1.22V); 使能V <sub>REF</sub> 缓冲器 掉电时驱动V <sub>REF</sub> 电压 00 = V <sub>DD</sub> (非缓冲); 禁止V <sub>REF</sub> 缓冲器 将该状态与掉电位配合使用可最大限度地降低电流。

**注 1:** 未实现位, 读为0。

# MCP47FXBX4/8

寄存器4-3所示为掉电控制寄存器的格式。每个DAC有两个位用于控制DAC的掉电状态。该寄存器用于易失性和非易失性存储单元。

**寄存器4-3: 掉电控制寄存器（易失性/非易失性）（地址09h和19h）**

	R/W-n	R/W-n	R/W-n	R/W-n	R/W-n	R/W-n	R/W-n	R/W-n	R/W-n	R/W-n	R/W-n	R/W-n	R/W-n	R/W-n	R/W-n	
八通道	PD7B	PD7A	PD6B	PD6A	PD5B	PD5A	PD4B	PD4A	PD3B	PD3A	PD2B	PD2A	PD1B	PD1A	PD0B	PD0A
四通道	— <sup>(1)</sup>	— <sup>(1)</sup>	— <sup>(1)</sup>	— <sup>(1)</sup>	— <sup>(1)</sup>	— <sup>(1)</sup>	— <sup>(1)</sup>	— <sup>(1)</sup>	PD0B	PD0A	PD0B	PD0A	PD0B	PD0A	PD0B	PD0A
	bit 15								bit 0							

**图注:**

R = 可读位                      W = 可写位                      U = 未实现位，读为0  
 -n = POR时的值                1 = 置1                            0 = 清零                            x = 未知  
 = 四通道器件                       = 八通道器件

八通道	<b>四通道</b>	
—	bit 15-8	未实现：读为1
bit 15-0	bit 7-0	<b>PDnB-PDnA: DAC掉电控制位<sup>(2)</sup></b>
		11 = 掉电——V <sub>OUT</sub> 开路
		10 = 掉电——V <sub>OUT</sub> 接有125 kΩ的接地电阻
		01 = 掉电——V <sub>OUT</sub> 接有1 kΩ的接地电阻
		00 = 正常工作（未掉电）

- 注 1:** 未实现位，读为0。  
**注 2:** 更多详细信息，请参见表5-4。



寄存器4-4所示为易失性增益控制和系统状态寄存器的格式。每个DAC都有一个用于控制DAC增益的位和三个状态位。

## 寄存器 4-4: 增益控制和系统状态寄存器地址 0Ah (易失性)

	R/W-n	R/W-n	R/W-n	R/W-n	R/W-n	R/W-n	R/W-n	R/W-n	R/C-1	R-0	U-0	U-0	U-0	U-0	U-0
八通道	G7	G6	G5	G4	G3	G2	G1	G0	POR	EEWA	—	—	—	—	—
四通道	— <sup>(1)</sup>	— <sup>(1)</sup>	— <sup>(1)</sup>	— <sup>(1)</sup>	G3	G2	G1	G0	POR	EEWA	—	—	—	—	—
	bit 15 <span style="float: right;">bit 0</span>														

### 图注:

R = 可读位  
-n = POR时的值  
■ = 四通道器件

W = 可写位  
1 = 置1

C = 可清零位  
0 = 清零  
□ = 八通道器件

U = 未实现位, 读为0  
x = 未知

八通道	四通道	
—	bit 15-12	<b>未实现:</b> 读为0
bit 15-8	bit 11-8	<b>Gn:</b> DAC通道n输出驱动器增益控制位 1 = 2x增益 0 = 1x增益
bit 7	bit 7	<b>POR:</b> 上电复位(欠压复位)状态位 该位指示自该寄存器的最后一个读命令之后是否发生了POR或BOR事件。读取该寄存器会清除POR状态位的状态。 1 = 自该寄存器的最后一个读命令之后发生了POR(BOR)事件。读取该寄存器将清零该位。 0 = 自该寄存器的最后一个读命令之后未发生POR(BOR)事件。
bit 6	bit 6	<b>EEWA:</b> EEPROM写活动状态位 该位指示是否正在发生EEPROM写周期。 1 = 当前正在发生EEPROM写周期。仅允许对易失性存储器执行串行命令。 0 = 当前未发生EEPROM写周期。
bit 5-0	bit 5-0	<b>未实现:</b> 读为0。

注 1: 未实现位, 读为0。

# MCP47FBX4/8

寄存器4-5所示为非易失性增益控制寄存器的格式。每个DAC都有一个位用于控制DAC的增益。

## 寄存器4-5: 增益控制和I<sup>2</sup>C从器件地址寄存器地址1Ah (非易失性)

	R/W-n	R/W-n	R/W-n	R/W-n	R/W-n	R/W-n	R/W-n	R	R/W-n	R/W-n	R/W-n	R/W-n	R/W-n	R/W-n	R/W-n	
八通道	G7	G6	G5	G4	G3	G2	G1	G0	ADLCK	ADD6	ADD5	ADD4	ADD3	ADD2	ADD1	ADD0
四通道	—(1)	—(1)	—(1)	—(1)	G3	G2	G1	G0	ADLCK	ADD6	ADD5	ADD4	ADD3	ADD2	ADD1	ADD0
	bit 15								bit 0							

### 图注:

R = 可读位	W = 可写位	U = 未实现位, 读为0	
-n = POR时的值	1 = 置1	0 = 清零	x = 未知
<span style="background-color: #e0e0e0; border: 1px solid black; display: inline-block; width: 10px; height: 10px;"></span> = 四通道器件	<span style="border: 1px solid black; display: inline-block; width: 10px; height: 10px;"></span> = 八通道器件		

八通道	四通道	
—	bit 15-12	<b>未实现:</b> 读为0
bit 15-8	bit 11-8	<b>Gn:</b> DACn输出驱动器增益控制位 1 = 2x增益 0 = 1x增益
bit 7	bit 7	<b>ADLCK:</b> I <sup>2</sup> C地址锁定状态位 (反映高电压SALCK位的状态)。 1 = I <sup>2</sup> C从器件地址锁定 (需要使用高电压命令才能禁止, 因此可更改I <sup>2</sup> C地址) 0 = I <sup>2</sup> C从器件地址未锁定, 可更改非易失性I <sup>2</sup> C从器件地址
bit 6-0	bit 6-0	<b>ADD6-ADD0:</b> I <sup>2</sup> C 7位从器件地址位。 对于 <b>非易失性</b> 器件, ADD6-ADD2位构成I <sup>2</sup> C地址的高五位, 用户可以修改。 对于 <b>易失性</b> 器件, I <sup>2</sup> C地址的高五位固定为“0b11000”, 用户无法更改。可应需提供其他值, 详情请联系销售代表。 低两位由A0和A1引脚的状态决定。V <sub>IH</sub> 电平对应位值1, V <sub>IL</sub> 电平对应位值0。使引脚保持未连接状态相当于位值0。

**注 1:** 未实现位, 读为0。

寄存器4-6所示为DAC WiperLock技术状态寄存器的格式。

**寄存器4-6: DAC Wiperlock™ 技术状态寄存器（易失性，地址0BH）**

	R-0 <sup>(1)</sup>	R-0 <sup>(1)</sup>	R-0 <sup>(1)</sup>	R-0 <sup>(1)</sup>	R-0 <sup>(1)</sup>	R-0 <sup>(1)</sup>	R-0 <sup>(1)</sup>	R-0 <sup>(1)</sup>	R-0 <sup>(1)</sup>	R-0 <sup>(1)</sup>	R-0 <sup>(1)</sup>	R-0 <sup>(1)</sup>	R-0 <sup>(1)</sup>	R-0 <sup>(1)</sup>	R-0 <sup>(1)</sup>	
八通道	WL7B	WL7A	WL6B	WL6A	WL5B	WL5A	WL4B	WL4A	WL3B	WL3A	WL2B	WL2A	WL1B	WL1A	WL0B	WL0A
四通道	— <sup>(2)</sup>	— <sup>(2)</sup>	— <sup>(2)</sup>	— <sup>(2)</sup>	— <sup>(2)</sup>	— <sup>(2)</sup>	— <sup>(2)</sup>	— <sup>(2)</sup>	WL3B	WL3A	WL2B	WL2A	WL1B	WL1A	WL0B	WL0A
	bit 15								bit 0							

**图注:**

R = 可读位

W = 可写位

U = 未实现位，读为0

-n = POR时的值

1 = 置1

0 = 清零

x = 未知

= 四通道器件

= 八通道器件

八通道

四通道

—

bit 15-8

未实现：读为0

bit 15-0

bit 7-0

**WLnB-WLnA:** WiperLock技术状态位：这些位反映DLn:CLn非易失性配置位的状态。

11 = DAC抽头和DAC配置（易失性和非易失性寄存器）锁定（DLn = CLn = 使能）。

10 = DAC抽头（易失性和非易失性）和DAC配置（非易失性寄存器）锁定（DLn = 使能；CLn = 禁止）。

01 = DAC抽头（非易失性）和DAC配置（非易失性寄存器）锁定（DLn = 禁止；CLn = 使能）。

00 = DAC抽头和DAC配置解锁（DLn = CLn = 禁止）。

**注 1:** POR值取决于DLn:CLn配置位被编程的值。器件出厂时，DLn:CLn配置位的状态默认为0。

**2:** 未实现位，读为0。

# MCP47FXBX4/8

---

---

注:

## 5.0 DAC 电路

数模转换器电路将数字值转换为其模拟表示。以下将说明器件的功能操作。

DAC 电路使用梯形电阻网络实现。器件最多有八个 DAC。

图5-1所示为MCP47FXBX4/8 DAC电路的功能框图。

DAC的功能模块包括：

- 梯形电阻网络
- 参考电压选择
- 输出缓冲器/V<sub>OUT</sub>操作
- 内部带隙
- 锁存器引脚 (LATn)
- 掉电操作

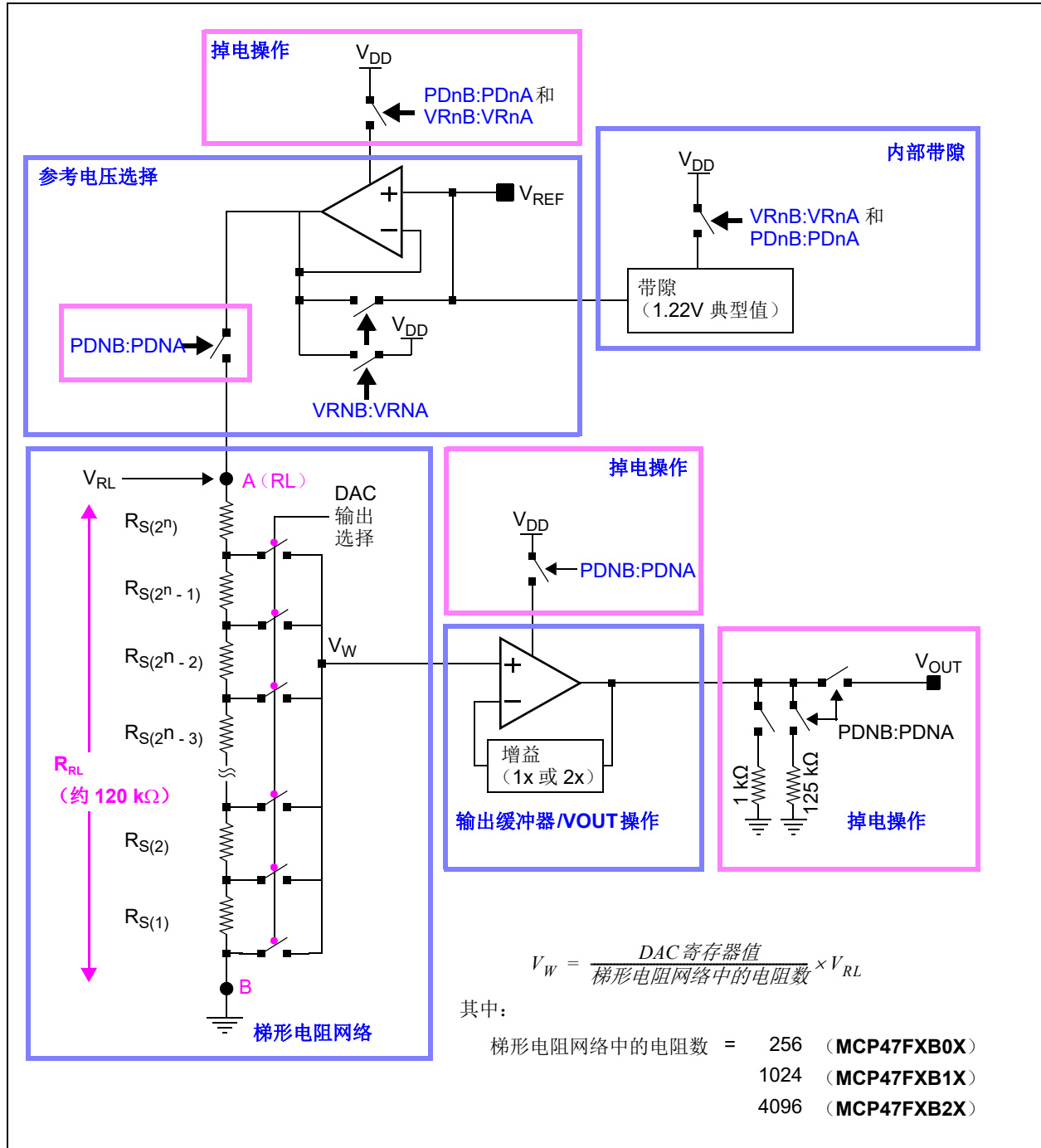


图5-1: MCP47FXBX4/8 DAC 模块框图

# MCP47FBX4/8

## 5.1 梯形电阻网络

梯形电阻网络是一种数字电位器，A端子连接到所选的参考电压（见图5-2），B端子在内部接地。易失性DAC寄存器控制抽头位置。抽头电压（ $V_W$ ）等于DAC寄存器值除以梯形电阻网络中的电阻元件（ $R_S$ ）数（256、1024或4096）再乘以 $V_{RL}$ 电压。

电阻网络的输出将驱动输出缓冲器的输入。

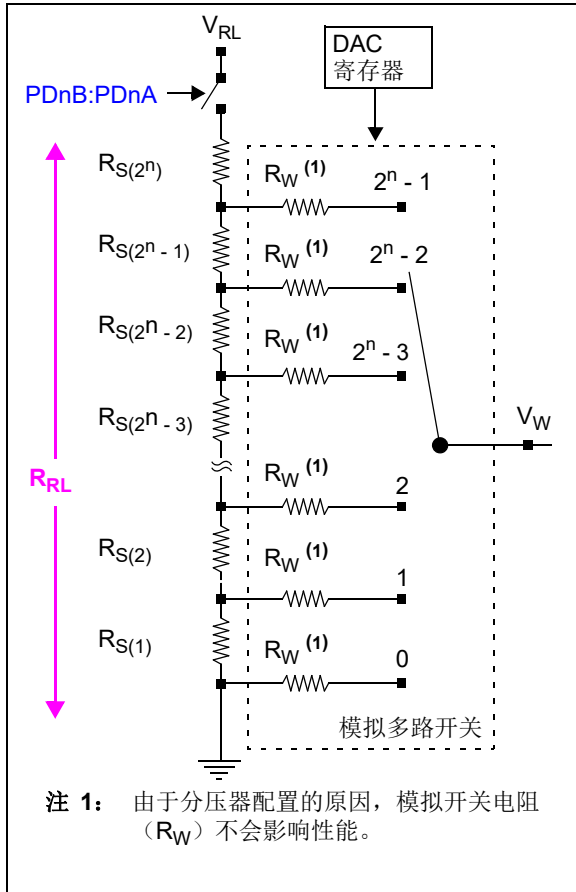


图5-2: 梯形电阻网络模型

电阻网络由以下三部分组成：

- 梯形电阻网络（ $R_S$  元件串）
- 抽头开关
- DAC 寄存器解码

梯形电阻网络（ $R_{RL}$ ）的典型阻抗约为120 k $\Omega$ 。该阻抗可能因器件而异，最高相差 $\pm 20\%$ 。由于这是分压器配置， $V_{RL}$ 采用固定电压时，实际 $R_{RL}$ 电阻不会影响输出。

公式5-1所示为阶跃电阻的计算方法：

### 公式5-1: $R_S$ 计算

$R_S = \frac{R_{RL}}{(256)}$	8 位器件
$R_S = \frac{R_{RL}}{(1024)}$	10 位器件
$R_S = \frac{R_{RL}}{(4096)}$	12 位器件

**注:** 最大抽头位置为  $2^n - 1$ ，而梯形电阻网络中的电阻数为  $2^n$ 。这意味着当DAC寄存器为满量程时，在抽头和 $V_{RL}$ 电压之间有一个电阻元件（ $R_S$ ）。

如果非缓冲 $V_{REF}$ 引脚用作 $V_{RL}$ 电压源，则该电压源应具有低输出阻抗。

当DAC掉电时，梯形电阻网络与所选参考电压断开。

## 5.2 参考电压选择

梯形电阻网络具有最多四个参考电压源，可使用两个用户控制位（ $VRnB:VRnA$ ）进行选择，选定的参考电压连接到 $V_{RL}$ 节点（见图5-3和图5-4）。

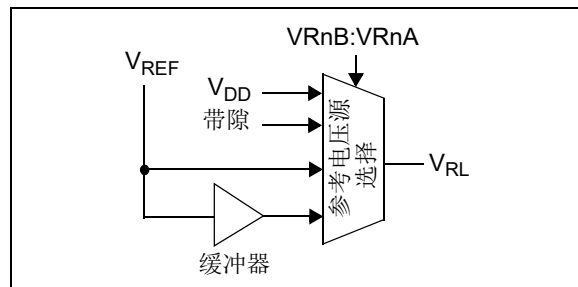


图5-3: 梯形电阻网络参考电压选择框图

梯形电阻网络的电压源选项如下：

1.  $V_{DD}$  引脚电压
2. 内部参考电压（ $V_{BG}$ ）
3. 非缓冲的 $V_{REF}$  引脚电压
4. 内部缓冲的 $V_{REF}$  引脚电压

具体选择哪个电压由易失性 VRnB:VRnA 配置位指定（见寄存器 4-2）。VRnB:VRnA 配置位分为非易失性和易失性两种。在发生 POR/BOR 事件时，非易失性 VRnB:VRnA 配置位的状态锁存到易失性 VRnB:VRnA 配置位中。

当用户选择 V<sub>DD</sub> 作为参考电压时，V<sub>REF</sub> 引脚电压不连接到梯形电阻网络。

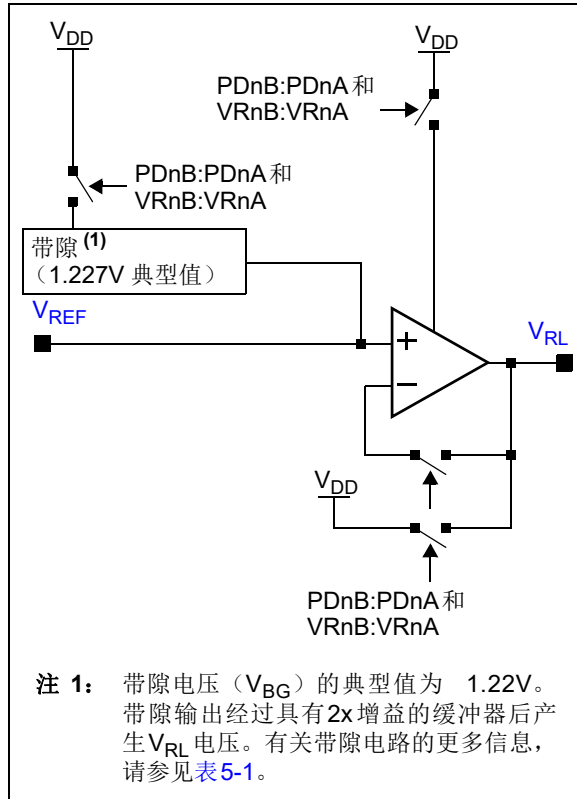


图5-4: 参考电压选择实现框图

如果选择 V<sub>REF</sub> 引脚，则必须在缓冲模式与非缓冲模式之间进行选择。

### 5.2.1 缓冲模式

V<sub>REF</sub> 引脚电压的取值范围为 0.01V 至 V<sub>DD</sub> - -0.04V。输入缓冲器（放大器）兼具低失调电压、低噪声和超高输入阻抗，对输入范围和频率响应的限制非常小。

**注 1:** 参考源上的任何变化或噪声都会直接影响 DAC 输出。参考电压需要尽可能干净，以便获得精确的 DAC 性能。

**2:** 如果 V<sub>REF</sub> 引脚连接到 V<sub>DD</sub> 电压，建议选择 V<sub>DD</sub> 模式（VRnB:VRnA = 00）。

### 5.2.2 非缓冲模式

V<sub>REF</sub> 引脚电压可在 V<sub>SS</sub> 至 V<sub>DD</sub> 范围内变化。

**注 1:** 电压源应具有低输出阻抗。如果电压源具有高输出阻抗，V<sub>REF</sub> 引脚上的电压就会低于预期。梯形电阻网络的阻抗典型值为 140 kΩ，电容典型值为 29 pF。

**2:** 如果 V<sub>REF</sub> 引脚连接到 V<sub>DD</sub> 电压，建议选择 V<sub>DD</sub> 模式（VRnB:VRnA = 00）。

### 5.2.3 带隙模式

如果选择内部带隙，则不得驱动外部 V<sub>REF</sub> 引脚，只能使用高阻抗负载。

带隙输出会经过缓冲，但内部开关会限制该输出对 V<sub>REF</sub> 引脚提供的电流。当存在多个 DAC 输出时，使用梯形电阻网络缓冲器来驱动带隙电压。这样可确保在选择带隙时，始终正确地梯形电阻网络提供输出。

### 5.3 内部带隙

内部带隙旨在驱动梯形电阻网络缓冲器。

梯形电阻网络的电阻 (R<sub>RL</sub>) 的目标值为 140 kΩ (±40 kΩ)，这意味着最小电阻为 100 kΩ。

可以在这个 V<sub>DD</sub> 电压范围内使用带隙，同时最大程度地扩大 V<sub>OUT</sub> 电压范围。如果 V<sub>DD</sub> 电压低于 2 × 增益 × V<sub>BG</sub>，则高位编码的输出将削波至 V<sub>DD</sub> 电压。表 5-1 列出了给定器件 V<sub>DD</sub> 和增益位设置时的最大 DAC 寄存器编码。

表 5-1: V<sub>OUT</sub> (使用带隙)

V <sub>DD</sub> (3)	DAC 增益	最大 DAC 编码 (1)			备注
		12 位	10 位	8 位	
5.5	1	FFFh	3FFh	FFh	V <sub>OUT(max)</sub> = 2.44V (2)
	2	FFFh	3FFh	FFh	V <sub>OUT(max)</sub> = 4.88V (2)
2.7	1	FFFh	3FFh	FFh	V <sub>OUT(max)</sub> = 2.44V (2)
	2	8CDh	233h	8Ch	约 0 至 56% 范围

**注 1:** 不对 V<sub>OUT</sub> 引脚电压进行削波。

**2:** 当 V<sub>BG</sub> = 1.22V (典型值) 时。

**3:** 带隙性能从 V<sub>DD</sub> 等于 2.0V 开始达到最高性能。

# MCP47FXBX4/8

## 5.4 输出缓冲器/V<sub>OUT</sub>操作

输出驱动器缓冲梯形电阻网络的抽头电压 (V<sub>W</sub>)。

DAC输出采用低功耗的高精度输出放大器(运放)进行缓冲。该放大器提供兼具低失调电压和低噪声的轨对轨输出。放大器的输出可无振荡地驱动阻性负载和高容性负载。放大器提供的最大负载电流足以达到大多数可编程参考电压应用的需求。有关输出放大器的规范,请参见第1.0节“电气特性”。

**注:** 负载电阻必须保持高于5 kΩ才能获得预期的稳定模拟输出(满足电气规范)。

图5-5所示为输出驱动器电路的框图。

用户可以选择输出放大器的输出增益。增益选项如下:

- 当使用V<sub>DD</sub>、外部V<sub>REF</sub>或带隙模式时,增益为1。在带隙模式下,有效增益为2,请参见第5.3节“内部带隙”。
- 当使用外部V<sub>REF</sub>或内部带隙模式时,增益为2。在带隙模式下,有效增益为4,请参见第5.3节“内部带隙”。

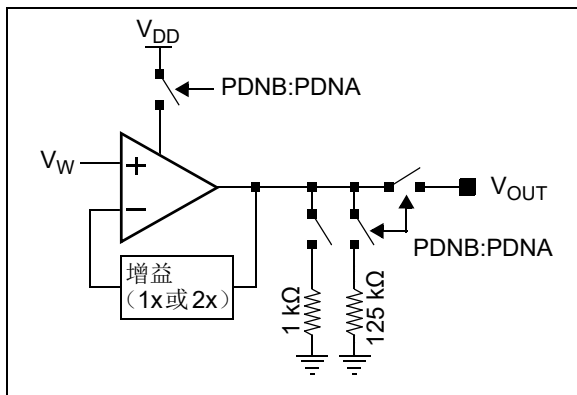


图5-5: 输出驱动器框图

### 5.4.1 可编程增益

放大器的增益由增益(G)配置位(见寄存器4-5)和V<sub>RL</sub>参考选择控制。

易失性增益位值可以通过以下方式修改:

- POR事件
- BOR事件
- I<sup>2</sup>C写命令

### 5.4.2 输出电压

易失性DAC寄存器值和器件的配置位一起控制模拟V<sub>OUT</sub>电压。易失性DAC寄存器的值是无符号二进制值。公式5-2给出了输出电压的公式。表5-5给出了MCP47FXBX4/8器件的易失性DAC寄存器值和相应的理论V<sub>OUT</sub>电压的示例。

#### 公式5-2: 计算输出电压(V<sub>OUT</sub>)

$$V_{OUT} = \frac{V_{RL} \times \text{DAC寄存器值}}{\text{梯形电阻网络中的电阻数}} \times \text{Gain}$$

其中:

梯形电阻网络中的电阻数 = 4096 (MCP47FXB2X)  
1024 (MCP47FXB1X)  
256 (MCP47FXB0X)

**注:** 当增益 = 2 (V<sub>RL</sub> = V<sub>REF</sub>) 时, 如果V<sub>REF</sub> > V<sub>DD</sub>/2, 则V<sub>OUT</sub>电压将限制为V<sub>DD</sub>。因此, 如果V<sub>REF</sub> = V<sub>DD</sub>, 则无论对于中等量程还是更大的易失性DAC寄存器值, V<sub>OUT</sub>电压都不会改变, 这是因为运放为满量程输出。

以下事件会更新DAC寄存器值, 从而更新模拟电压输出(V<sub>OUT</sub>):

- POR
- BOR
- 写命令

V<sub>OUT</sub>电压将在事件发生后开始驱动到新值。

### 5.4.3 阶跃电压(V<sub>S</sub>)

阶跃电压取决于器件分辨率和计算得到的输出电压范围。通常将1个LSb定义为两个连续编码之间的理想电压差。阶跃电压可使用公式5-3 (DAC寄存器值等于1) 轻松计算。表5-2给出了几种V<sub>REF</sub>电压对应的理论阶跃电压。

#### 公式5-3: V<sub>S</sub>计算

$$V_S = \frac{V_{RL}}{\text{梯形电阻网络中的电阻数}} \times \text{增益}$$

其中:

梯形电阻网络中的电阻数 = 4096 (12位)  
1024 (10位)  
256 (8位)



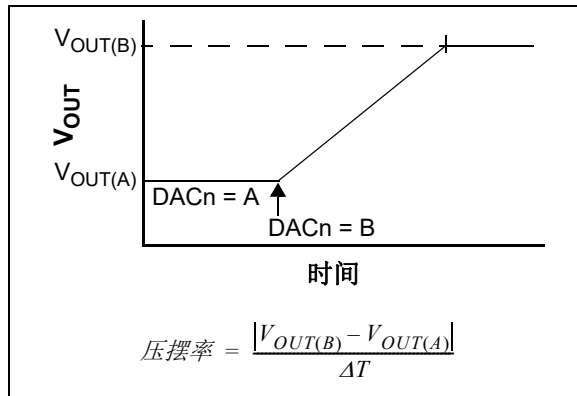
**表5-2: 理论阶跃电压 ( $V_S$ ) (1)**

	$V_{REF}$					
	5.0	2.7	1.8	1.5	1.0	
$V_S$	1.22 mV	659 $\mu$ V	439 $\mu$ V	366 $\mu$ V	244 $\mu$ V	12位
	4.88 mV	2.64 mV	1.76 mV	1.46 mV	977 $\mu$ V	10位
	19.5 mV	10.5 mV	7.03 mV	5.86 mV	3.91 mV	8位

注 1: 增益 = 1x、 $V_{FS} = V_{RL}$  且  $V_{ZS} = 0V$  时。

### 5.4.4 输出压摆率

图5-6所示为 $V_{OUT}$ 引脚的压摆率示例。压摆率可能受连接到 $V_{OUT}$ 引脚的电路的特性影响。



**图5-6:  $V_{OUT}$  引脚的压摆率**

#### 5.4.4.1 小容性负载

对于小容性负载 ( $C_L$ )，输出缓冲器的电流不受影响。但是， $V_{OUT}$  引脚的电压不是从一个输出值 (DAC 寄存器值) 跳变为下一个输出值。 $V_{OUT}$  电压的变化会受输出缓冲器的特性限制，因此 $V_{OUT}$  引脚电压从旧电压变为新电压将引入一个斜率。该斜率对于输出缓冲器是固定的，称为缓冲器压摆率 ( $SR_{BUF}$ )。

#### 5.4.4.2 大容性负载

对于较大的容性负载，压摆率由两个因素决定：

- 输出缓冲器的短路电流 ( $I_{SC}$ )
- $V_{OUT}$  引脚的外部负载

$I_{OUT}$  不能超过输出缓冲器的短路电流 ( $I_{SC}$ )，这将决定输出缓冲器的压摆率 ( $SR_{BUF}$ )。容性负载 ( $V_{CL}$ ) 上的电压  $V_{CL}$  的变化速率与  $I_{OUT}$  成比例关系，这将决定容性负载的压摆率 ( $SR_{CL}$ )。

$V_{CL}$  电压压摆率限制为输出缓冲器内部设定压摆率 ( $SR_{BUF}$ ) 和容性负载压摆率 ( $SR_{CL}$ ) 中的较慢者。

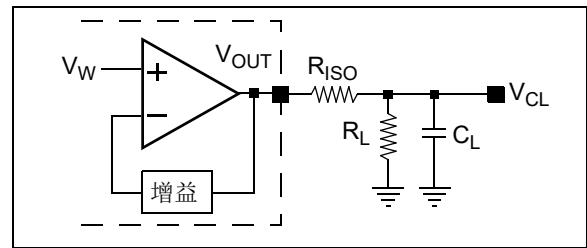
### 5.4.5 驱动阻性和容性负载

$V_{OUT}$  引脚能够驱动最高 100 pF 的容性负载和与之并联的 5 k $\Omega$  阻性负载 (以满足电气规范)。

$V_{OUT}$  随着负载电阻降低 (约 3.5 k $\Omega$  后) 而缓慢下降。建议使用  $R_L$  大于 5 k $\Omega$  的负载。

驱动大容性负载会使电压反馈运放出现稳定性问题。当容性负载增大时，反馈回路的相位裕限会减小，而且闭环带宽也会减小。这会使频率响应产生增益尖峰，并使阶跃响应产生过冲和振铃。也就是说，由于 $V_{OUT}$  引脚的电压不随缓冲器的输入电压而快速变化 (受大容性负载影响)，输出缓冲器将超出所需目标电压。一旦驱动器检测到该过冲情况，便会通过强制降至目标电压以下来进行补偿。这会导致 $V_{OUT}$  引脚上产生电压振铃。

当使用输出缓冲器驱动大容性负载时，输出端的小串联电阻 ( $R_{ISO}$ ) (见图5-7) 可通过使输出负载在高频时呈现阻性来提高输出缓冲器的稳定性 (反馈环的相位裕度)。然而，其带宽通常会低于无容性负载时的带宽。



**图5-7: 用于针对大容性负载 ( $C_L$ ) 稳定输出缓冲器的电路**

需要为电路选择  $R_{ISO}$  电阻值。请在实验室中验证对于该  $R_{ISO}$  电阻值产生的频率响应峰值，以及阶跃响应过冲。修改  $R_{ISO}$  的电阻值，直至输出特性满足要求。

一种评估系统性能的方法是在  $V_{REF}$  引脚上注入阶跃电压，然后观察  $V_{OUT}$  引脚的特性。

**注:** 关于驱动容性负载的电路设计的更多详细信息，请参见 AN884 《使用运放驱动容性负载》 (DS00884A\_CN)。

# MCP47FBX4/8

## 5.5 掉电操作

为了让应用在不需要DAC工作时可以节省功耗，器件提供了三种掉电模式。掉电配置位（PDnB:PDnA）控制掉电操作（图5-8和表5-3）。对于具有多个DAC的器件，可单独控制每个DAC的掉电模式。所有掉电模式都会执行以下操作：

- 关闭大多数DAC模块的内部电路（输出运放和梯形电阻网络等）。
- 运放输出成为V<sub>OUT</sub>引脚的高阻抗输入
- 将梯形电阻网络与参考电压（V<sub>RL</sub>）断开连接
- 保留易失性DAC寄存器和配置位以及非易失性（EEPROM）DAC寄存器和配置位的值

根据选择的掉电模式，将发生以下事件：

- V<sub>OUT</sub>引脚切换为使用两个下拉电阻之一（见表5-4）：
  - 125 kΩ（典型值）
  - 1 kΩ（典型值）
- 运放掉电且V<sub>OUT</sub>引脚呈高阻态

在PDnB:PDnA位从00变为01、10或11且运放不再驱动V<sub>OUT</sub>输出，到下拉电阻注入电流的过程中存在一段延时（T<sub>PDE</sub>）。

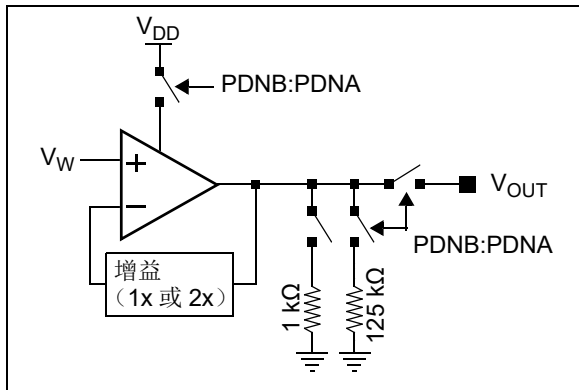


图5-8: V<sub>OUT</sub>掉电框图

在任意一种掉电模式下，当V<sub>OUT</sub>引脚不与外部连接（灌电流或源电流）时，四DAC器件的掉电电流典型值将为680 nA。随着DAC的数量增加，器件的掉电电流也将增加。

可通过对易失性掉电寄存器使用写命令或者通过POR事件来修改掉电位，以便将非易失性掉电寄存器的值传输到易失性掉电寄存器。

表5-3: 掉电位和输出阻性负载

PDnB	PDnA	功能
0	0	正常工作
0	1	1 kΩ电阻接地
1	0	125 kΩ电阻接地
1	1	开路

表5-4显示了DAC的电流源，它取决于器件是处于正常工作模式还是其中一种掉电模式，以及所选的DAC参考电压源。

表5-4: DAC电流源

器件V <sub>DD</sub> 电流源	PDnB:nA = 00, VRnB:nA =				PDnB:nA ≠ 00, VRnB:nA =			
	00	01	10	11	00	01	10	11
输出运放	Y	Y	Y	Y	N	N	N	N
梯形电阻网络	Y	Y	N <sup>(1)</sup>	Y	N	N	N <sup>(1)</sup>	N
RL运放	N	Y	N	Y	N	N	N	N
带隙	N	Y	N	N	N	Y	N	N

注 1: 电流源自V<sub>REF</sub>引脚，而非器件V<sub>DD</sub>。

第7.0节“I<sup>2</sup>C器件命令”说明了用于写入掉电位的I<sup>2</sup>C命令。可以更新易失性PDnB:PDnA位的命令如下：

- 写命令（正常电压和高电压）
- 广播呼叫复位
- 广播呼叫唤醒

注: I<sup>2</sup>C串行接口电路不受掉电模式的影响。该电路保持工作状态，以便接收I<sup>2</sup>C主器件可能发出的任何命令。

## 5.5.1 退出掉电模式

当器件退出掉电模式时，将发生以下事件：

- 已禁止的电路（运放和梯形电阻网络等）再次开启
- 梯形电阻网络连接到选定的参考电压（ $V_{RL}$ ）
- 选定的下拉电阻断开连接
- $V_{OUT}$  输出将被驱动为由易失性DAC寄存器的值和配置位表示的电压

由于这些电路需要上电，并且输出电压需驱动为指定的值（由易失性DAC寄存器和配置位确定），因此 $V_{OUT}$ 输出信号需经过一定的时间之后才会生成。

**注：** 由于运放和梯形电阻网络掉电（0V），运放的输入电压（ $V_W$ ）可视为0V。从PDnB:PDnA位更新为00到运放驱动 $V_{OUT}$ 输出的过程中存在一定的延时（ $T_{PDD}$ ）。为了确保 $V_{OUT}$ 电压正确反映所选值，需考虑运放的稳定时间（从0V开始）。

以下事件会将PDnB:PDnA位更改为00，从而退出掉电模式。这些事件包括：

- PDnB:PDnA位为00的任何I<sup>2</sup>C写命令
- I<sup>2</sup>C广播呼叫唤醒命令
- I<sup>2</sup>C广播呼叫复位命令（如果非易失性PDnB:PDnA位为00）。

**注：** 在四通道器件上，发出广播呼叫唤醒命令后，电流消耗将高于正常值。为了避免这一问题，在四通道器件上，广播呼叫唤醒命令后应跟随一条广播呼叫复位命令。其他功能不受影响。

## 5.5.2 复位命令

当MCP47FBX4/8器件处于有效工作电压范围内时，I<sup>2</sup>C广播呼叫复位命令会强制触发复位事件。这类似于POR，但复位延时定时器不会启动。

如果I<sup>2</sup>C接口总线似乎无响应，则可以使用第8.1.3节“**I<sup>2</sup>C接口软件复位序列**”所述的技术来强制I<sup>2</sup>C接口进行复位。

## 5.6 DAC寄存器、配置位和状态位

MCP47FBX4/8器件系列具有易失性存储器和非易失性（EEPROM）存储器两种选项。表4-2列出了易失性和非易失性存储器及其在发生POR事件后的值。

易失性和非易失性存储器中均有五个配置位、DAC寄存器和两个易失性状态位。DAC寄存器（易失性和非易失性）的宽度将为12位（MCP47FBX2X）、10位（MCP47FBX1X）或8位（MCP47FBX0X）。

当器件首次上电时，会自动将EEPROM存储器值或出厂默认值（如果是MCP47FVBXX器件）上传到易失性存储器。易失性存储器决定模拟输出（ $V_{OUT}$ ）引脚电压。器件上电后，用户可以更新存储器。

该存储器通过I<sup>2</sup>C接口进行读写。有关读写器件存储器的更多详细信息，请参见第6.0节“**I<sup>2</sup>C串行接口模块**”和第7.0节“**I<sup>2</sup>C器件命令**”。

写入非易失性存储器时，器件在单个存储单元的写命令的应答脉冲处开始写入EEPROM单元。

寄存器4-4给出了器件状态位的操作，表4-2列出了发生POR/BOR事件时器件配置位的出厂默认值。

状态位共有两个，仅位于易失性存储器中，用于指示器件的状态。POR位用于指示器件 $V_{DD}$ 是高于还是低于POR跳变点。在正常工作期间，该位应为1。EEWA位用于指示是否正在发生EEPROM写周期。当EEWA位为1时（在EEPROM写操作期间），将忽略除读命令外的所有命令。

# MCP47FBX4/8

## 5.7 锁存器引脚 ( $\overline{\text{LATn}}$ )

锁存器引脚用于控制何时将易失性DAC寄存器值传送到DAC抽头。这对于需要将抽头更新与外部事件同步的应用非常有用，例如过零或更新器件上的其他抽头。 $\overline{\text{LAT}}$ 引脚功能与串行接口操作异步。

当 $\overline{\text{LAT}}$ 引脚为高电平时，将禁止从易失性DAC寄存器向DAC抽头进行传输。易失性DAC寄存器值可继续更新。

当 $\overline{\text{LAT}}$ 引脚为低电平时，易失性DAC寄存器值传输到DAC抽头。

**注：** 这允许在 $\overline{\text{LATn}}$ 引脚为高电平时更新易失性寄存器DAC0至DAC7，以及在 $\overline{\text{LATn}}$ 引脚驱动为低电平时同步更新输出。

图5-9给出了 $\overline{\text{LAT}}$ 引脚与DAC抽头n装入操作（装入易失性DAC寄存器x的值）的交互。传输由电平驱动。如果 $\overline{\text{LAT}}$ 引脚保持低电平，相应的DAC抽头在易失性DAC寄存器值更新后立即更新。

$\overline{\text{LAT}}$ 引脚允许DAC抽头与外部事件同步更新以及在发生公共事件时更新多个DAC通道/器件。

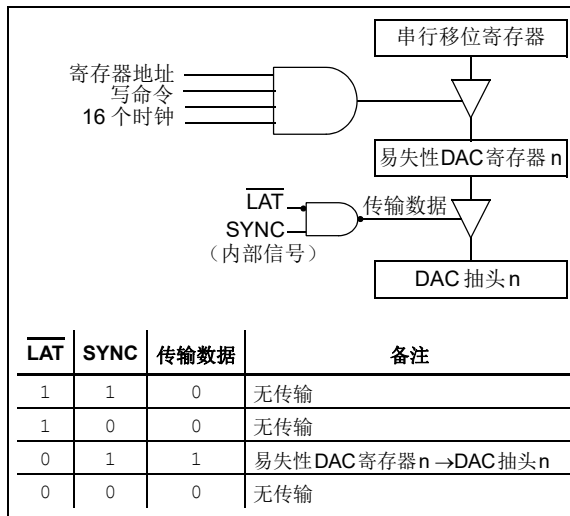


图5-9:  $\overline{\text{LAT}}$ 和DAC交互

由于DAC抽头n根据易失性DAC寄存器n进行更新，因此与给定 $\overline{\text{LAT}}$ 引脚相关联的所有DAC均可同步更新。

如果应用不需要同步更新，则应将该信号连接为低电平。

图5-10给出了根据正弦波信号的值更新抽头寄存器时使用 $\overline{\text{LAT}}$ 引脚进行控制的两个示例。

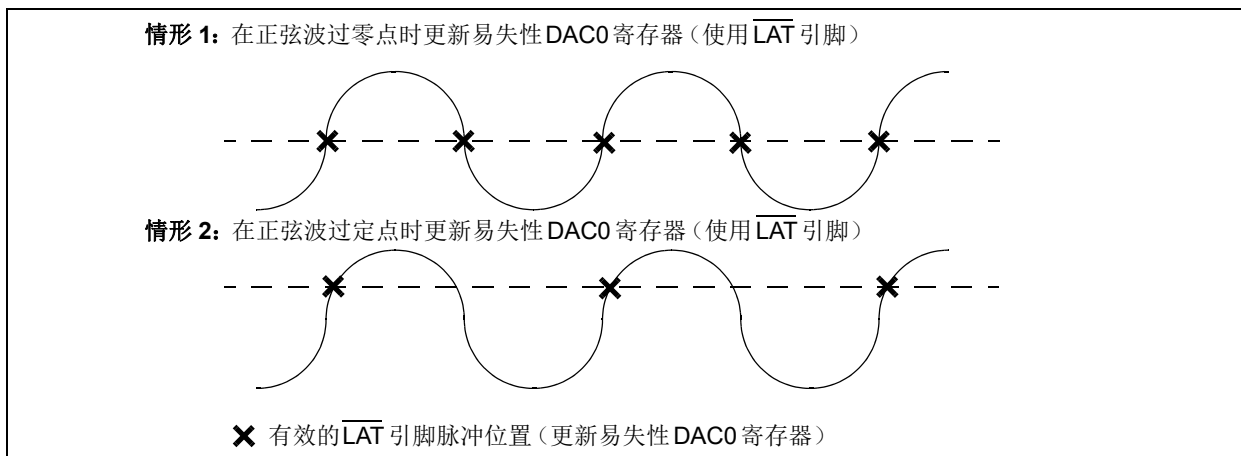


图5-10:  $\overline{\text{LAT}}$ 引脚操作示例

# MCP47FXB4/8

表 5-5: DAC 输入编码与计算得到的模拟输出 ( $V_{OUT}$ ) ( $V_{DD} = 5.0V$ )

器件	易失性 DAC 寄存器值	$V_{RL}^{(1)}$	LSb		增益选择 <sup>(2)</sup>	$V_{OUT}^{(3)}$	
			公式	$\mu V$		公式	V
MCP47FXB2X (12位)	1111 1111 1111	5.0V	$5.0V/4096$	1,220.7	1x	$V_{RL} * (4095/4096) * 1$	4.998779
		2.5V	$2.5V/4096$	610.4	1x	$V_{RL} * (4095/4096) * 1$	2.499390
					2x <sup>(2)</sup>	$V_{RL} * (4095/4096) * 2$	4.998779
	0111 1111 1111	5.0V	$5.0V/4096$	1,220.7	1x	$V_{RL} * (2047/4096) * 1$	2.498779
		2.5V	$2.5V/4096$	610.4	1x	$V_{RL} * (2047/4096) * 1$	1.249390
					2x <sup>(2)</sup>	$V_{RL} * (2047/4096) * 2$	2.498779
	0011 1111 1111	5.0V	$5.0V/4096$	1,220.7	1x	$V_{RL} * (1023/4096) * 1$	1.248779
		2.5V	$2.5V/4096$	610.4	1x	$V_{RL} * (1023/4096) * 1$	0.624390
					2x <sup>(2)</sup>	$V_{RL} * (1023/4096) * 2$	1.248779
	0000 0000 0000	5.0V	$5.0V/4096$	1,220.7	1x	$V_{RL} * (0/4096) * 1$	0
		2.5V	$2.5V/4096$	610.4	1x	$V_{RL} * (0/4096) * 1$	0
					2x <sup>(2)</sup>	$V_{RL} * (0/4096) * 2$	0
MCP47FXB1X (10位)	11 1111 1111	5.0V	$5.0V/1024$	4,882.8	1x	$V_{RL} * (1023/1024) * 1$	4.995117
		2.5V	$2.5V/1024$	2,441.4	1x	$V_{RL} * (1023/1024) * 1$	2.497559
					2x <sup>(2)</sup>	$V_{RL} * (1023/1024) * 2$	4.995117
	01 1111 1111	5.0V	$5.0V/1024$	4,882.8	1x	$V_{RL} * (511/1024) * 1$	2.495117
		2.5V	$2.5V/1024$	2,441.4	1x	$V_{RL} * (511/1024) * 1$	1.247559
					2x <sup>(2)</sup>	$V_{RL} * (511/1024) * 2$	2.495117
	00 1111 1111	5.0V	$5.0V/1024$	4,882.8	1x	$V_{RL} * (255/1024) * 1$	1.245117
		2.5V	$2.5V/1024$	2,441.4	1x	$V_{RL} * (255/1024) * 1$	0.622559
					2x <sup>(2)</sup>	$V_{RL} * (255/1024) * 2$	1.245117
	00 0000 0000	5.0V	$5.0V/1024$	4,882.8	1x	$V_{RL} * (0/1024) * 1$	0
		2.5V	$2.5V/1024$	2,441.4	1x	$V_{RL} * (0/1024) * 1$	0
					2x <sup>(2)</sup>	$V_{RL} * (0/1024) * 1$	0
MCP47FXB0X (8位)	1111 1111	5.0V	$5.0V/256$	19,531.3	1x	$V_{RL} * (255/256) * 1$	4.980469
		2.5V	$2.5V/256$	9,765.6	1x	$V_{RL} * (255/256) * 1$	2.490234
					2x <sup>(2)</sup>	$V_{RL} * (255/256) * 2$	4.980469
	0111 1111	5.0V	$5.0V/256$	19,531.3	1x	$V_{RL} * (127/256) * 1$	2.480469
		2.5V	$2.5V/256$	9,765.6	1x	$V_{RL} * (127/256) * 1$	1.240234
					2x <sup>(2)</sup>	$V_{RL} * (127/256) * 2$	2.480469
	0011 1111	5.0V	$5.0V/256$	19,531.3	1x	$V_{RL} * (63/256) * 1$	1.230469
		2.5V	$2.5V/256$	9,765.6	1x	$V_{RL} * (63/256) * 1$	0.615234
					2x <sup>(2)</sup>	$V_{RL} * (63/256) * 2$	1.230469
	0000 0000	5.0V	$5.0V/256$	19,531.3	1x	$V_{RL} * (0/256) * 1$	0
		2.5V	$2.5V/256$	9,765.6	1x	$V_{RL} * (0/256) * 1$	0
					2x <sup>(2)</sup>	$V_{RL} * (0/256) * 2$	0

注 1:  $V_{RL}$  是梯形电阻网络的参考电压。与 VRnB:VRnA 选择无关。

2: 选择 2x 增益 ( $G_x = 1$ ) 时, 要求参考电压来自  $V_{REF}$  引脚 ( $VRnB:VRnA = 10$  或  $11$ ) 并且  $V_{REF}$  引脚电压 ( $V_{RL}$ )  $\leq V_{DD}/2$  或来自内部带隙 ( $VRnB:VRnA = 01$ )。

3: 这些理论计算结果没有考虑失调、增益和非线性误差。

# MCP47FXBX4/8

---

---

注:

## 6.0 I<sup>2</sup>C 串行接口模块

MCP47FXBX4/8的I<sup>2</sup>C串行接口模块支持I<sup>2</sup>C串行协议规范。该I<sup>2</sup>C接口是双线接口（时钟和数据）。图6-1所示为典型的I<sup>2</sup>C接口连接。

I<sup>2</sup>C规范仅定义帧的字段类型、字段长度和时序等。帧内容定义器件的行为。第7.0节“[I<sup>2</sup>C器件命令](#)”定义了MCP47FXBX4/8的帧内容（命令）。

[附录B：“I<sup>2</sup>C串行接口”](#)提供了I<sup>2</sup>C协议的概述。

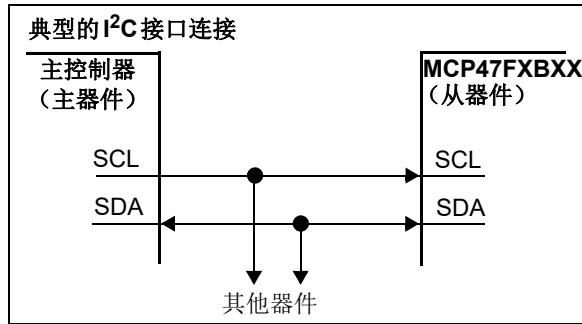


图6-1：典型的I<sup>2</sup>C接口

### 6.1 概述

本节将讨论MCP47FXBX4/8的I<sup>2</sup>C串行接口模块的一些具体特性，旨在帮助您开发应用。

后续章节将分别介绍以下器件特定的特性：

- [接口引脚（SCL和SDA）](#)
- [通信数据速率](#)
- [POR/BOR](#)
- [器件存储器地址](#)
- [广播呼叫命令](#)
- [器件I<sup>2</sup>C从器件寻址](#)
- [进入高速（HS）模式](#)

### 6.2 接口引脚（SCL和SDA）

MCP47FXBX4/8 I<sup>2</sup>C模块的SCL引脚不会生成串行时钟，这是因为器件在从模式下工作。此外，由于存储器读访问速度足够快，MCP47FXBX4/8不会延长时钟信号（SCL）。

MCP47FXBX4/8 I<sup>2</sup>C模块对SDA引脚输出驱动器实现斜率控制。

### 6.3 通信数据速率

I<sup>2</sup>C接口指定不同的通信比特率，分别称为标准模式、快速模式或高速模式。MCP47FXBX4/8支持以上三种模式。这三种模式的时钟速率（比特率）如下：

- 标准模式：最高100 kHz（kbps）
- 快速模式：最高400 kHz（kbps）
- 高速模式（HS模式）：最高3.4 MHz（Mbps）

有关如何进入高速模式的说明，请参见[第6.9节“进入高速（HS）模式”](#)。

### 6.4 POR/BOR

发生POR/BOR事件时，I<sup>2</sup>C串行接口模块状态机复位，器件的存储器地址指针强制设为00h。

### 6.5 器件存储器地址

存储器地址是5位值，用于提供器件存储器中将运行指定命令的存储单元。

发生POR/BOR事件时，会将器件存储器地址指针强制设为00h。

MCP47FXBX4/8保留接收的最后一个“器件存储器地址”。也就是说，MCP47FXBX4/8不会在重复启动条件或停止条件后损坏器件存储器地址。

### 6.6 广播呼叫命令

广播呼叫命令使用I<sup>2</sup>C规范保留的广播呼叫命令地址和命令代码。MCP47FXBX4/8还实现了非标准广播呼叫命令。

广播呼叫命令包括：

- [广播呼叫复位](#)
- [广播呼叫唤醒](#)（MCP47FXBX4/8定义）

广播呼叫唤醒命令将使所有MCP47FXBX4/8器件退出其掉电状态。

### 6.7 多主器件系统

MCP47FXBX4/8不是主器件（生成接口时钟的器件），但可用于多主器件应用。



# MCP47FBX4/8

## 6.8 器件I<sup>2</sup>C从器件寻址

MCP47FBX4/8实现了7位从器件寻址。地址字节是在启动条件后从主器件接收的第一个字节（见图6-2）。

**注：** 不支持I<sup>2</sup>C 10位寻址模式。

对于易失性器件（MCP47FVBX4/8），I<sup>2</sup>C从器件地址位ADD6:ADD2是固定的（110 0000）。用户仍可通过A1:A0地址引脚编程从器件地址。

对于非易失性器件，从器件地址在非易失性寄存器（寄存器4-5）中实现，该寄存器通过从器件地址锁定（SALCK）配置位来防止遭到意外的写操作。修改SALCK配置位时需要高电压（V<sub>IHH</sub>）。通过写入非易失性从器件地址寄存器来修改SALCK配置位的值之前，必须先禁止该位（见第7.4.3节“禁止配置位（高电压）”）。

**注：** 修改非易失性从器件地址值（寄存器4-5）后，强烈建议使能SALCK配置位（见第7.4.2节“使能配置位（高电压）”）。

图6-2给出了I<sup>2</sup>C从器件地址字节格式，其中包含7个地址位和1个读/写（R/W）位。

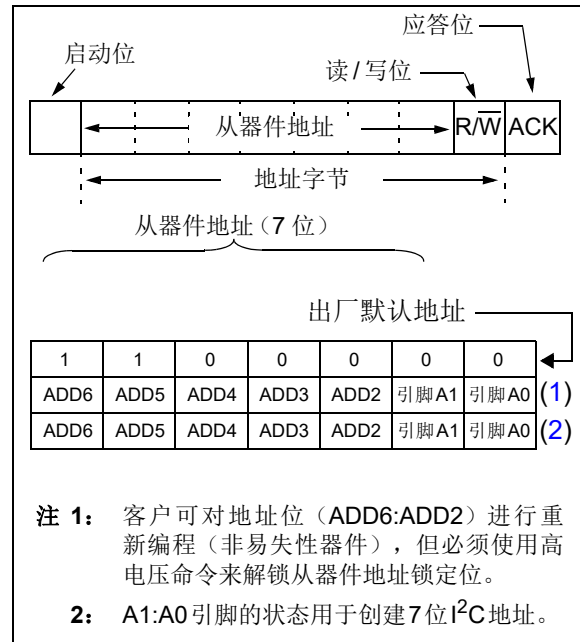


图6-2: I<sup>2</sup>C控制字节中的从器件地址位



## 6.9 进入高速 (HS) 模式

I<sup>2</sup>C 规范要求高速模式器件必须激活才能以高速 (3.4 Mbps) 模式运行。实现方法是主器件在启动位之后发送一个特殊的地址字节。该字节称为高速主器件模式代码 (High-Speed Master Mode Code, HSMMC)。

此时, 器件就可以在 SDA 和 SCL 线上以最高 3.4 Mbps 的速率进行通信。在产生下一个停止条件时, 器件会退出 HS 模式。

主器件代码按如下结构发送:

1. 启动条件 (S)
2. 高速主器件模式代码 (0000 1xxx) ; xxx 位对于 HS 主器件模式而言是惟一的。
3. 无应答 ( $\bar{A}$ )

在切换到 HS 模式之后, 下一个传输的字节是 I<sup>2</sup>C 控制字节 (它指定要进行通信的器件), 以及任意数量的数据字节加上应答。然后, 主器件可以发出重复启动位以寻址不同器件 (在高速模式下), 也可以发出停止位来返回到快速/标准总线速度模式。在停止位后, 任何其他主器件 (在多主器件系统中) 均可以请求进行 I<sup>2</sup>C 总线仲裁。

MCP47FBX4/8 器件不会应答 HS 选择字节。但在接收到该命令时, 器件将切换到 HS 模式。

图 6-3 说明了 HS 模式命令序列。

有关 HS 模式或其他 I<sup>2</sup>C 模式的更多信息, 请参见 “NXP I<sup>2</sup>C Specification”。

### 6.9.1 斜率控制

快速/标准速度的 SDA 输出的斜率控制与接口的高速时钟模式的斜率控制不同。

### 6.9.2 脉冲干扰抑制电路

在 HS 模式下, SCL 引脚上的脉冲干扰抑制电路会自动调整以抑制 <10 ns 的尖峰。

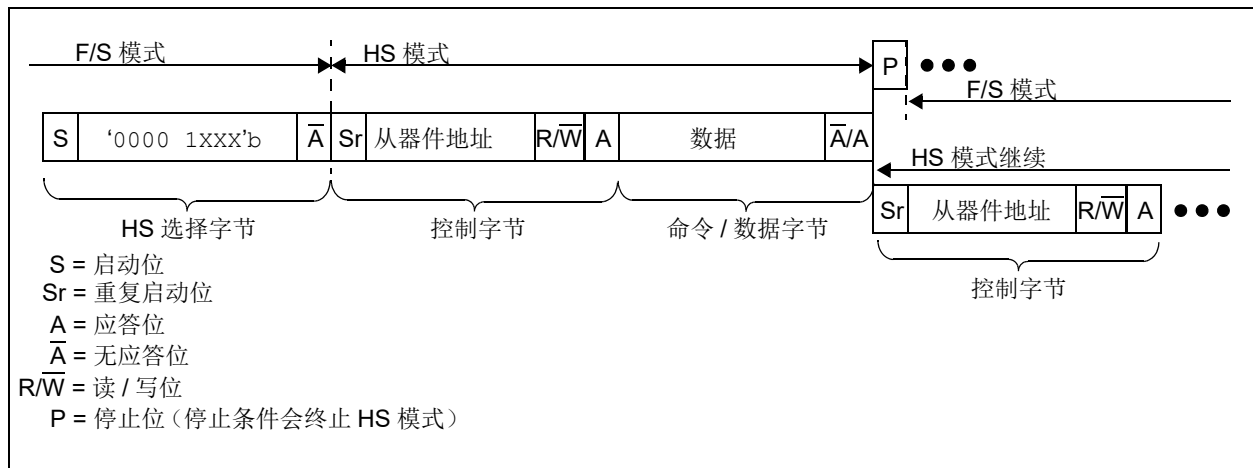


图6-3: HS 模式序列

# MCP47FXBX4/8

---

---

注:

## 7.0 I<sup>2</sup>C 器件命令

本章记录了器件支持的命令。

命令可分为以下几类：

- 写命令（正常电压和高电压）（C1:C0 = 00）
- 读命令（正常电压和高电压）（C1:C0 = 11）
- 广播呼叫命令
- 修改器件配置位命令（HVC = V<sub>IHH</sub>）
  - 使能配置位（C1:C0 = 10）
  - 禁止配置位（C1:C0 = 01）

表7-1列出了支持的命令。通过这些命令，可进行单次数据操作或连续数据操作。连续数据操作意味着I<sup>2</sup>C主器件不会生成停止位，而是重复所需的数据/时钟。这样就不再有I<sup>2</sup>C控制字节的开销，因此可提高更新速度。表7-1还列出了每条命令的不同操作模式所需的位时钟数。

### 7.0.1 中止发送

如果在预期数据位的位置上出现重复启动或停止条件，则将中止当前命令序列。如果该命令为写命令，则相应的数据字不会写入MCP47FXBX4/8。此外，I<sup>2</sup>C状态机将复位。

如果出现的是重复启动（启动）条件，则下一个字节是从器件地址字节。

如果出现的是停止条件，则器件将监视启动条件。

表7-1: 器件命令——时钟数

命令				位时钟数 <sup>(1)</sup>	数据更新速率 (8位/10位/12位) (数据字/秒)			备注	
操作	代码		HV		模式 <sup>(6)</sup>	100 kHz	400 kHz		3.4 MHz <sup>(5)</sup>
	C1	C0							
写命令（正常电压和高电压）	0	0	3	单次	38	2,632	10,526	89,474	
	0	0	3	连续	27n + 11	3,559	14,235	120,996	10个数据字
读命令（正常电压和高电压） <sup>(2)</sup>	1	1	3	随机	48	2,083	8,333	70,833	
	1	1	3	连续	18n + 11	4,762	19,048	161,905	10个数据字
	1	1	3	最后一个地址	29	3,448	13,793	117,241	
广播呼叫复位命令	—	—	3	单次	20	5,000	20,000	170,000	注4
广播呼叫唤醒命令	—	—	3	单次	20	5,000	20,000	170,000	注4
使能配置位（高电压）命令	1	0	是	单次	20	5,000	20,000	170,000	
	1	0	是	连续	9n + 11	9,901	39,604	336,634	10个数据字
禁止配置位（高电压）命令	0	1	是	单次	20	5,000	20,000	170,000	
	0	1	是	连续	9n + 11	9,901	39,604	336,634	10个数据字

- 注 1: “n”表示命令操作的重复次数。
- 2: 该命令有助于确定何时完成EEPROM编程周期。
- 3: 该命令可在正常电压或高电压下执行。
- 4: 由I<sup>2</sup>C广播呼叫地址后的广播呼叫命令字节决定。
- 5: 进入3.4 MHz模式的开销最小。
- 6: 非易失性寄存器只能使用单次模式。

# MCP47FXBX4/8

## 7.1 写命令（正常电压和高电压）

写命令用于将主控制器的数据传输到所需存储单元。写命令可以发送至易失性和非易失性存储单元。

写命令可以采用单次或连续两种格式。借助连续格式，可以最快的速率更新器件的存储单元数据，但非易失性存储单元不支持该格式。

命令格式如图7-1（单次）和图7-3（连续）所示。关于ACK/NACK行为，请参见图7-2。

在收到格式正确的针对易失性存储单元的写命令以及 $\overline{A}$ 时钟后，该命令就会更改该存储单元。

对某个非易失性存储单元执行写命令时，需等待至接收到正确格式的写命令且出现停止条件后才会启动EEPROM写周期。

- 注 1:** 对特定存储单元执行的写操作将取决于WiperLock技术状态位的状态。
- 2:** 在器件通信期间，如果器件地址/命令组合无效或指定了未实现的器件地址，则MCP47FXBX4/8将不应答该字节。要复位I<sup>2</sup>C状态机，必须在I<sup>2</sup>C通信过程中检测到启动位。

### 7.1.1 对易失性存储器执行单次写操作

对于易失性存储单元，每次传输完一个数据字之后（在应答期间）才会将数据写入MCP47FXBX4/8。如果在数据传输期间（在 $\overline{A}$ 之前）生成了停止或重复启动条件，数据将不会写入MCP47FXBX4/8。在 $\overline{A}$ 位之后，主器件可通过停止条件或重复启动条件启动下一个序列。

关于字节写序列，请参见图7-1。

### 7.1.2 对非易失性存储器执行单次写操作

对非易失性存储单元执行单次写操作的序列与对易失性存储器执行单次写操作基本相同，只是EEPROM写周期（ $t_{WC}$ ）在接收到正确格式的命令（包括停止位）后启动。在出现停止条件后，可通过发出启动条件立即重新使能串行接口。

在EEPROM写周期内，可通过适当的命令序列访问易失性存储器。在EEPROM写周期（ $t_{WC}$ ）结束之前，将忽略用于寻址非易失性存储器的命令。此时主机控制器可以对易失性DAC寄存器进行操作。

**注:** EEWA状态位用于指示是否正在发生EEPROM写周期（见寄存器4-4）。

图7-1给出了对易失性或非易失性存储单元进行单次写操作的命令格式。

### 7.1.3 对易失性存储器执行连续写操作

写入器件的易失性存储器寄存器时，可选择连续写操作模式（见表7-2）。该连续写模式允许在未出现停止或重复启动条件的情况下或未重复发送I<sup>2</sup>C控制字节的情况下执行写操作。图7-3给出了三次连续写操作的序列。写操作的目标地址无需是同一个易失性存储器地址。该序列以系统主器件发送停止或重新启动条件结束。

表7-2: 易失性存储器地址

地址	四通道	八通道
00h-03h	是	是
04h-07h	否	是
08h	是	是
09h	是	是
0Ah	是	是

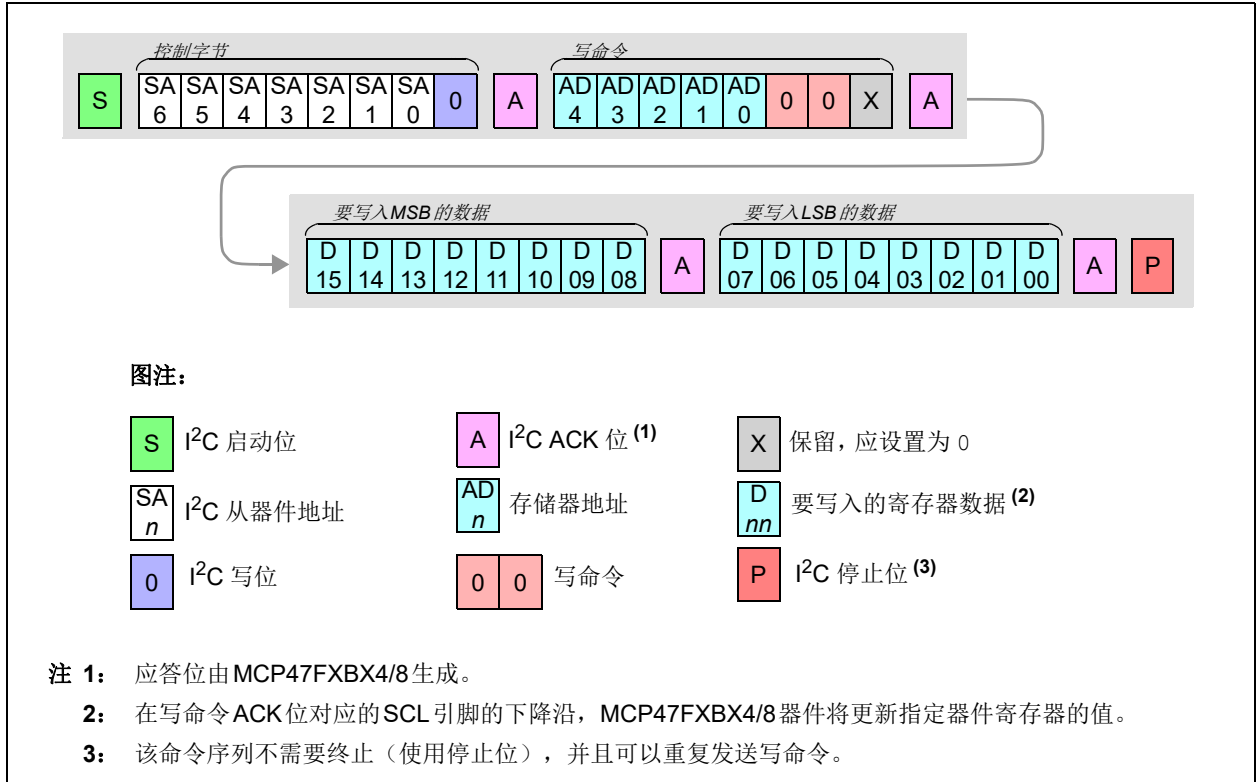
### 7.1.4 对非易失性存储器执行连续写操作

如果尝试对非易失性存储器执行连续写操作，由于缺少停止条件，命令将成为错误条件（ $\overline{A}$ ）。此时，需要通过一个启动位来复位命令状态机。

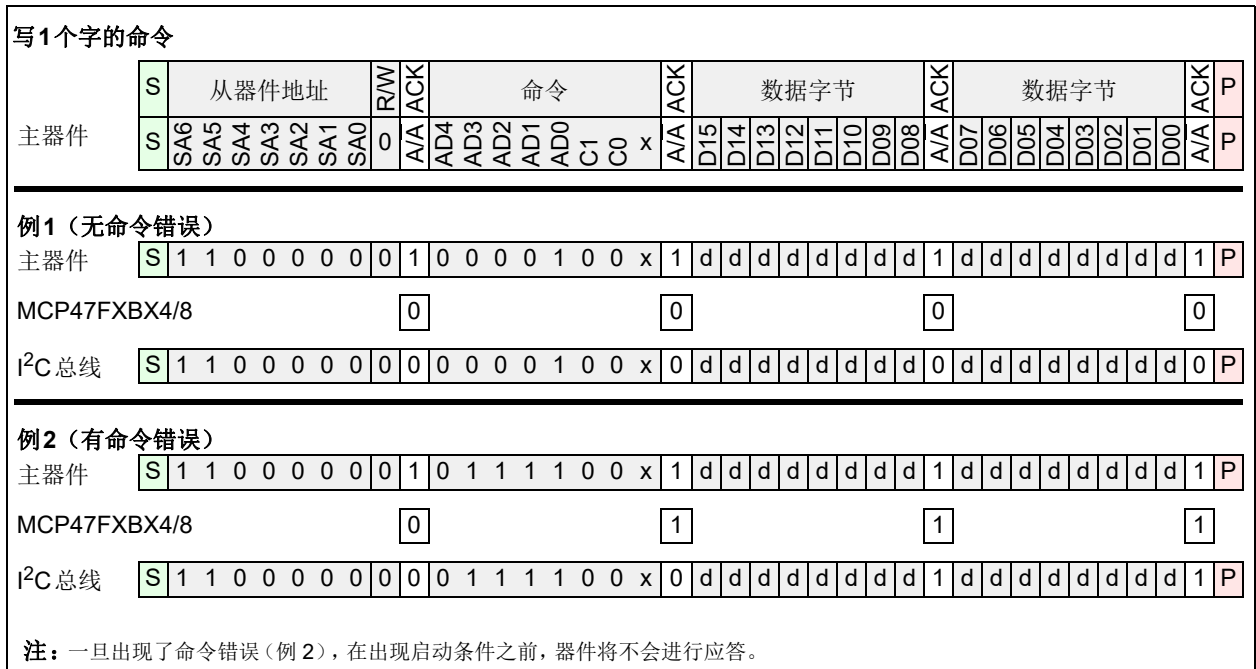
### 7.1.5 高电压命令（HVC）信号

高电压命令（High-Voltage Command, HVC）信号用于指示命令或命令序列处于高电压工作状态。借助HVC命令，可以使能和禁止器件的WiperLock技术和写保护功能。

**注:** 在 $\overline{LAT}$ （HVC）引脚从 $V_{IHEN}$ 电压转换为 $V_{IL}$ 电压之前，写入易失性DAC寄存器的内容不会传输到输出寄存器。



**图7-1:** 写随机地址命令 (易失性和非易失性存储器)



**图7-2:** I<sup>2</sup>C ACK/NACK 行为 (写命令示例)

# MCP47FBX4/8

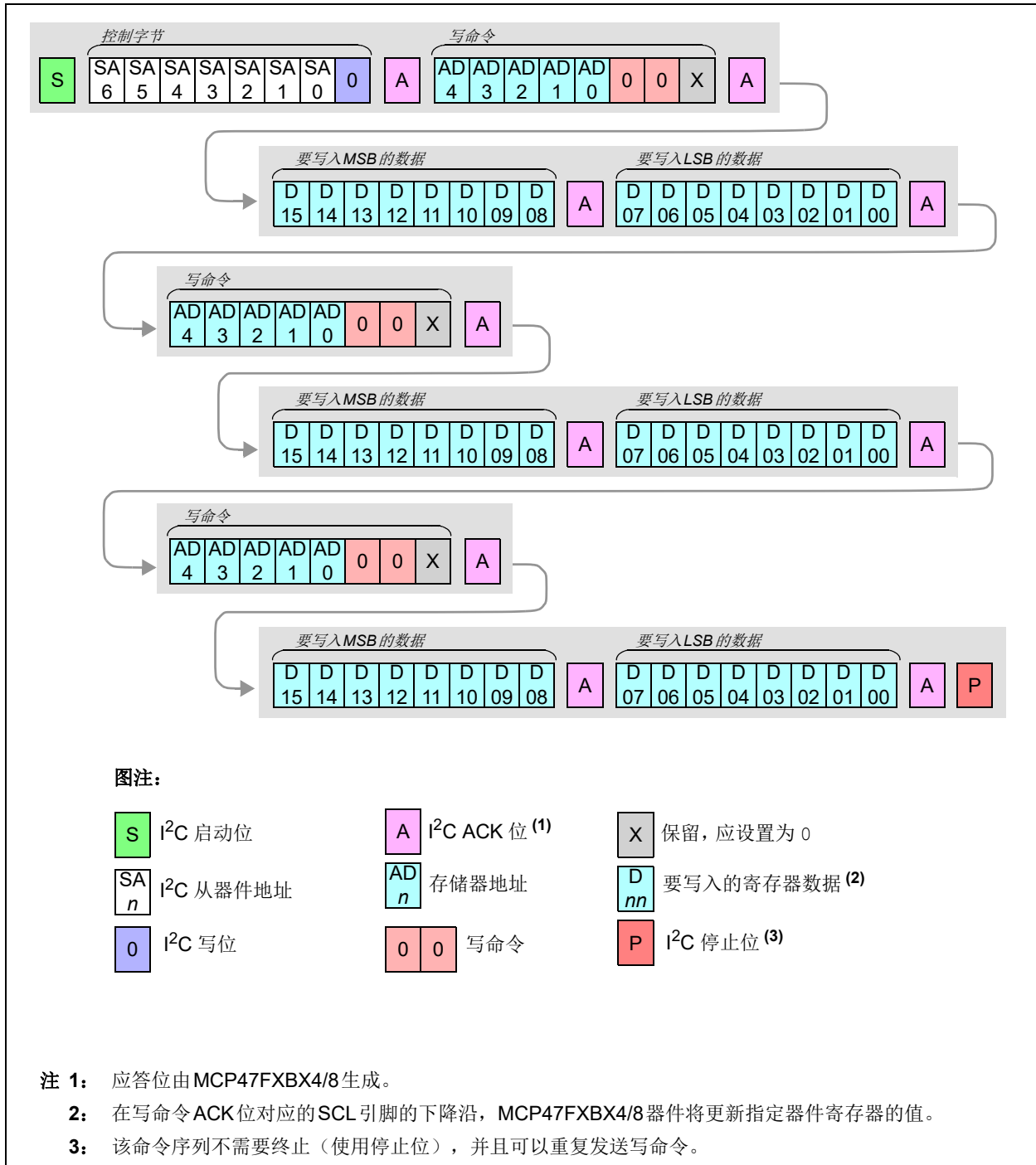


图7-3: 连续写命令 (仅限易失性存储器)

## 7.2 读命令（正常电压和高电压）

读命令用于将指定存储单元的数据传输到主控制器。读命令可以发送到易失性和非易失性存储单元。

在EEPROM写周期（写入非易失性存储单元或使能/禁止配置位命令）期间，读命令只能读取易失性存储单元。通过读取状态寄存器（0Ah），主控制器可确定写周期何时结束（通过EEWA位的状态）。

读命令格式包括：

- 单次读操作
  - 单个存储器地址
  - 最后访问的存储器地址
- 连续读操作

MCP47FXBX4/8 保留最后接收的器件存储器地址。也就是说，MCP47FXBX4/8 不会在重复启动条件或停止条件后破坏器件存储器地址。

在非易失性写周期（ $t_{WC}$ ）期间，如果地址指针指向非易失性存储单元，MCP47FXBX4/8将以 $\overline{A}$ 位进行响应。

- |  |
|--|
| <p><b>注 1:</b> 在器件通信期间，如果器件地址/命令组合无效或指定了未实现的地址，则MCP47FXBX4/8将不应答该字节。要复位I<sup>2</sup>C状态机，必须在I<sup>2</sup>C通信过程中检测到启动位。</p> <p><b>2:</b> 如果<math>\overline{LAT}</math>引脚为高电平（<math>V_{IH}</math>），则读取易失性DAC寄存器时将读取输出值，而非内部寄存器。</p> <p><b>3:</b> 读命令能否如常运行与高电压命令信号的状态无关。</p> |
|--|

### 7.2.1 单次读操作

读命令格式会写入两个字节，即控制字节和读命令字节（所需存储器地址和读命令），然后会发送一个重复启动条件。接着将发送第2个控制字节，但该控制字节指示I<sup>2</sup>C读操作（R/W位 = 1）。

#### 7.2.1.1 单个存储器地址

图7-4所示为用于读取特定存储器地址的序列。

#### 7.2.1.2 最后访问的存储器地址

图7-5所示为最后访问的存储单元的单次读操作的波形。

该命令可在检查EEPROM写活动（EEWA）位的状态时（见寄存器4-4）实现更快速的通信，前提是器件最后一条命令的寄存器地址为0Ah。

### 7.2.2 连续读操作

连续读操作允许快速读取器件的存储器。可以对所有存储单元执行连续读操作。如果发生非易失性存储器写周期，则读命令只能访问易失性存储单元。

图7-7给出了三次连续读操作的序列。

对于连续读操作，主机在数据完成传输后会继续读取数据字节，而非发送停止或重复启动条件。该序列以主器件不应答并发送停止或重复启动条件结束。

这对于读取系统状态寄存器（0Ah）以确定EEPROM写周期是否已完成（EEWA位）非常有用。

### 7.2.3 忽略I<sup>2</sup>C发送并“脱离”总线

MCP47FXBX4/8期望接收到完整、有效的I<sup>2</sup>C命令，并始终假定命令未被定义为有效的原因是总线损坏，因此会使SDA信号进入高电平无效状态。在接收到下一个有效的启动条件和控制字节之前，所有信号都将被忽略。

# MCP47FBX4/8

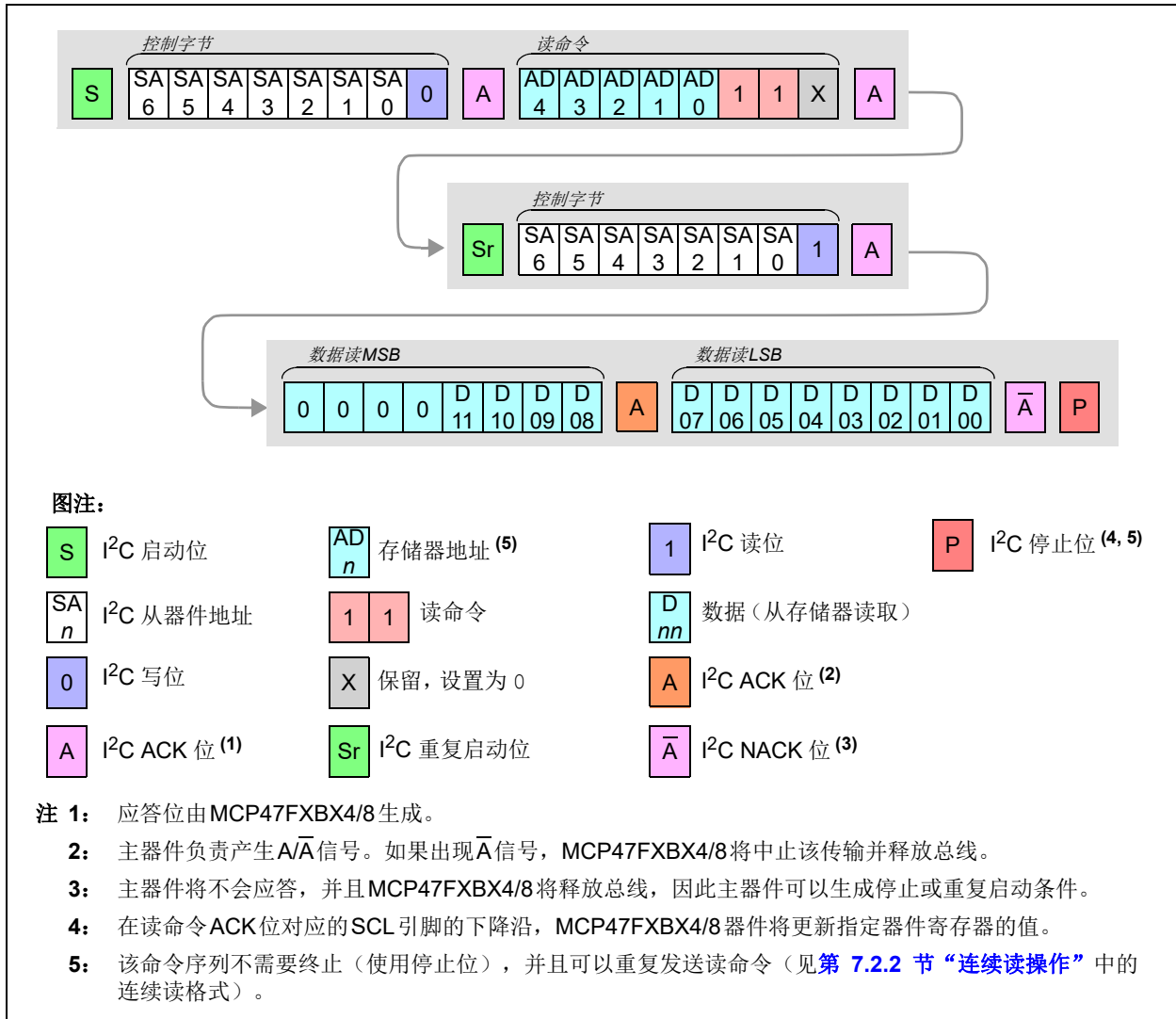
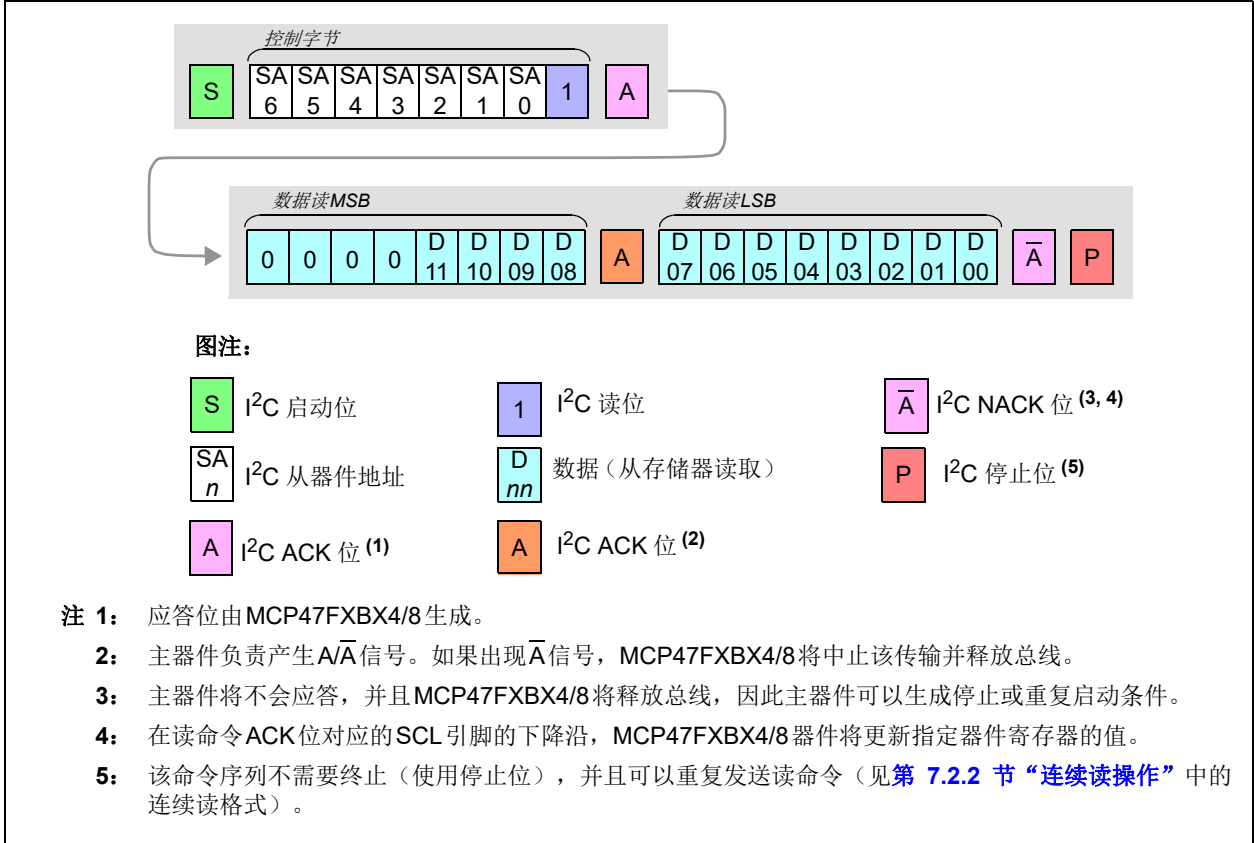


图7-4: 读命令——单个存储器地址





**图7-5:** 读命令——最后访问的存储器地址

# MCP47FBX4/8

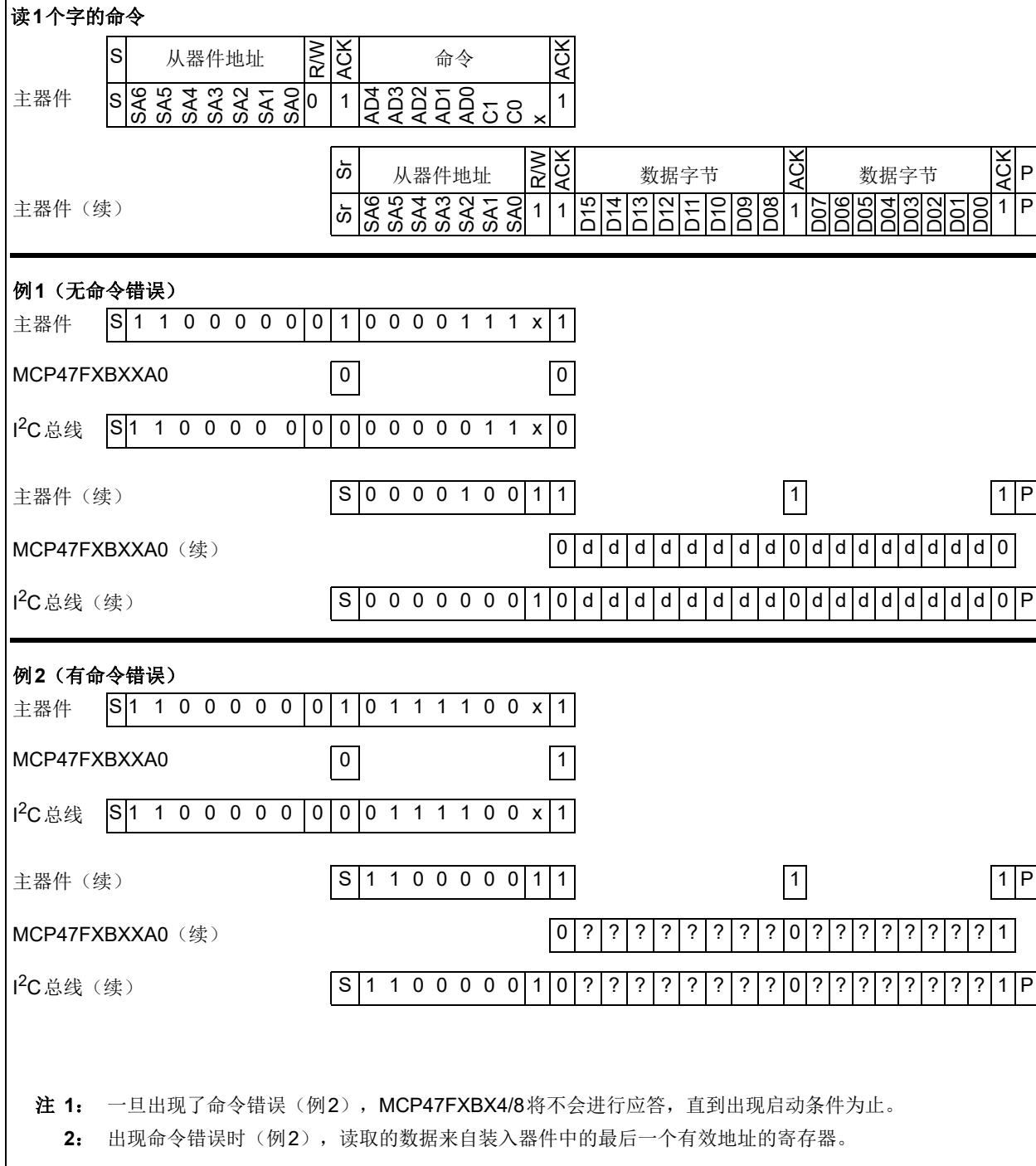


图7-6: I<sup>2</sup>C ACK/NACK 行为 (读命令示例)

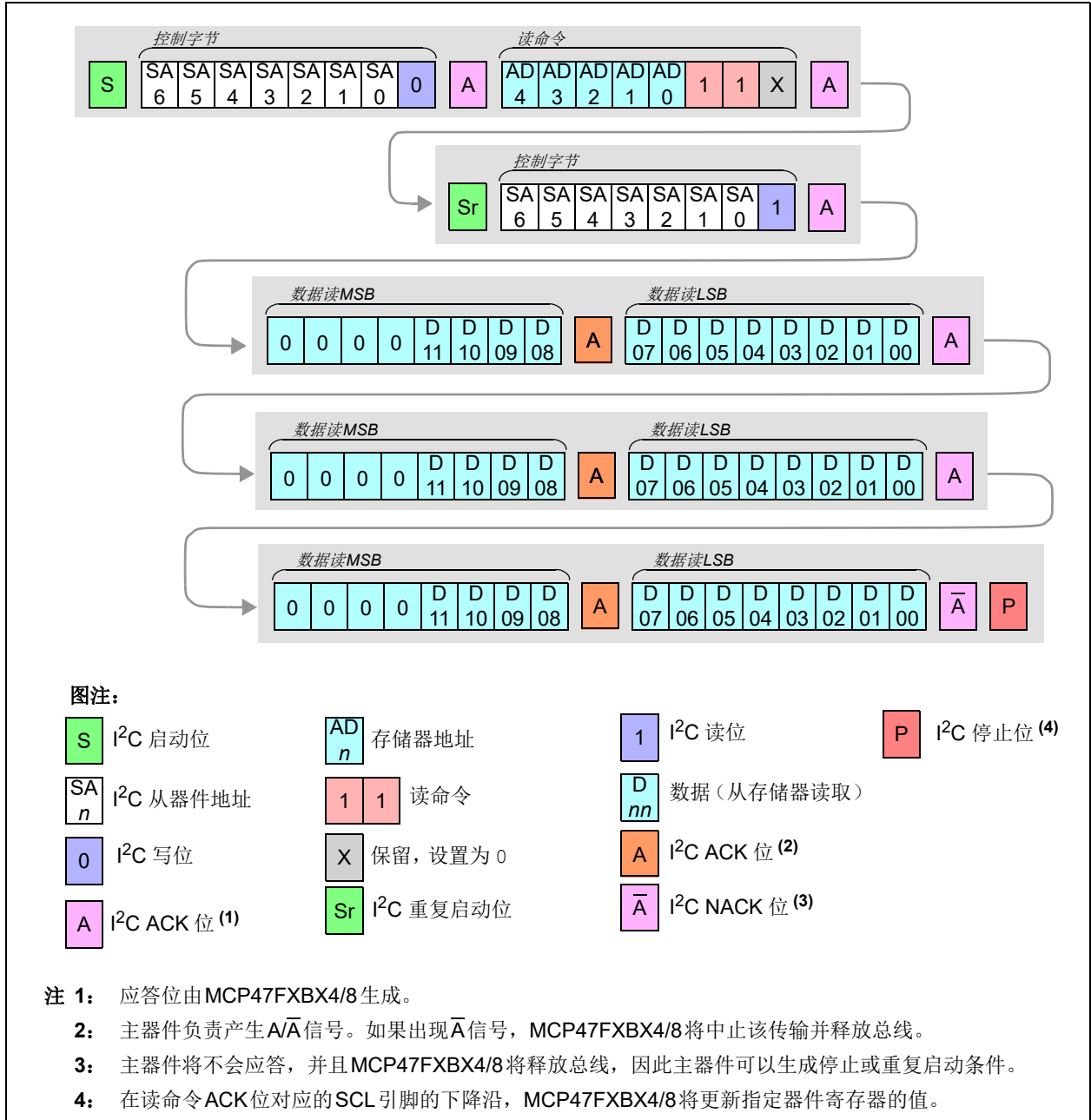


图7-7: 指定地址的连续读命令

# MCP47FBX4/8

## 7.3 广播呼叫命令

MCP47FBX4/8 可应答广播呼叫地址命令（第一个字节为00h）。通过广播呼叫命令，可同时与I<sup>2</sup>C总线上所有能够识别广播呼叫命令的器件进行通信。广播呼叫地址的含义始终在第二个字节中指定（见图7-8）。

根据规范，如果第二个字节的LSb为1，则表示“硬件广播呼叫”。在出现停止位（P）之前，MCP47FBX4/8将忽略该字节以及所有后续字节（和 $\bar{A}$ ）。

MCP47FBX4/8 器件支持以下I<sup>2</sup>C广播呼叫命令：

- 广播呼叫复位（06h）
- 广播呼叫唤醒（0Ah）

广播呼叫复位命令格式由I<sup>2</sup>C规范指定。广播呼叫唤醒命令是Microchip定义的格式。广播呼叫唤醒命令将唤醒所有器件（即退出掉电模式）。

另外两个I<sup>2</sup>C规范命令代码（04h和00h）不受支持。因此，这些命令不会得到应答。

如果这些7位命令与总线上的其他I<sup>2</sup>C器件存在冲突，则客户需要使用两条I<sup>2</sup>C总线并确保这些器件位于正确的总线上，从而实现所需的应用功能。

**注：** 有关广播呼叫规范的更多详细信息，请参见NXP规范#UM10204（版本03，2007年6月19日）文档。I<sup>2</sup>C规范不允许第二个字节为00000000（00h）。

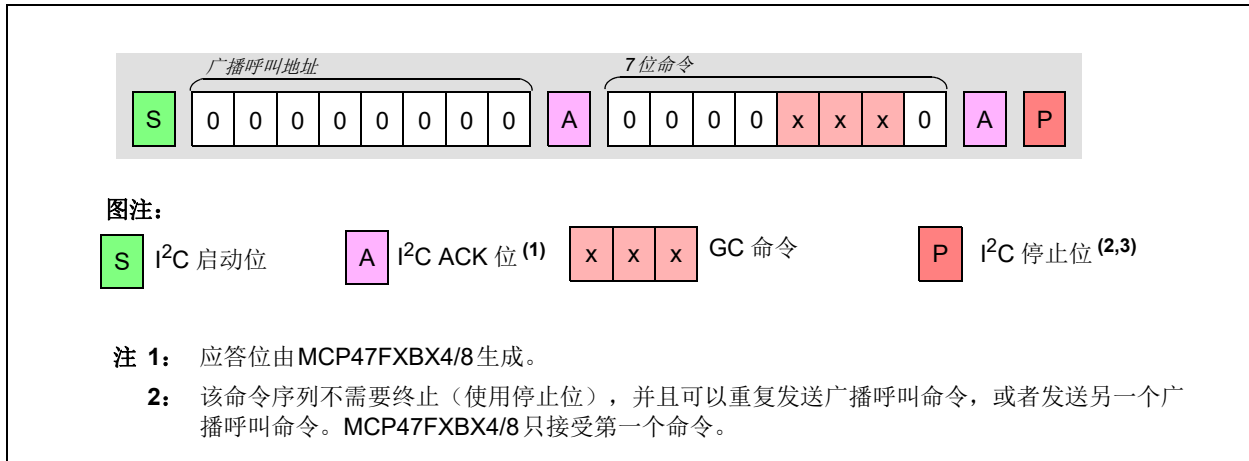


图7-8： 广播呼叫格式

## 7.3.1 广播呼叫复位

I<sup>2</sup>C广播呼叫复位命令会强制触发复位事件。这类似于上电复位，但复位延时定时器不会启动。该命令允许多个MCP47FXBX4/8器件同步复位。

如果第二个字节为00000110 (06h)，则器件将执行广播呼叫复位。在应答该字节时，器件将中止当前转换并执行以下任务：

- 类似于POR的内部复位。EEPROM的内容装入DAC寄存器，模拟输出在应答脉冲之后立即可用。
- V<sub>OUT</sub>将在应答脉冲之后经过一段短暂延时即可用。V<sub>OUT</sub>值由EEPROM内容决定。

## 7.3.2 广播呼叫唤醒

I<sup>2</sup>C广播呼叫唤醒命令会强制器件退出掉电状态（将PDnB:PDnA位强制设为00）。该命令允许多个MCP47FXBX4/8器件同步唤醒。

如果第二个字节（广播呼叫地址之后）为00001010 (0Ah)，则器件将执行广播呼叫唤醒。在应答该字节时，器件将执行以下任务：将器件的易失性掉电位（PDnB:PDnA）强制设为00。非易失性（EEPROM）掉电位的值不受该命令影响。

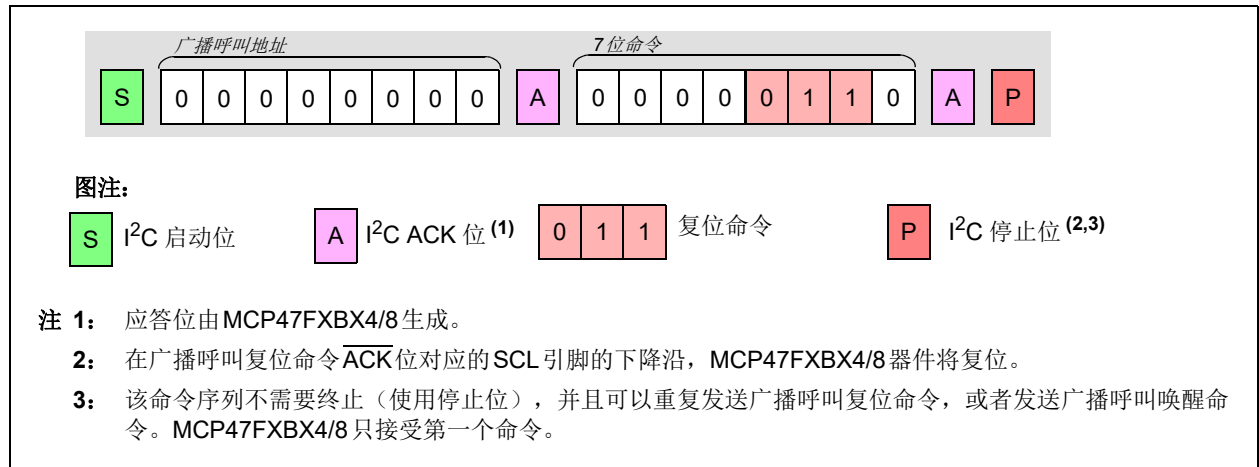


图7-9: 广播呼叫复位命令

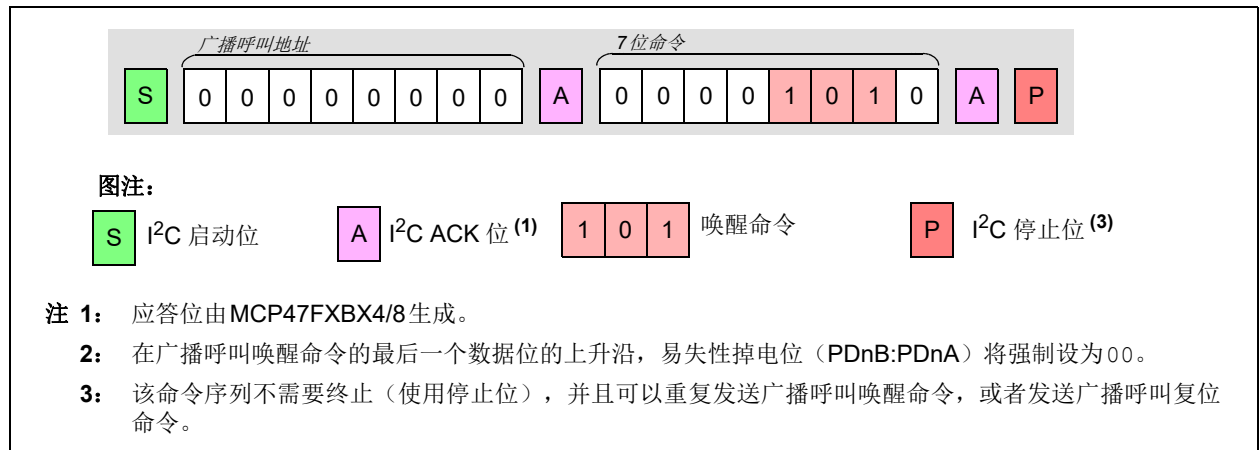


图7-10: 广播呼叫唤醒命令

# MCP47FXBX4/8

## 7.4 修改器件配置位命令

这些命令用于编程器件配置位。这些命令需要HVC引脚为高电压（ $V_{IHH}$ ）。

MCP47FXBX4/8 器件支持以下修改器件配置位命令：

- 使能配置位（高电压）
- 禁止配置位（高电压）

这些配置位用于防止意外修改DAC值。

### 7.4.1 高电压命令（HVC）信号

高电压命令信号用于指示命令或命令序列处于高电压模式。当HVC引脚上的信号  $> V_{IHH}$ （约9.0V）时，器件将进入高电压模式。借助高电压命令，可以使能和禁止器件的WiperLock技术和写保护功能。

**注 1：** 当HVC引脚驱动至  $V_{IHH}$  电压后，需要经过一段延时SCL引脚上才会出现第1个边沿。

**2：** 向非易失性存储单元发出使能或禁止命令将导致出现错误条件（将生成A）。

### 7.4.2 使能配置位（高电压）

图7-11给出了单个修改写保护或WiperLock技术命令的格式。

修改写保护或WiperLock技术命令需等待至接收到正确格式的命令且出现停止条件后才会启动EEPROM写周期（ $t_{wc}$ ）。在EEPROM写周期中，仅接受对易失性存储器的串行命令。在EEPROM写周期（ $t_{wc}$ ）完成之前，所有其他串行命令都将被忽略。此时，主控制器可以对易失性DAC、易失性 $V_{REF}$ 、掉电、增益、状态和WiperLock技术状态寄存器进行操作。状态寄存器中的EEWA位用于指示EEPROM写周期的状态。

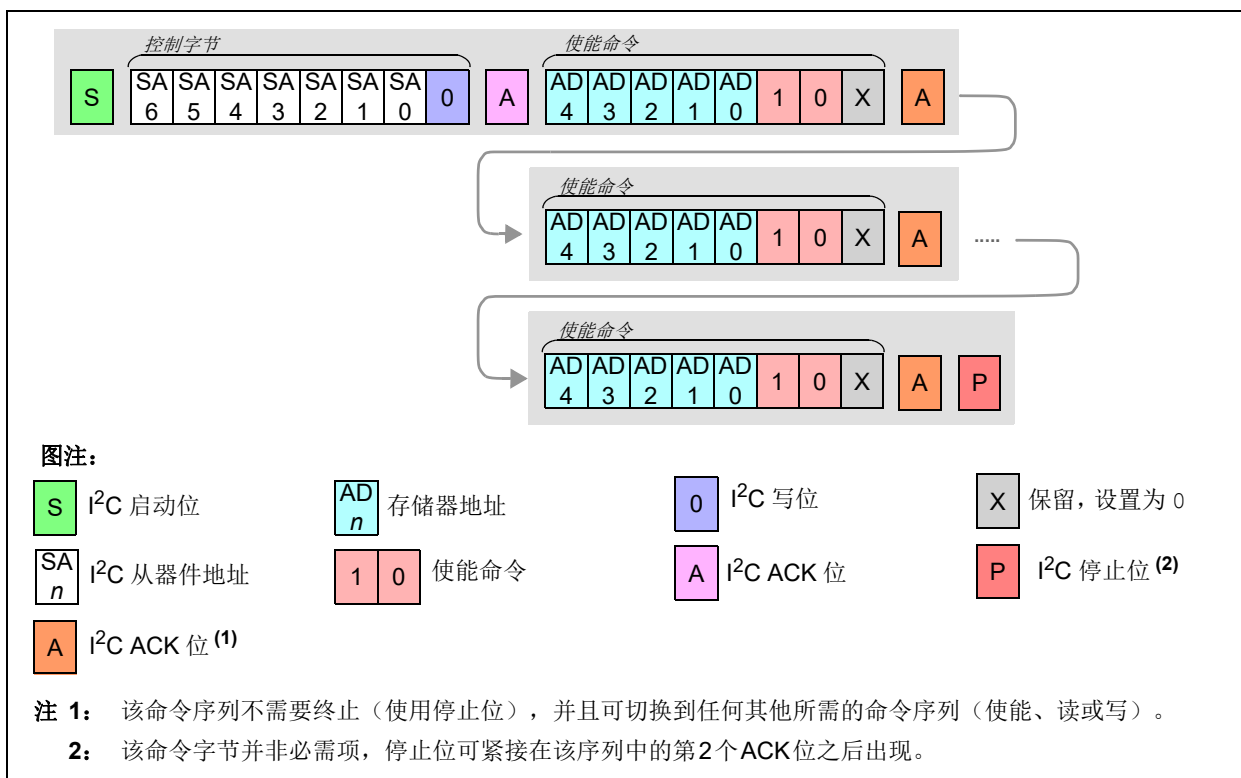


图7-11: I<sup>2</sup>C 使能命令序列

## 7.4.3 禁止配置位（高电压）

图7-12给出了单个修改写保护或WiperLock技术命令的格式。

修改写保护或WiperLock技术命令需等待至接收到正确格式的命令且出现停止条件后才会启动EEPROM写周期（ $t_{wc}$ ）。

在EEPROM写周期中，仅接受对易失性存储器的串行命令。在EEPROM写周期（ $t_{wc}$ ）完成之前，所有其他串行命令都将被忽略。此时，主控制器可以对易失性DAC、易失性 $V_{REF}$ 、掉电、增益、状态和WiperLock技术状态寄存器进行操作。状态寄存器中的EEWA位用于指示EEPROM写周期的状态。

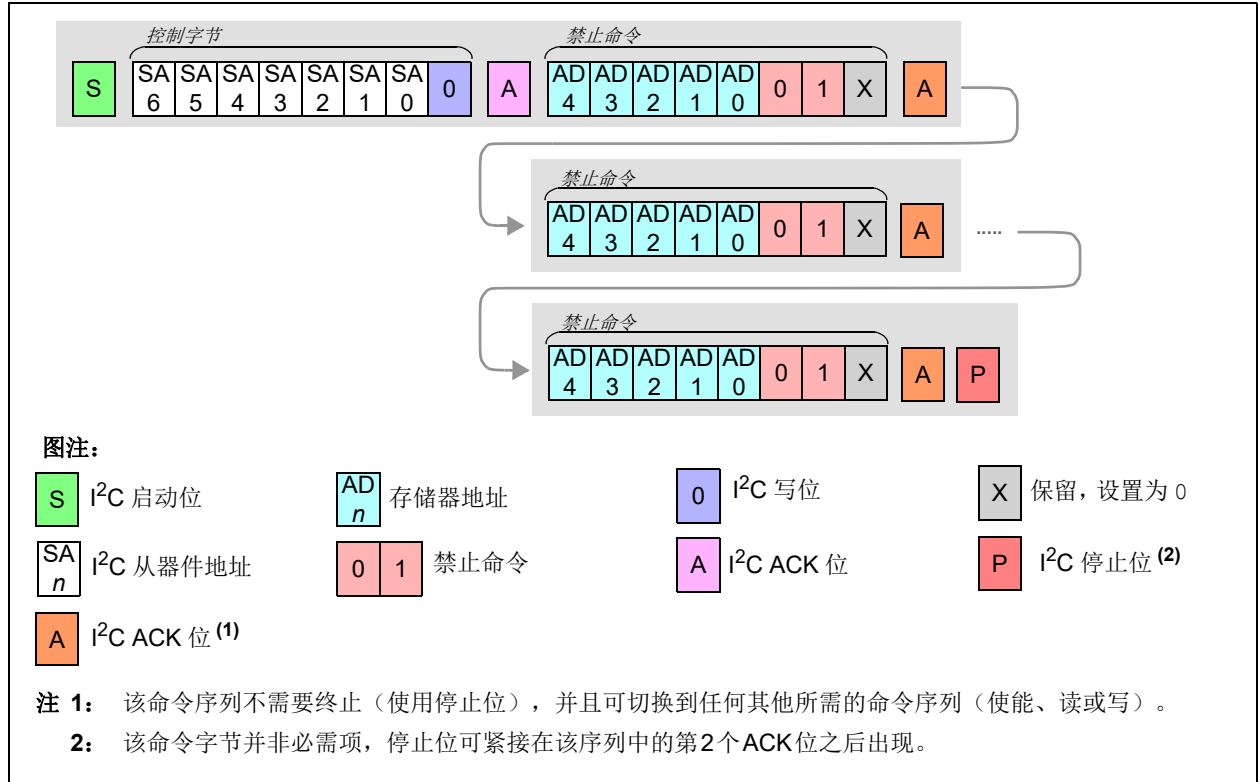


图7-12: I<sup>2</sup>C 禁止命令序列

# MCP47FXBX4/8

---

---

注:



## 8.0 应用信息

MCP47FXBX4/8 器件是通用四/八通道电压输出 DAC，适用于需要以低功耗和非易失性 EEPROM 存储器执行高精度操作的各类应用。

由于器件包含非易失性 EEPROM 存储器，因此用户可将这些器件用于要求输出在后续上电时恢复先前设定值的应用。

### 8.1 I<sup>2</sup>C 总线连接注意事项

#### 8.1.1 使用上拉电阻连接 I<sup>2</sup>C 总线

MCP47FXBX4/8 器件的 SCL 和 SDA 引脚采用漏极开路配置。这些引脚需要上拉电阻，如图 8-3 所示。

SCL 和 SDA 引脚的上拉电阻值 ( $R_1$  和  $R_2$ ) 取决于 I<sup>2</sup>C 总线的工作速度 (标准、快速和高速) 和负载电容。上拉电阻值越高，功耗就越低，但会延长总线上的信号转换时间 (较高的 RC 时间常数)，因此会限制总线工作速度。另一方面，电阻值越低，功耗就越高，但可提高工作速度。如果总线由于金属走线较长或多个器件连接到总线而具有较高的电容，则需要使用一个较小的上拉电阻来对较大的 RC 时间常数进行补偿。对于标准和快速模式，通常在 1 k $\Omega$  和 10 k $\Omega$  范围内选择上拉电阻；对于高速模式，通常选择 1 k $\Omega$  以下的上拉电阻。

#### 8.1.2 器件连接测试

用户可以使用简单的 I<sup>2</sup>C 命令测试 I<sup>2</sup>C 总线上是否存在器件。该测试的实现方式是：先发送一条 READ 或写命令，然后检查器件的应答响应。图 8-1 给出了使用读命令的一个示例。具体步骤如下：

1. 将器件地址字节中的  $\overline{R/W}$  位设置为“高电平”。
2. 检查地址字节的 ACK 位。  
如果器件应答 (ACK = 0) 命令，则说明器件已连接，否则说明器件尚未连接。
3. 发送停止位。

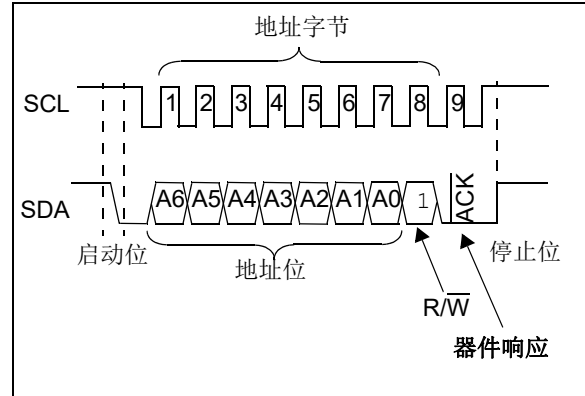


图8-1: I<sup>2</sup>C 总线连接测试

#### 8.1.3 I<sup>2</sup>C 接口软件复位序列

**注：** AN1028 中介绍了该技术。

有时可能需要执行软件复位序列以确保 MCP47FXBX4/8 器件处于正确且已知的 I<sup>2</sup>C 接口状态。该技术只会复位 I<sup>2</sup>C 状态机。

如果 MCP47FXBX4/8 器件以不正确的状态 (由于总线噪声过大等原因) 上电或主器件在通信期间复位，就可使用软件复位来应对。图 8-2 所示为对器件进行软件复位时的通信序列。

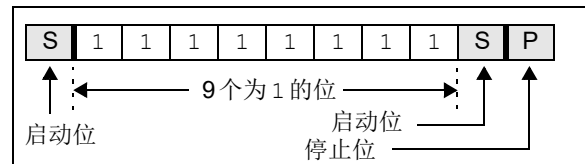


图8-2: 软件复位序列格式

第 1 个启动位将使器件从接收主器件数据时的预期状态复位。在此模式下，器件将在接收模式下监视数据总线，并可检测启动位是否强制执行内部复位。

9 个为 1 的位用于强制复位前一个启动位无法复位的器件。只有 MCP47FXBX4/8 器件在 I<sup>2</sup>C 总线上驱动 A 位，或者它处于输出模式 (由于读命令) 且正在 I<sup>2</sup>C 总线上驱动为“0”的数据位时，才会触发该操作。在这两种情况下，由于 MCP47FXBX4/8 使总线保持低电平，因此无法生成前一个启动位。发送 9 个为 1 的位可确保器件检测到 A 位 (主器件不会通过将 I<sup>2</sup>C 总线驱动为低电平来应答 MCP47FXBX4/8 发送的数据)，这样也会强制 MCP47FXBX4/8 执行复位。

# MCP47FXBX4/8

发送第二个启动位是为了解决极少数条件下会发生的错误写操作。如果主器件在向MCP47FXBX4/8发送写命令时发生复位，并且随后在主器件返回到正常工作状态并发出启动条件时MCP47FXBX4/8器件正在发出应答，则可能发生这种情况。此时，如果未发送第二个启动位（已发送停止位），则MCP47FXBX4/8可能会发起写周期。

**注：** 只有当主器件在向MCP47FEBXX发送写命令时发生复位，才会发生这种错误写操作。

停止位会终止当前I<sup>2</sup>C总线活动。MCP47FXBX4/8会等待检测到下一个启动条件。

该序列不会影响总线上的任何其他I<sup>2</sup>C器件，因为这些器件会将该序列视为无效命令而直接忽略。

## 8.2 电源注意事项

电源应尽可能干净。如果选择内部V<sub>DD</sub>作为梯形电阻网络的参考电压（VR<sub>nB</sub>:VR<sub>nA</sub> = 00），则器件的电源还将在内部用于DAC参考电压。

V<sub>DD</sub>线上引入的任何噪声均会影响DAC性能。典型应用需要通过旁路电容来滤除V<sub>DD</sub>线上的高频噪声。产生噪声的原因可能是电源走线，也可能是DAC输出的变化。旁路电容有助于最大限度地降低这些噪声源对信号完整性的影响。图8-3所示为在V<sub>DD</sub>线上并联使用了两个旁路电容（一个10 μF钽电容和一个0.1 μF陶瓷电容）的示例。这些电容应尽可能靠近V<sub>DD</sub>引脚（4 mm以内）。如果应用电路有单独的数和模拟电源，则器件的V<sub>DD</sub>和V<sub>SS</sub>引脚应位于模拟平面上。

将器件参考电压设置为带隙模式时，不建议使用V<sub>REF</sub>引脚去耦电容。

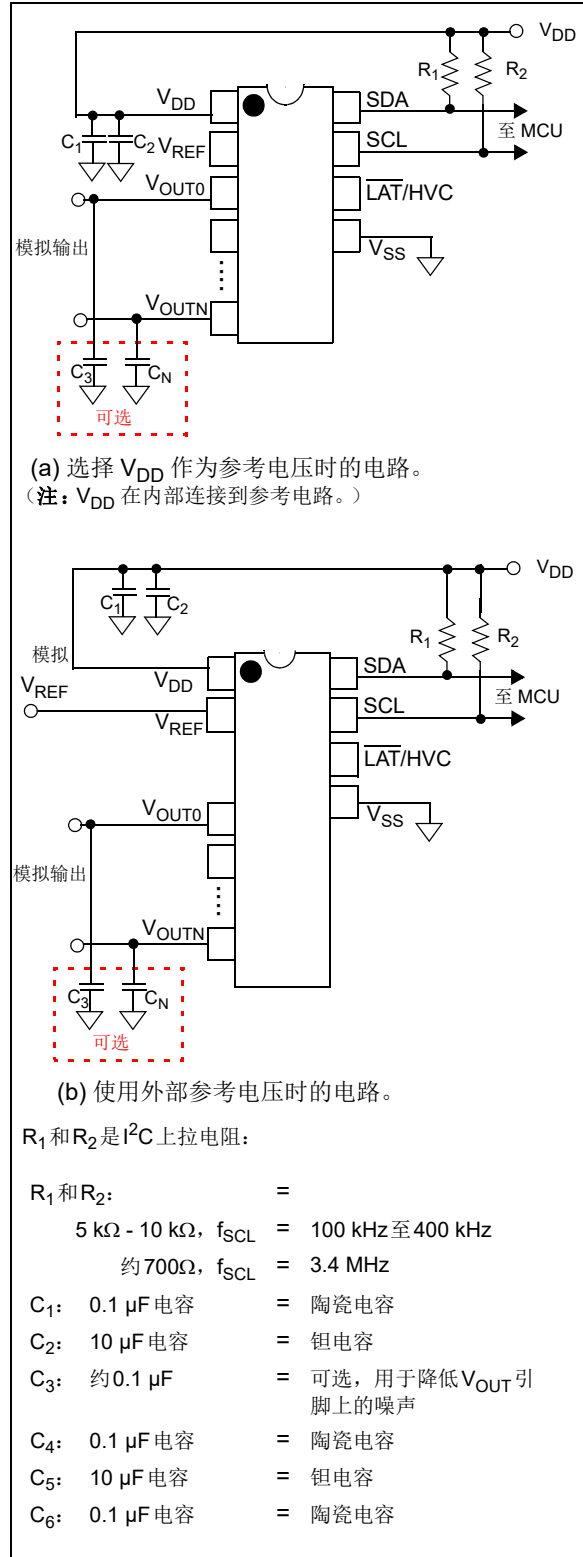


图8-3: 电路示例

## 8.3 布线注意事项

以下布线注意事项可能适用于您的应用：

- 噪声
- PCB 面积要求

### 8.3.1 噪声

对于特别恶劣的环境，可能需要对关键信号进行屏蔽保护。电感耦合交流瞬变和数字开关噪声可能会降低输入和输出信号的完整性，进而影响MCP47FXBX4/8的性能。精心的电路板布线可最大限度地降低这些影响并提高信噪比（Signal-to-Noise Ratio, SNR）。

采用低电感地平面、隔离输入、隔离输出和适当去耦的多层电路板对于实现芯片能够提供的性能至关重要。

建议使用独立的数字和模拟地平面。在这种情况下，V<sub>SS</sub>引脚和V<sub>DD</sub>电容的接地引脚应端接到模拟地平面。

**注：** 建议不要使用面包板和绕线电路板。

### 8.3.2 PCB面积要求

在某些应用中，PCB面积是器件选型的标准之一。表8-1列出了不同封装选项的典型封装尺寸和面积。

表8-1： 封装尺寸<sup>(1)</sup>

封装			封装尺寸		
引脚数	类型	代码	尺寸 (mm)		面积 (mm <sup>2</sup> )
			长度	宽度	
20	TSSOP	ST	3.00	4.90	14.70
20	VQFN	MQ	5	5	25

**注 1：** 不包括建议的焊盘布局尺寸，尺寸为典型值。

# MCP47FXBX4/8

---

---

注:

## 9.0 开发支持

开发支持可分为两类，具体如下：

- [开发工具](#)
- [技术文档](#)

### 9.1 开发工具

有几种开发工具可以帮助您设计和评估MCP47FBX4/8器件。表9-1列出了当前可获得的工具。

图9-1说明了如何安装TSSOP20EV外合PCB来轻松评估MCP47FBX4/8器件。PICKit™ 串行分析器可用于控制DAC输出寄存器以及配置、控制和状态寄存器的状态。

TSSOP20EV电路板可直接从Microchip网站[www.microchip.com](http://www.microchip.com)购买。

表9-1： 开发工具（注1）

开发板名称	部件编号	备注
20引脚TSSOP和SSOP评估板	TSSOP20EV	最灵活的选项——推荐的外合PCB

注 1： 支持PICKit串行分析器。更多信息和要求，请参见用户指南。

表9-2： 技术文档

应用笔记编号	标题	文献编号
AN1326	《利用MCP4728 12位DAC设计LDMOS放大器偏置电压控制应用》	DS01326A_CN
—	《信号链设计指南》	DS21825G_CN
—	《汽车应用模拟解决方案设计指南》	DS01005B_CN

# MCP47FBX4/8

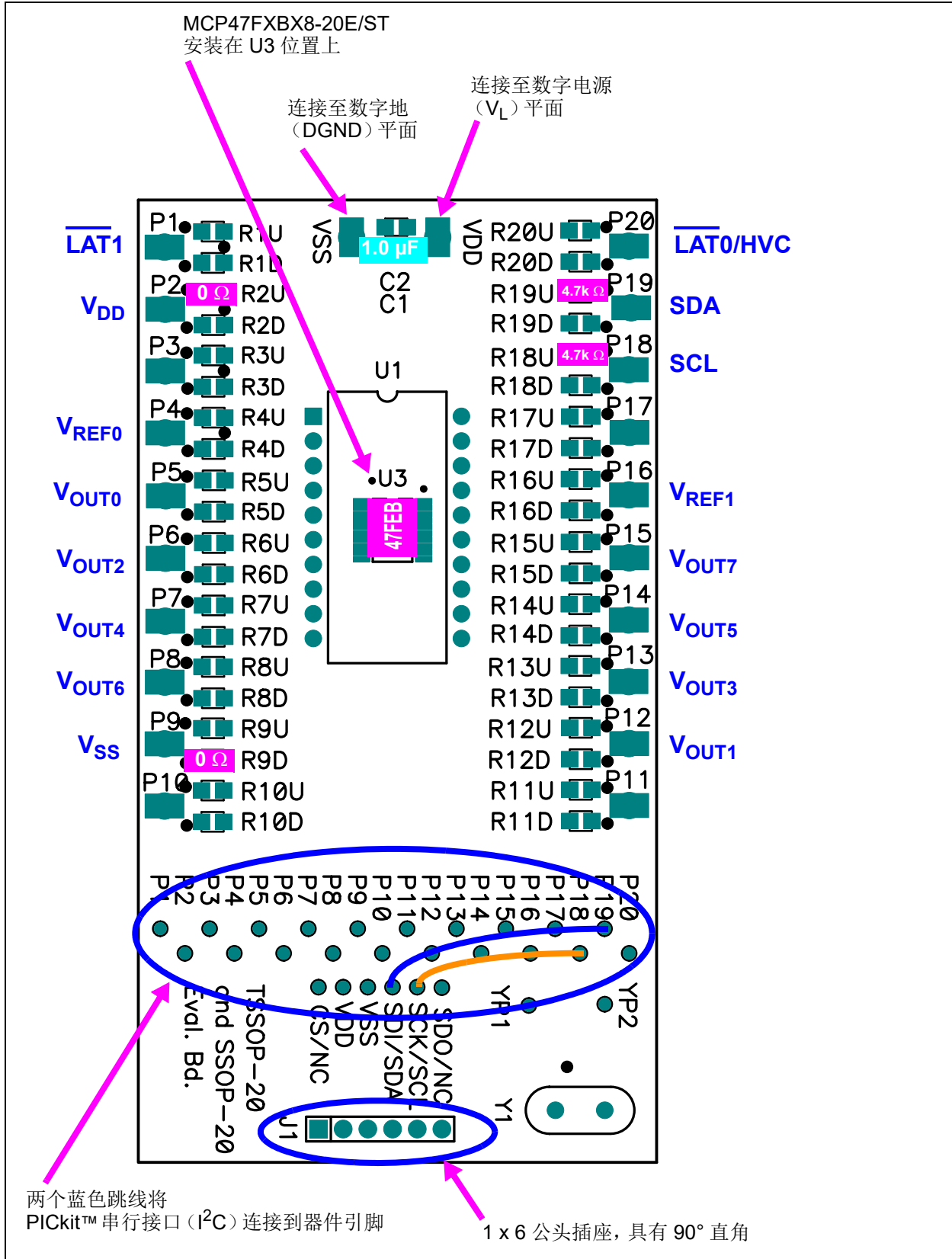


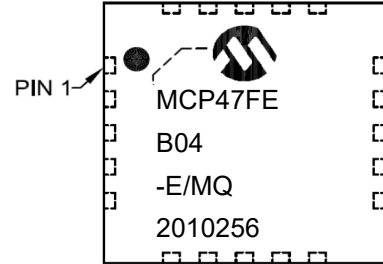
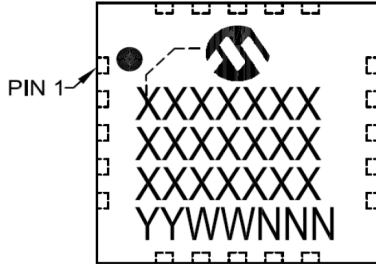
图9-1: 使用TSSOP20EV的MCP47FBX4/8 评估板电路

## 10.0 封装信息

### 10.1 封装标识信息

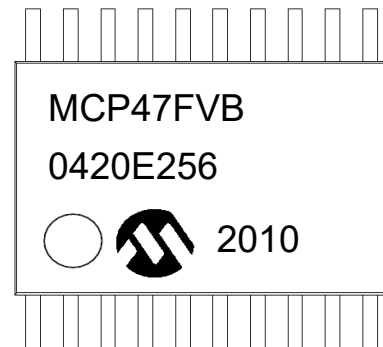
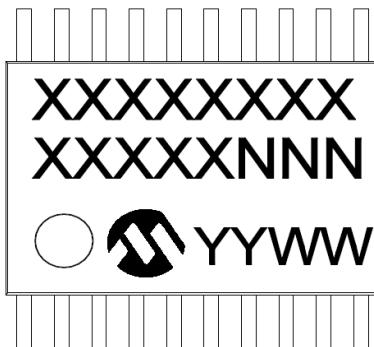
20 引脚 5 x 5 mm VQFN

示例



20 引脚 TSSOP

示例

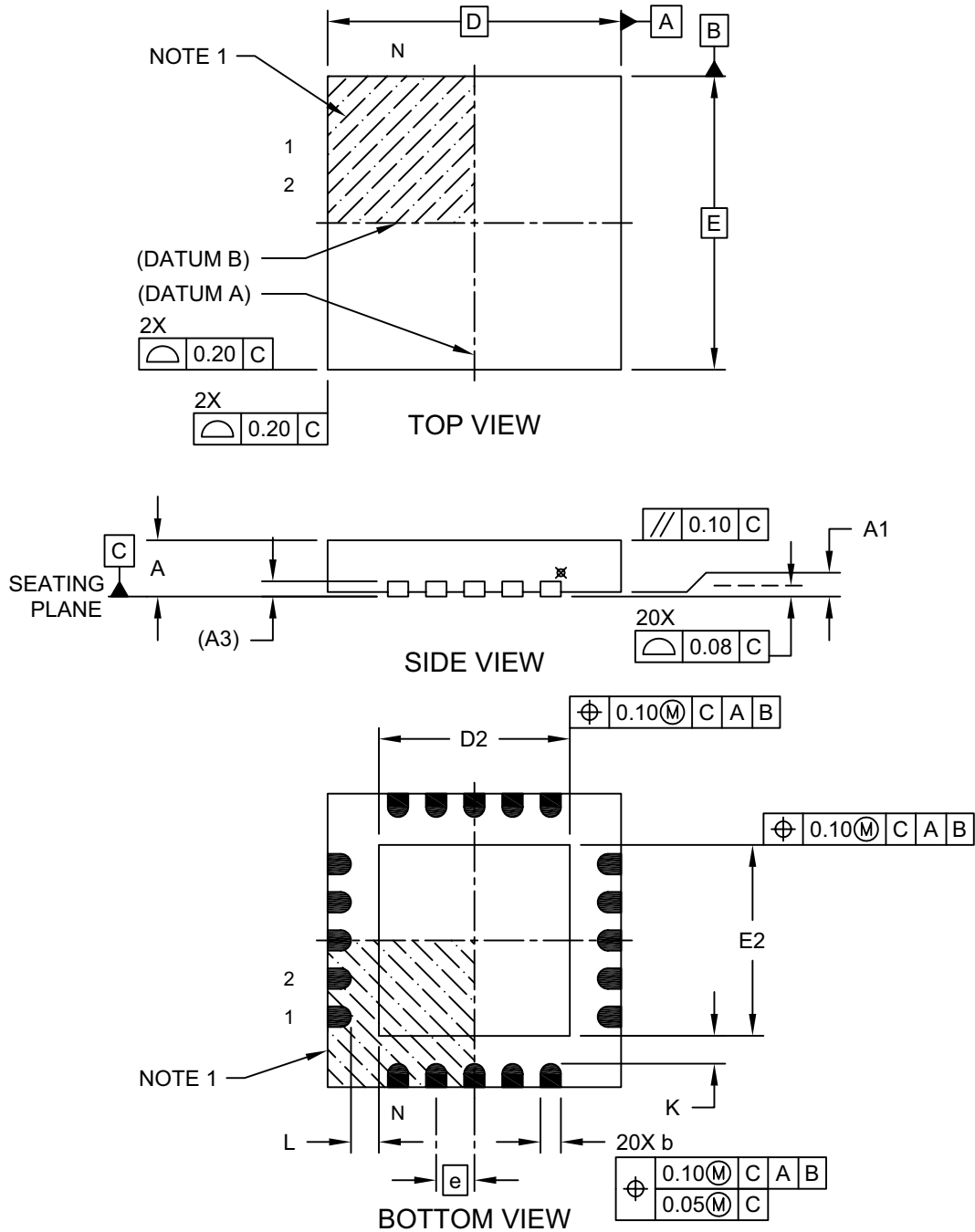


<b>图注:</b>	XX...X	客户指定信息
	Y	年份代码 (日历年的最后一位数字)
	YY	年份代码 (日历年的最后两位数字)
	WW	星期代码 (一月一日的星期代码为“01”)
	NNN	由字母数字组成的追踪代码
	(e3)	雾锡 (Sn) 的 JEDEC 无铅标志
	*	本封装为无铅封装。JEDEC 无铅标志 ((e3)) 标示于此种封装的外包装上。
<b>注:</b>	Microchip 部件编号如果无法在同一行内完整标注, 将换行标出, 因此会限制表示客户指定信息的字符数。	

# MCP47FBX4/8

20 引脚塑封正方扁平无引线封装 (MQ) —— 主体 5x5x1.0 mm [VQFN], 触点长度为 0.40 mm

注: 最新封装图请至 <http://www.microchip.com/packaging> 查看 Microchip 封装规范。



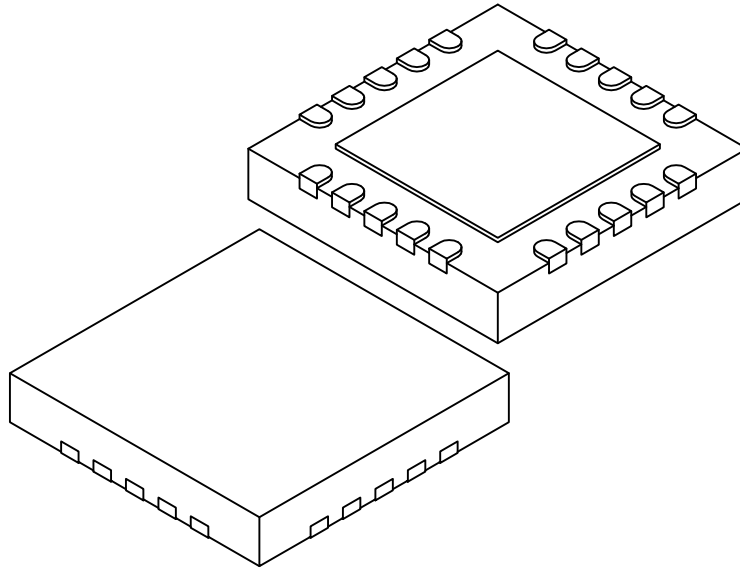
Microchip Technology Drawing C04-139C (MQ) Sheet 1 of 2



# MCP47FXBX4/8

20 引脚塑封正方扁平无引线封装 (MQ) —— 主体 5x5x1.0 mm [VQFN],  
触点长度为 0.40 mm

注： 最新封装图请至 <http://www.microchip.com/packaging> 查看 Microchip 封装规范。



Units		MILLIMETERS		
Dimension Limits		MIN	NOM	MAX
Number of Terminals	N	20		
Pitch	e	0.65 BSC		
Overall Height	A	0.80	0.90	1.00
Standoff	A1	0.00	0.02	0.05
Contact Thickness	(A3)	0.20 REF		
Overall Length	D	5.00 BSC		
Exposed Pad Length	D2	3.15	3.25	3.35
Overall Width	E	5.00 BSC		
Exposed Pad Width	E2	3.15	3.25	3.35
Contact Width	b	0.25	0.30	0.35
Contact Length	L	0.35	0.40	0.45
Contact-to-Exposed Pad	K	0.20	-	-

Notes:

1. Pin 1 visual index feature may vary, but must be located within the hatched area.
2. Package is saw singulated
3. Dimensioning and tolerancing per ASME Y14.5M

BSC: Basic Dimension. Theoretically exact value shown without tolerances.

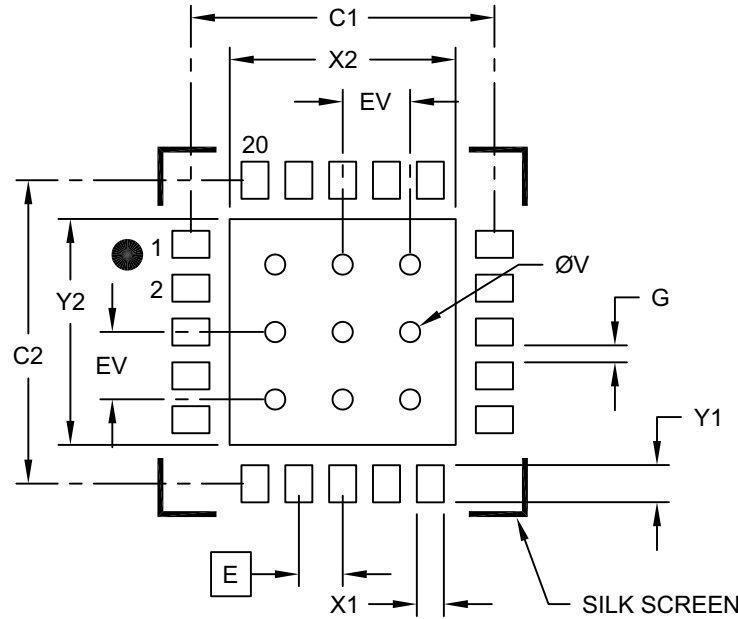
REF: Reference Dimension, usually without tolerance, for information purposes only.

Microchip Technology Drawing C04-139C (MQ) Sheet 2 of 2

# MCP47FBX4/8

20 引脚塑封正方扁平无引线封装 (MQ) —— 主体 5x5x1.0 mm [VQFN],  
触点长度为 0.40 mm

注：最新封装图请至 <http://www.microchip.com/packaging> 查看 Microchip 封装规范。



## RECOMMENDED LAND PATTERN

Dimension Limits	Units	MILLIMETERS		
		MIN	NOM	MAX
Contact Pitch	E	0.65 BSC		
Optional Center Pad Width	W2			3.35
Optional Center Pad Length	T2			3.35
Contact Pad Spacing	C1		4.50	
Contact Pad Spacing	C2		4.50	
Contact Pad Width (X20)	X1			0.40
Contact Pad Length (X20)	Y1			0.55
Distance Between Pads	G	0.20		
Thermal Via Diameter	V		0.30	
Thermal Via Pitch	EV		1.00	

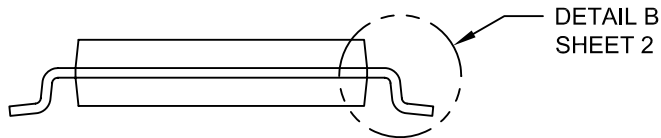
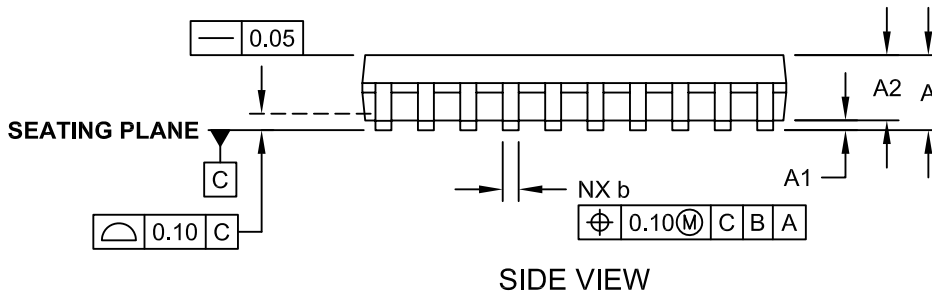
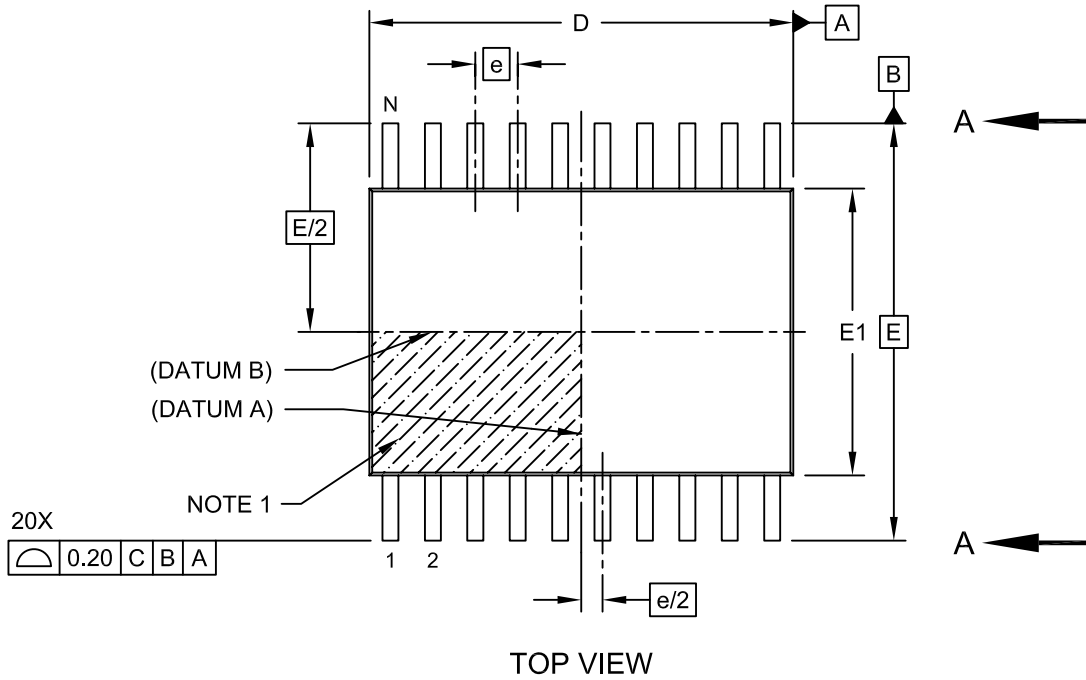
### Notes:

- Dimensioning and tolerancing per ASME Y14.5M  
BSC: Basic Dimension. Theoretically exact value shown without tolerances.
- For best soldering results, thermal vias, if used, should be filled or tented to avoid solder loss during reflow process

Microchip Technology Drawing C04-2139B (MQ)

## 20 引脚塑封薄型紧缩小外形封装 (ST) —— 主体 4.4 mm [TSSOP]

注： 最新封装图请至 <http://www.microchip.com/packaging> 查看 Microchip 封装规范。

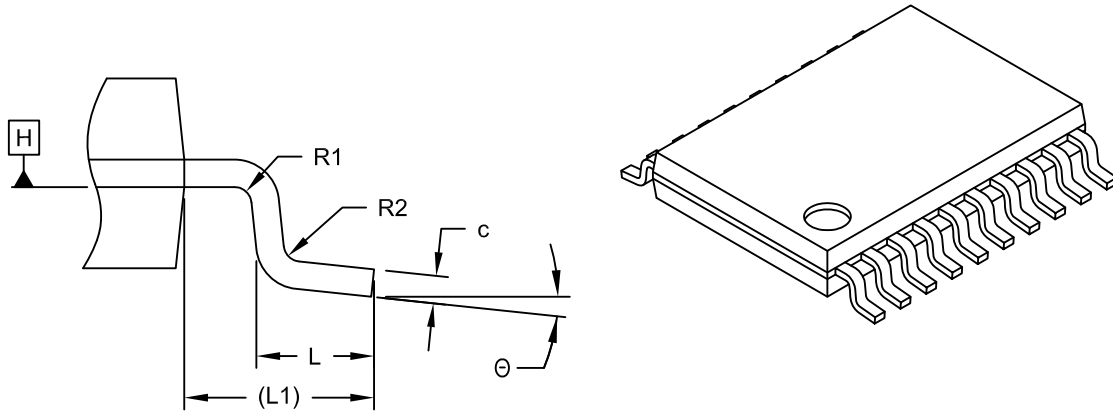


Microchip Technology Drawing C04-088C Sheet 1 of 2

# MCP47FBX4/8

## 20 引脚塑封薄型紧缩小外形封装 (ST) —— 主体 4.4 mm [TSSOP]

注：最新封装图请至 <http://www.microchip.com/packaging> 查看 Microchip 封装规范。



DETAIL B

Dimension Limits	Units	MILLIMETERS		
		MIN	NOM	MAX
Number of Pins	N	20		
Pitch	e	0.65 BSC		
Overall Height	A	-	-	1.20
Molded Package Thickness	A2	0.80	1.00	1.05
Standoff	A1	0.05	-	0.15
Overall Width	E	6.40 BSC		
Molded Package Width	E1	4.30	4.40	4.50
Molded Package Length	D	6.40	6.50	6.60
Foot Length	L	0.45	0.60	0.75
Footprint	L1	1.00 REF		
Foot Angle	$\Theta$	0°	-	8°
Lead Width	b	0.19	-	0.30
Lead Thickness	c	0.09	-	0.20
Bend Radius	R1	0.09	-	-
Bend Radius	R2	0.09	-	-

Notes:

- Pin 1 visual index feature may vary, but must be located within the hatched area.
- Dimensions D and E1 do not include mold flash or protrusions. Mold flash or protrusions shall not exceed 0.15mm per side.
- Dimensioning and tolerancing per ASME Y14.5M

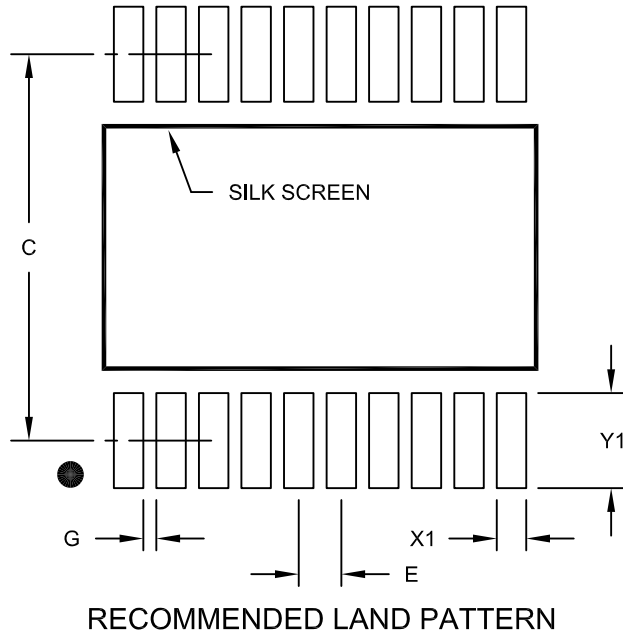
BSC: Basic Dimension. Theoretically exact value shown without tolerances.

REF: Reference Dimension, usually without tolerance, for information purposes only.

Microchip Technology Drawing C04-088C Sheet 2 of 2

## 20 引脚塑封薄型紧缩小外形封装 (ST) —— 主体 4.4 mm [TSSOP]

注：最新封装图请至 <http://www.microchip.com/packaging> 查看 Microchip 封装规范。



		Units	MILLIMETERS		
		Dimension Limits	MIN	NOM	MAX
Contact Pitch	E		0.65 BSC		
Contact Pad Spacing	C			5.90	
Contact Pad Width (X20)	X1				0.45
Contact Pad Length (X20)	Y1				1.45
Distance Between Pads	G	0.20			

**Notes:**

1. Dimensioning and tolerancing per ASME Y14.5M

BSC: Basic Dimension. Theoretically exact value shown without tolerances.

Microchip Technology Drawing No. C04-2088A

# MCP47FXBX4/8

---

---

注:

## 附录 A: 版本历史

### 版本 A (2020年6月)

- 本文档的初始版本。

# MCP47FXBX4/8

---

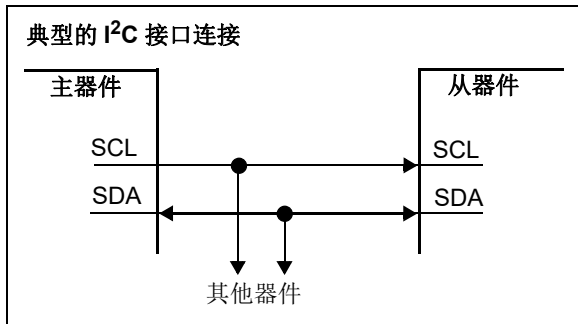
---

注:



## 附录B: I<sup>2</sup>C 串行接口

I<sup>2</sup>C 接口是双线接口，允许将多个器件连接到该双线总线。图B-1显示了典型的I<sup>2</sup>C接口连接。



图B-1: 典型的I<sup>2</sup>C接口

### B.1 概述

将数据发送到总线的器件被定义为“发送器”，接收数据的器件被定义为“接收器”。总线必须由主器件控制，主器件可生成串行时钟（SCL）、控制总线访问并产生启动和停止条件。不生成串行时钟的器件作为从器件工作。主器件和从器件均既可充当发送器，又可充当接收器，但主器件决定激活哪种模式。通信由主器件（单片机）发起，主器件将发送启动位，后跟从器件地址字节。发送的第一个字节始终为从器件地址字节，其中包含器件代码、地址位和R/W位。

I<sup>2</sup>C接口指定不同的通信比特率，分别称为标准模式、快速模式或高速模式。MCP47FXBX4/8支持以上三种模式。这三种模式的时钟速率（比特率）如下：

- 标准模式：最高100 kHz（kbps）
- 快速模式：最高400 kHz（kbps）
- 高速模式（HS模式）：最高3.4 MHz（Mbps）

I<sup>2</sup>C协议支持两种寻址模式：

- 7位从器件寻址
- 10位从器件寻址（允许I<sup>2</sup>C总线上有更多器件）

本附录中将仅讨论7位从器件寻址。

I<sup>2</sup>C串行协议允许I<sup>2</sup>C总线上有多个主器件。这称为“多主器件”。为此，所有主器件都必须支持多主器件操作。在此配置中，所有主器件均监视其通信。如果主器件要发送的位为逻辑高电平但检测到逻辑低电平（由其他主器件驱动），就会“脱离”总线。也就是说，主器件会停止通信，并会继续侦听以确定通信是否指向自己。

I<sup>2</sup>C串行协议仅定义帧的字段类型、字段长度和时序等。帧内容定义器件的行为。有关帧内容（命令/数据）的详细信息，请参见第7.0节“I<sup>2</sup>C器件命令”。

I<sup>2</sup>C串行协议定义了一些称为“广播呼叫寻址”的命令，这些命令允许主器件与I<sup>2</sup>C总线上的所有从器件进行通信。

**注：** 有关I<sup>2</sup>C规范的更多详细信息，请参见NXP规范#UM10204（版本03，2007年6月19日）文档。

# MCP47FXBX4/8

## B.2 信号说明

I<sup>2</sup>C接口使用两个引脚（信号），具体如下：

- SDA（串行数据）
- SCL（串行时钟）

### B.2.1 串行数据（SDA）

串行数据（SDA）信号是器件的数据信号。当信号为输入时，该引脚上的值在SCL信号的上升沿进行锁存。

启动（重复启动）和停止条件例外，只有SCL引脚上的时钟信号为低电平时，SDA引脚的高电平或低电平状态才能改变。在时钟的高电平周期内，SDA引脚的值（高电平或低电平）必须保持稳定。当SCL引脚为高电平时，SDA引脚值的变化将被解释为启动或停止条件。

### B.2.2 串行时钟（SCL）

串行时钟（SCL）信号是器件的时钟信号。SCL信号的上升沿将锁存SDA引脚上的值。

根据时钟速率模式的不同，接口将表现出不同的特性。

## B.3 I<sup>2</sup>C工作原理

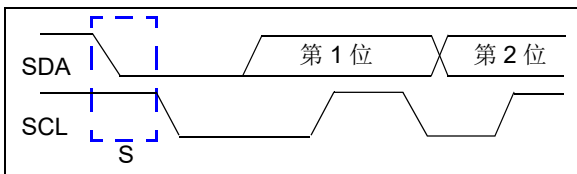
### B.3.1 I<sup>2</sup>C位的状态和序列

图B-8给出了I<sup>2</sup>C传输序列，而图B-7给出了位定义。串行时钟由主器件生成。以下定义用于描述位状态：

- 启动位（S）
- 数据位
- 应答（A）位（驱动为低电平）/无应答（ $\bar{A}$ ）位（未驱动为低电平）
- 重复启动位（Sr）
- 停止位（P）

#### B.3.1.1 启动位

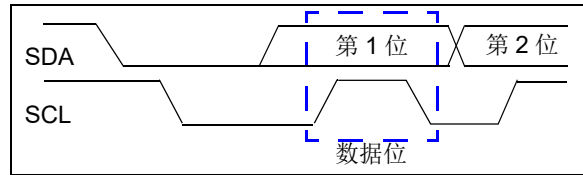
启动位（见图B-2）指示数据传输序列开始。启动位定义为在SCL信号为高电平时，SDA信号下降。



图B-2: 启动位

#### B.3.1.2 数据位

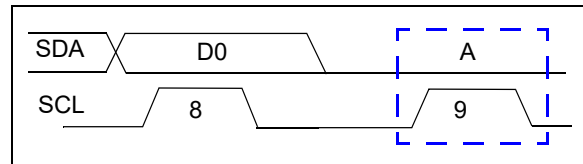
当SCL信号为低电平时，SDA信号可以更改状态。当SCL信号为高电平时，SDA信号必须保持稳定（见图B-3）。



图B-3: 数据位

#### B.3.1.3 应答（A）位

A位（见图B-4）通常是从接收器件传输到发送器件的响应。根据传输序列的上下文，A位可以指示不同内容。通常，从器件将在接收到启动位和8个数据位之后提供A响应。A位使SDA信号变为低电平，而 $\bar{A}$ 位使SDA信号变为高电平。



图B-4: 应答波形

表B-1列出了从器件会发出A或 $\bar{A}$ 的条件。

如果出现错误条件（例如 $\bar{A}$ 而非A），则必须通过发出启动位来复位命令状态机。

表B-1: MCP47FXBX4/8  $\bar{A}$ /A响应

事件	应答位响应	备注
广播呼叫	A	
从器件地址有效	A	
从器件地址无效	$\bar{A}$	
EEPROM写周期期间的通信	A	器件收到地址和命令，以及EEPROM写操作的有效条件之后
总线冲突	N/A	I <sup>2</sup> C模块发生复位；如果冲突是在主器件的启动位发生，则视为“无关”事件

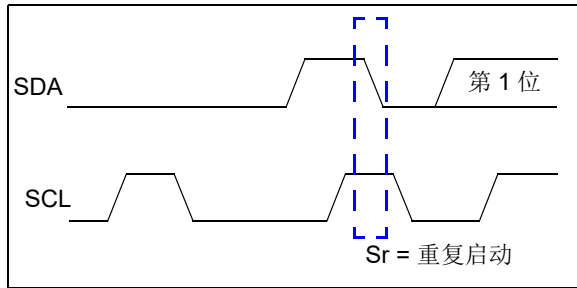
### B.3.1.4 重复启动位

重复启动位（见**图B-5**）指示当前主器件希望继续与当前从器件进行通信，而不释放I<sup>2</sup>C总线。重复启动条件与启动条件基本相同，只是重复启动位是跟随在启动位（以及数据位 + A位）之后，而非停止位之后。

启动位是数据传输序列的开始，定义为在SCL信号为高电平时SDA信号下降。

**注 1:** 在重复启动条件期间如果发生以下情况，将发生总线冲突：

- 当SCL由低电平变为高电平时，采样到SDA为低电平。
- 在SDA被置为低电平之前，SCL变为低电平。这指示另一个主器件正试图发送一个数据1。

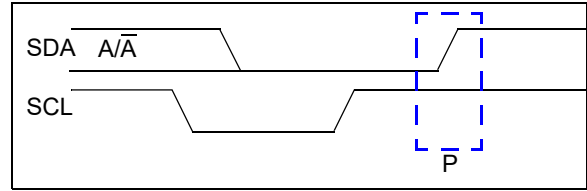


**图B-5:** 重复启动条件波形

### B.3.1.5 停止位

停止位（见**图B-6**）表示I<sup>2</sup>C数据传输序列结束。停止位定义为在SCL信号为高电平时，SDA信号上升。

停止位会复位从器件的I<sup>2</sup>C接口。



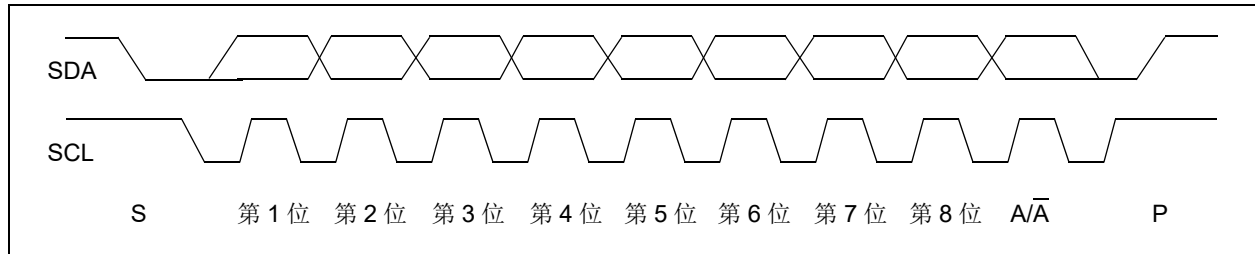
**图B-6:** 接收或发送模式的停止条件

### B.3.2 时钟延长

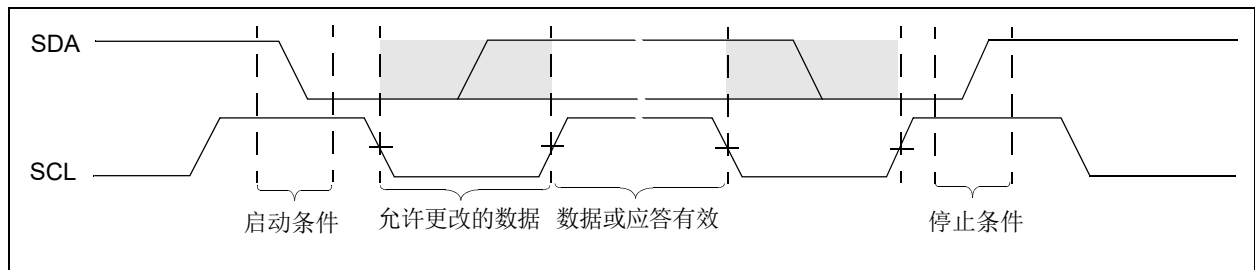
时钟延长是接收器件可执行的一种操作，目的是有额外的时间来响应已接收的数据。

### B.3.3 中止发送

如果I<sup>2</sup>C发送的任何部分不符合命令格式，则会中止发送。这可以通过启动或停止条件来特意实现。这样可以在含噪声的发送数据（通常是额外的启动或停止条件）损坏器件之前中止发送。



**图B-7:** 典型的8位I<sup>2</sup>C波形格式



**图B-8:** I<sup>2</sup>C数据状态和位序列

# MCP47FBX4/8

## B.3.4 斜率控制

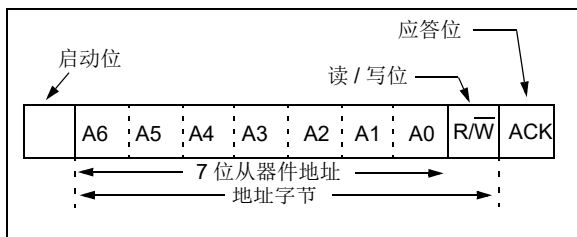
当器件从HS模式转换为FS模式时，斜率控制参数将从HS规范变为FS规范。

对于FS和HS模式，器件的SDA和SCL输入上具有尖峰抑制功能和施密特触发器。

## B.3.5 器件寻址

I<sup>2</sup>C从器件地址控制字节是在启动条件之后从主器件接收的第一个字节。该字节有7位，用于指定从器件地址和读/写控制位。

图B-9给出了I<sup>2</sup>C从器件地址字节格式，其中包含7个地址位和1个读/写（R/W）位。



图B-9: I<sup>2</sup>C从器件地址控制字节

## B.3.6 HS模式

I<sup>2</sup>C规范要求高速模式器件必须激活才能以HS（3.4 Mbps）模式运行。实现方法是主器件在启动位之后发送一个特殊的地址字节。该字节称为高速主器件模式代码（HSMCM）。

此时，器件就可以在SDA和SCL线上以最高3.4 Mbps的速率进行通信。在产生下一个停止条件时，器件会退出HS模式。

主器件代码按如下结构发送：

1. 启动条件（S）
2. 高速主器件模式代码（0000 1xxx）；xxx位对于HS模式主器件而言是惟一的。
3. 无应答（ $\bar{A}$ ）

在切换到HS模式之后，下一个传输的字节是I<sup>2</sup>C控制字节（它指定要进行通信的器件），以及任意数量的数据字节加上应答。然后，主器件可以发出重复启动位以寻址不同器件（在高速模式下），也可以发出停止位来返回到快速/标准总线速度模式。在停止位后，任何其他主器件（在多主器件系统中）均可以请求进行I<sup>2</sup>C总线仲裁。

有关HS模式命令序列的说明，请参见图B-10。

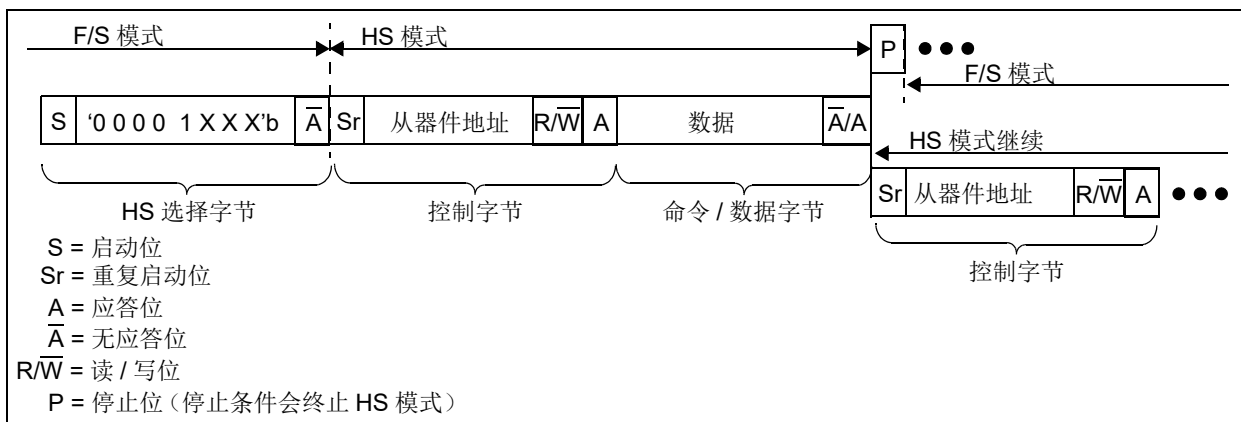
有关HS模式或其他I<sup>2</sup>C模式的更多信息，请参见“NXP I<sup>2</sup>C Specification”。

### B.3.6.1 斜率控制

SDA输出的斜率控制因接口的模式（即，快速/标准速度时钟模式或高速时钟模式）而异。

### B.3.6.2 脉冲干扰抑制电路

在HS模式下，SCL引脚上的脉冲干扰抑制电路会自动调整以抑制<10 ns的尖峰。



图B-10: HS模式序列

## B.3.7 广播呼叫

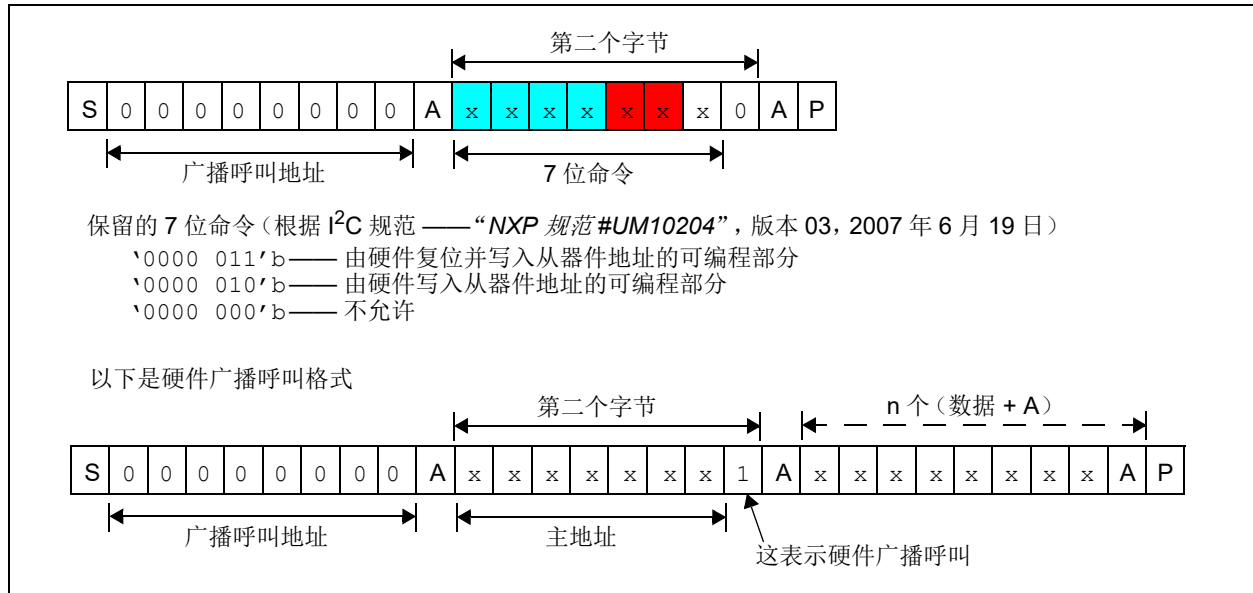
广播呼叫是主器件与所有其他从器件进行通信时使用的一种方法。在多主器件应用中，其他主器件将以从模式工作。广播呼叫地址有两种约定的格式，具体如图B-11所示。

I<sup>2</sup>C规范规定了三个7位命令字节。

I<sup>2</sup>C规范不允许第二个字节为00000000（00h）。此外，00000100和00000110功能也由规范定义。最后，LSb中值为1的数据字节表示硬件广播呼叫。

有关MCP47FBX4/8的广播呼叫命令操作的详细信息，请参见第7.3节“广播呼叫命令”。

**注：** 每次发出广播呼叫控制字节时，只有一条广播呼叫命令。任何其他广播呼叫命令都将被忽略，不会得到应答。



图B-11: 广播呼叫格式

# MCP47FXBX4/8

---

---

注:

## 附录 C: 术语

### C.1 分辨率

分辨率等于满量程范围 (Full-Scale Range, FSR) 除以 DAC 输出状态的数量。对于 12 位 DAC 而言, 分辨率为  $2^{12}$ , 即 DAC 编码范围为 0 至 4095。

**注:** 当梯形电阻网络中有  $2^N$  个电阻和有  $2^N$  个抽头时, 满量程 DAC 寄存器编码代表参考电压源 ( $V_{DD}$  或  $V_{REF}$ ) 的电阻元件 (1 LSB)。

### C.2 最低有效位 (Least Significant Bit, LSB)

它是两个连续编码之间的电压差。对于给定的输出电压范围, 需要将它除以器件的分辨率 (公式 C-1)。电压范围可以是  $V_{DD}$  (或  $V_{REF}$ ) 至  $V_{SS}$  (理想值)、整个输出驱动器线性范围内的 DAC 寄存器编码 (测量值 1) 或者满量程至零量程 (测量值 2)。

#### 公式 C-1: LSB 电压计算

理想值

$$V_{LSb(IDEAL)} = \frac{V_{DD}}{2^N} \text{ 或 } \frac{V_{REF}}{2^N}$$

测量值 1

$$V_{LSb(Measured)} = \frac{V_{OUT(@4000)} - V_{OUT(@100)}}{(4000 - 100)}$$

测量值 2

$$V_{LSb} = \frac{V_{OUT(@FS)} - V_{OUT(@ZS)}}{2^N - 1}$$

$$\begin{aligned} 2^N &= 4096 \text{ (MCP47FEB2X)} \\ &= 1024 \text{ (MCP47FEB1X)} \\ &= 256 \text{ (MCP47FEB0X)} \end{aligned}$$

### C.3 单调性操作

单调性操作意味着器件的输出电压 ( $V_{OUT}$ ) 会随着每一个编码步 (LSb) 递增而增大 (从  $V_{SS}$  至 DAC 的参考电压 ( $V_{DD}$  或  $V_{REF}$ ))。

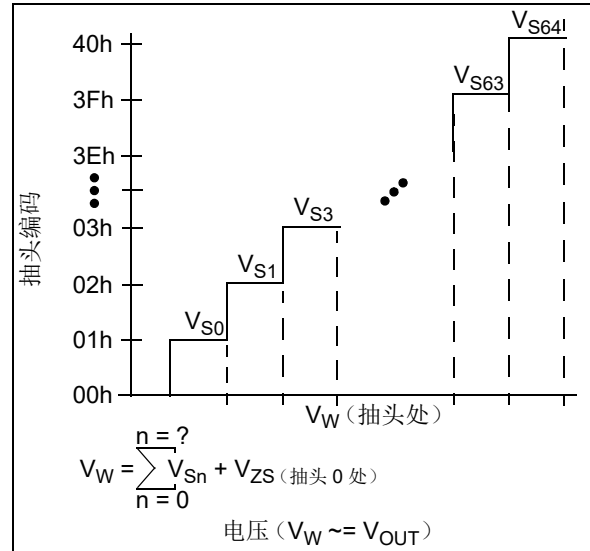


图 C-1:  $V_w$  ( $V_{OUT}$ )

# MCP47FBX4/8

## C.4 满量程误差 ( $E_{FS}$ )

满量程误差 (见图C-3) 是指实现最大器件DAC寄存器编码 (12位时为编码FFFh, 10位时为编码3FFh, 8位时为编码FFh) 时 $V_{OUT}$ 引脚相对于预期 $V_{OUT}$ 电压 (理论值) 的误差, 请参见公式C-2。该误差取决于 $V_{OUT}$ 引脚上的阻性负载 (以及该负载所连接的位置, 例如 $V_{SS}$ 或 $V_{DD}$ )。如果负载 (连接至 $V_{SS}$ ) 大于指定值, 满量程误差将更大。

该误差 (单位为位) 由理论电压步长决定, 用LSb表示。

### 公式C-2: 满量程误差

$$E_{FS} = \frac{V_{OUT(@FS)} - V_{IDEAL(@FS)}}{V_{LSb(IDEAL)}}$$

其中:

$E_{FS}$  用LSb表示。

$V_{OUT(@FS)}$  是DAC寄存器编码处于满量程时的 $V_{OUT}$ 电压。

$V_{IDEAL(@FS)}$  是DAC寄存器编码处于满量程时的理想输出电压。

$V_{LSb(IDEAL)}$  是理论电压步长。

## C.5 零量程误差 ( $E_{ZS}$ )

零量程误差 (见图C-2) 是DAC寄存器编码等于000h时,  $V_{OUT}$ 电压的理想值与测量值之差 (公式C-3)。该误差取决于 $V_{OUT}$ 引脚上的阻性负载 (以及该负载所连接的位置, 例如 $V_{SS}$ 或 $V_{DD}$ )。如果负载 (连接至 $V_{DD}$ ) 大于指定值, 零量程误差将更大。

该误差 (单位为位) 由理论电压步长决定, 用LSb表示。

### 公式C-3: 零量程误差

$$E_{ZS} = \frac{V_{OUT(@ZS)}}{V_{LSb(IDEAL)}}$$

其中:

$E_{FS}$  用LSb表示。

$V_{OUT(@ZS)}$  是DAC寄存器代码处于零量程时的 $V_{OUT}$ 电压。

$V_{LSb(IDEAL)}$  是理论电压步长。

## C.6 总不可调整误差 ( $E_T$ )

总不可调整误差 ( $E_T$ ) 是 $V_{OUT}$ 电压的理想值与测量值之差。通常情况下, 校准输出电压是为了提高系统的性能。

该误差 (单位为位) 由理论电压步长决定, 用LSb表示。

公式C-4给出了总不可调整误差的计算方法:

### 公式C-4: 总不可调整误差计算

$$E_T = \frac{(V_{OUT\_Actual(@Code)} - V_{OUT\_Ideal(@Code)})}{V_{LSb(Ideal)}}$$

其中:

$E_T$  用LSb表示。

$V_{OUT\_Actual(@Code)}$  = 在指定编码处测得的DAC输出电压

$V_{OUT\_Ideal(@Code)}$  = 在指定编码处算出的DAC输出电压 (编码  $\times V_{LSb(Ideal)}$ )

$V_{LSb(Ideal)}$  =  $V_{REF}/\text{步数}$

12位 =  $V_{REF}/4096$

10位 =  $V_{REF}/1024$

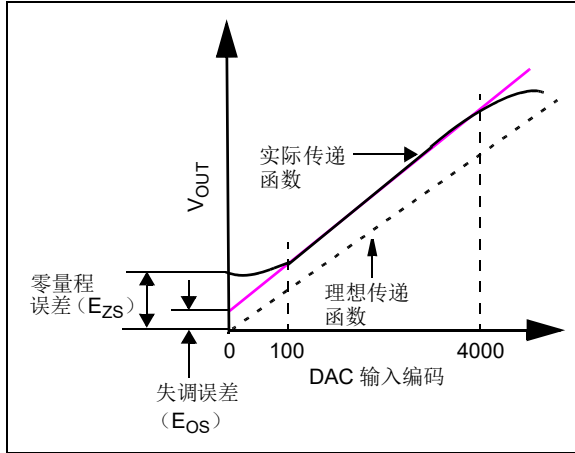
8位 =  $V_{REF}/256$



## C.7 失调误差 ( $E_{OS}$ )

失调误差是指在指定编码处 $V_{OUT}$ 电压相对于理想输出电压的偏差。在指定编码处，输出放大器处于线性工作范围内；对于MCP47FXBX4/8，我们指定编码100（十进制）。失调误差不包括增益误差，请参见图C-2。

该误差以mV为单位表示。失调误差可正亦可负。失调误差可由软件在应用电路中进行校准。



图C-2: 失调误差 (零增益误差)

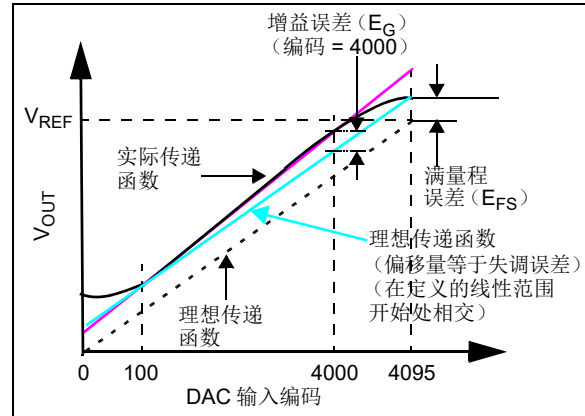
## C.8 失调误差漂移 ( $E_{OSD}$ )

失调误差漂移是指由于环境温度变化而引起的失调误差变化。失调误差漂移通常以ppm/°C或 $\mu V/^\circ C$ 为单位表示。

## C.9 增益误差 ( $E_G$ )

增益误差通过输出驱动器线性范围的电压范围（例如，编码100和编码4000）基于理想斜率计算得出（见图C-3）。增益误差计算消除了器件的失调误差。

增益误差表示实际传递函数斜率与理想传递函数斜率的匹配程度。增益误差通常用满量程范围的百分比（%FSR）或LSb表示。FSR是DAC的理想满量程电压（见公式C-5）。



图C-3: 增益误差和满量程误差示例

### 公式C-5: 增益误差示例

$$E_G = \frac{(V_{OUT(@4000)} - V_{OS} - V_{OUT\ Ideal(@4000)})}{V_{Full-Scale\ Range}} \cdot 100$$

其中:

$E_G$ 用FSR的百分比表示。

$V_{OUT(@4000)}$  = 在指定编码处测得的DAC输出电压

$V_{OUT\_Ideal(@4000)}$  = 在指定编码处算出的DAC输出电压 ( $4000 \times V_{LSb(Ideal)}$ )

$V_{OS}$  = 测得的失调电压

$V_{Full-Scale\ Range}$  = 预期的满量程输出值 (例如  $V_{REF}$  电压)

## C.10 增益误差漂移 ( $E_{GD}$ )

增益误差漂移是指由于环境温度变化引起的增益误差变化。增益误差漂移通常以ppm/°C (FSR) 为单位表示。

# MCP47FXBX4/8

## C.11 积分非线性 (INL) 误差

积分非线性 (INL) 误差是指经过 DAC 传递函数所定义端点的实际传递函数相对于理想传递函数 (直线) 的最大偏差 (在消除失调误差和增益误差之后)。

对于 MCP47FXBX4/8, INL 使用定义的端点 (DAC 编码 100 和编码 4000) 计算。INL 可以用 FSR 的百分比或 LSB 表示。INL 也称为相对精度。公式 C-6 说明了如何计算 INL 误差 (用 LSB 表示), 图 C-4 给出了 INL 精度的示例。

INL 为正值意味着  $V_{OUT}$  电压高于理想电压。INL 为负值意味着  $V_{OUT}$  电压低于理想电压。

### 公式 C-6: INL 误差

$$E_{INL} = \frac{(V_{OUT} - V_{Calc\ Ideal})}{V_{LSb(Measured)}}$$

其中:

INL 用 LSB 表示。

$V_{Calc\_Ideal} = \text{编码} \times V_{LSb(Measured)} + V_{OS}$

$V_{OUT(Code = n)} =$  在给定的 DAC 寄存器编码处测得的 DAC 输出电压

$V_{LSb(Measured)} =$  对于测量值:  
 $(V_{OUT(4000)} - V_{OUT(100)})/3900$

$V_{OS} =$  测得的失调电压

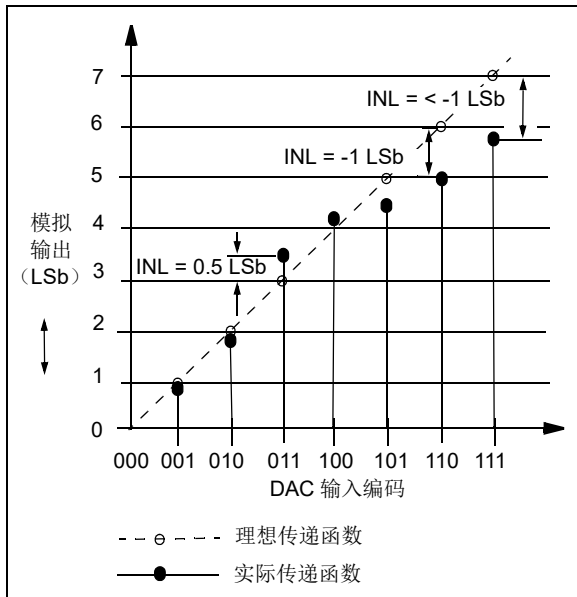


图 C-4: INL 精度

## C.12 微分非线性 (DNL) 误差

微分非线性 (DNL) 误差 (见图 C-5) 用于衡量实际传递函数中编码之间的步长。编码之间的理想步长为 1 LSB。如果 DNL 误差为 0, 则意味着每个编码的宽度正好为 1 LSB。如果 DNL 误差小于 1 LSB, 则 DAC 可保证单调输出且无编码丢失。公式 C-7 说明了如何计算任意两个相邻编码之间的 DNL 误差 (用 LSB 表示)。

### 公式 C-7: DNL 误差

$$E_{DNL} = \frac{(V_{OUT(code = n+1)} - V_{OUT(code = n)})}{V_{LSb(Measured)}} - 1$$

其中:

DNL 用 LSB 表示。

$V_{OUT(code = n)} =$  在给定的 DAC 寄存器编码处测得的 DAC 输出电压。

$V_{LSb(Measured)} =$  对于测量值:  
 $(V_{OUT(4000)} - V_{OUT(100)})/3900$

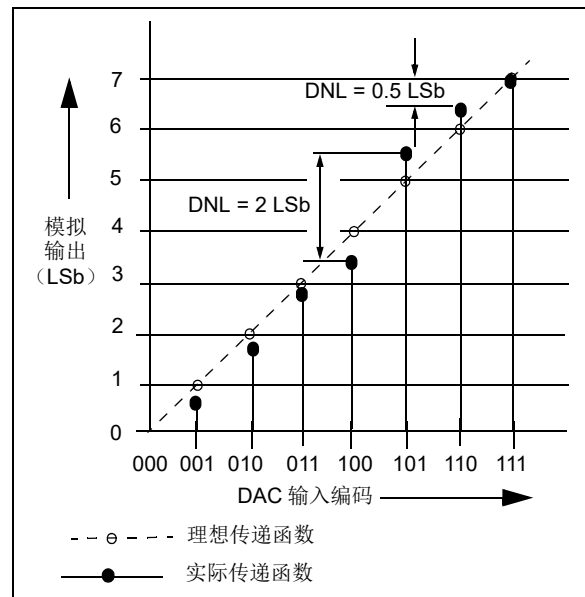


图 C-5: DNL 精度

## C.13 稳定时间

稳定时间是指 $V_{OUT}$ 电压稳定到新的输出值所需的延时。该时间从编码跳变起始点开始测量，直到 $V_{OUT}$ 电压处于规定精度范围为止。

对于MCP47FBX4/8，稳定时间用于衡量在易失性DAC寄存器从FSR的1/4变化到3/4（12位器件：400h至C00h）时， $V_{OUT}$ 电压达到其最终值的0.5 LSB范围内的延时。

## C.14 主编码跳变毛刺

主编码跳变毛刺是指在DAC寄存器中的编码改变状态时，注入DAC模拟输出中的脉冲能量。它通常用以nV-s为单位的毛刺面积指定，并且在数字编码在主进位跳变处改变1 LSB时测量（例如：011...111变为100...000，或100...000变为011...111）。

## C.15 数字馈通

数字馈通是指由于器件数字输入引脚耦合而在模拟输出中出现的毛刺。毛刺面积以nV-s为单位，并在数字输入引脚发生满量程变化（例如：全0变为全1，以及反之）时测量。数字馈通在DAC未被写入输出寄存器时测量。

## C.16 -3 dB 带宽

这是导致 $V_{OUT}$ 引脚电压相对于 $V_{REF}$ 引脚的静态值下降-3 dB时 $V_{REF}$ 引脚上的信号频率。输出会由于梯形电阻网络的RC特性和输出缓冲器的特性而减小。

## C.17 电源灵敏度 (Power-Supply Sensitivity, PSS)

PSS指示电源电压的变化对DAC输出的影响程度。PSS是针对DAC的中等量程输出的 $V_{OUT}$ 变化与 $V_{DD}$ 变化之比。 $V_{OUT}$ 在 $V_{DD}$ 从5.5V变化到2.7V（一步）时测量（ $V_{REF}$ 电压保持恒定），PSS用%/表示，即DAC输出电压变化百分比与 $V_{DD}$ 电压变化百分比之比。

### 公式C-8: PSS计算

$$PSS = \frac{(V_{OUT}@5.5V) - V_{OUT}@2.7V}{(5.5V - 2.7V)} \cdot V_{OUT}@5.5V$$

其中：

PSS用%/表示。

$V_{OUT}@5.5V$  = 在 $V_{DD} = 5.5V$ 时测得的DAC输出电压

$V_{OUT}@2.7V$  = 在 $V_{DD} = 2.7V$ 时测得的DAC输出电压

## C.18 电源抑制比 (Power-Supply Rejection Ratio, PSRR)

PSRR指示电源电压变化对于DAC输出的影响程度。PSRR是针对DAC的满量程输出的 $V_{OUT}$ 变化与 $V_{DD}$ 变化之比。 $V_{OUT}$ 在 $V_{DD}$ 变化 $\pm 10\%$ 时测量（ $V_{REF}$ 电压保持恒定），PSRR用dB或 $\mu V/V$ 表示。

## C.19 $V_{OUT}$ 温度系数

$V_{OUT}$ 温度系数用于量化梯形电阻网络的电阻比（DAC寄存器编码值）和输出缓冲器由于温度漂移而产生的误差。

## C.20 绝对温度系数

绝对温度系数用于量化端到端输出电压（标称输出电压 $V_{OUT}$ ）由于温度漂移而产生的误差。对于DAC，由于输出比率计量方面的原因，该误差通常不是问题。

## C.21 噪声频谱密度

噪声频谱密度用于衡量器件内部产生的随机噪声，它以频谱密度（电压/ $\sqrt{\text{Hz}}$ ）的形式指定。噪声频谱密度通过将DAC应用于中等量程值并测量 $V_{OUT}$ 引脚处的噪声测得。噪声频谱密度的测量单位是nV/ $\sqrt{\text{Hz}}$ 。

# MCP47FXBX4/8

---

---

注:

## 产品标识体系

欲订货或获取价格、交货等信息，请与我公司生产厂或各销售办事处联系。

部件编号	X	-XX	X	/XX	示例:
器件	卷带式	引脚数	温度范围	封装	
<b>器件:</b> MCP47FXB0X: 具有I <sup>2</sup> C接口的四通道/八通道8位DAC MCP47FXB1X: 具有I <sup>2</sup> C接口的四通道/八通道10位DAC MCP47FXB2X: 具有I <sup>2</sup> C接口的四通道/八通道12位DAC	<b>卷带式:</b> T = 卷带式 空白 = 管式	<b>引脚数:</b> 20引脚	<b>温度范围:</b> E = -40°C至+125°C (扩展级)	<b>封装:</b> MQ = 20引脚塑封正方扁平无引线封装 (QFN), 5 mm x 5 mm ST = 20引脚塑封薄型紧缩小外形封装封装 (TSSOP)	a) MCP47FEB04-E/MQ: 四通道8位非易失性DAC, 扩展级温度, 20引脚QFN。 b) MCP47FEB08T-E/MQ: 八通道8位非易失性DAC, 卷带式, 扩展级温度, 20引脚QFN。 c) MCP47FEB18-20E/ST: 八通道10位非易失性DAC, 扩展级温度, 20引脚TSSOP。 d) MCP47FEB18T-20E/ST: 八通道10位非易失性DAC, 卷带式, 扩展级温度, 20引脚TSSOP。 e) MCP47FVB28-E/MQ: 八通道12位易失性DAC, 扩展级温度, 20引脚QFN。 f) MCP47FVB28T-E/MQ: 八通道12位易失性DAC, 卷带式, 扩展级温度, 20引脚QFN。
					<b>注 1:</b> 卷带式标识符仅出现在产品目录的部件编号描述中。该标识符用于订货目的, 不会印刷在器件封装上。关于包装是否提供卷带式选项的信息, 请咨询当地的Microchip销售办事处。

# MCP47FXBX4/8

---

---

注:

---

---

请注意以下有关 Microchip 产品代码保护功能的要点：

- Microchip 的产品均达到 Microchip 数据手册中所述的技术规范。
- Microchip 确信：在正常使用且符合工作规范的情况下，Microchip 系列产品非常安全。
- Microchip 注重并积极保护其知识产权。严禁任何试图破坏 Microchip 产品代码保护功能的行为，这种行为可能会违反《数字千年版权法案》(Digital Millennium Copyright Act)。
- Microchip 或任何其他半导体厂商均无法保证其代码的安全性。代码保护并不意味着我们保证产品是“牢不可破”的。代码保护功能处于持续发展之中。Microchip 承诺将不断改进产品的代码保护功能。

---

提供本档的中文版本仅为了便于理解。请勿忽视文档中包含的英文部分，因为其中提供了有关 Microchip 产品性能和使用情况的有用信息。Microchip Technology Inc. 及其分公司和相关公司、各级主管与员工及事务代理机构对译文中可能存在的任何差错不承担任何责任。建议参考 Microchip Technology Inc. 的英文原版文档。

本出版物及其提供的信息仅适用于 Microchip 产品，包括设计、测试以及将 Microchip 产品集成到您的应用中。以其他方式使用这些信息都将被视为违反条款。本出版物中的器件应用信息仅为您提供便利，将来可能会发生更新。如需额外的支持，请联系当地的 Microchip 销售办事处，或访问 <https://www.microchip.com/en-us/support/design-help/client-supportservices>。

**Microchip “按原样”提供这些信息。Microchip 对这些信息不作任何明示或暗示、书面或口头、法定或其他形式的声明或担保，包括但不限于针对非侵权性、适销性和特定用途的适用性的暗示担保，或针对其使用情况、质量或性能的担保。**

在任何情况下，对于因这些信息或使用这些信息而产生的任何间接的、特殊的、惩罚性的、偶然的或间接的损失、损害或任何类型的开销，Microchip 概不承担任何责任，即使 Microchip 已被告知可能发生损害或损害可以预见。在法律允许的最大范围内，对于因这些信息或使用这些信息而产生的所有索赔，Microchip 在任何情况下所承担的全部责任均不超出您为获得这些信息向 Microchip 直接支付的金额（如有）。如果将 Microchip 器件用于生命维持和 / 或生命安全应用，一切风险由买方自负。买方同意在由此引发任何一切损害、索赔、诉讼或费用时，会维护和保障 Microchip 免于承担法律责任。除非另外声明，在 Microchip 知识产权保护下，不得暗中或以其他方式转让任何许可证。

有关 Microchip 质量管理体系的更多信息，请访问 [www.microchip.com/quality](http://www.microchip.com/quality)。

## 商标

Microchip 的名称和徽标组合、Microchip 徽标、Adaptec、AVR、AVR 徽标、AVR Freaks、BesTime、BitCloud、CryptoMemory、CryptoRF、dsPIC、flexPWR、HELDO、IGLOO、JukeBlox、KeeLoq、Kleer、LANCheck、LinkMD、maXStylus、maXTouch、MediaLB、megaAVR、Microsemi、Microsemi 徽标、MOST、MOST 徽标、MPLAB、OptoLyzer、PIC、picoPower、PICSTART、PIC32 徽标、PolarFire、Prochip Designer、QTouch、SAM-BA、SenGenuity、SpyNIC、SST、SST 徽标、SuperFlash、Symmetricom、SyncServer、Tachyon、TimeSource、tinyAVR、UNI/O、Vectron 及 XMEGA 均为 Microchip Technology Incorporated 在美国和其他国家或地区的注册商标。

AgileSwitch、ClockWorks、The Embedded Control Solutions Company、EtherSynch、Flashtec、Hyper Speed Control、HyperLight Load、Liberio、motorBench、mTouch、Powermite 3、Precision Edge、ProASIC、ProASIC Plus、ProASIC Plus 徽标、Quiet-Wire、SmartFusion、SyncWorld、TimeCesium、TimeHub、TimePictra、TimeProvider 和 ZL 均为 Microchip Technology Incorporated 在美国的注册商标。

Adjacent Key Suppression、AKS、Analog-for-the-Digital Age、Any Capacitor、AnyIn、AnyOut、Augmented Switching、BlueSky、BodyCom、Clockstudio、CodeGuard、CryptoAuthentication、CryptoAutomotive、CryptoCompanion、CryptoController、dsPICDEM、dsPICDEM.net、Dynamic Average Matching、DAM、ECAN、Espresso T1S、EtherGREEN、EyeOpen、GridTime、IdealBridge、IGaT、In-Circuit Serial Programming、ICSP、INICnet、Intelligent Paralleling、IntelliMOS、Inter-Chip Connectivity、JitterBlocker、Knob-on-Display、MarginLink、maxCrypto、maxView、memBrain、Mindi、MiWi、MPASM、MPF、MPLAB Certified 徽标、MPLIB、MPLINK、mSIC、MultiTRAK、NetDetach、Omniscient Code Generation、PICDEM、PICDEM.net、PICkit、PICtail、Power MOS IV、Power MOS 7、PowerSmart、PureSilicon、QMatrix、REAL ICE、Ripple Blocker、RTAX、RTG4、SAM-ICE、Serial Quad I/O、simpleMAP、SimpliPHY、SmartBuffer、SmartHLS、SMART-I.S.、storClad、SQL、SuperSwitcher、SuperSwitcher II、Switchtec、SynchroPHY、Total Endurance、Trusted Time、TSHARC、Turing、USBCheck、VariSense、VectorBlox、VeriPHY、ViewSpan、WiperLock、XpressConnect 和 ZENA 均为 Microchip Technology Incorporated 在美国和其他国家或地区的商标。

SQTP 为 Microchip Technology Incorporated 在美国的服务标记。

Adaptec 徽标、Frequency on Demand、Silicon Storage Technology 和 Symmcom 均为 Microchip Technology Inc. 在除美国外的国家或地区的注册商标。

GestIC 为 Microchip Technology Inc. 的子公司 Microchip Technology Germany II GmbH & Co. KG 在除美国外的国家或地区的注册商标。

在此提及的所有其他商标均为各持有公司所有。

© 2024, Microchip Technology Incorporated 及其子公司版权所有。

ISBN: 978-1-6683-3706-6



# MICROCHIP

04/17/24

## 全球销售及及服务网点

### 美洲

公司总部 **Corporate Office**  
2355 West Chandler Blvd.  
Chandler, AZ 85224-6199  
Tel: 1-480-792-7200  
Fax: 1-480-792-7277

技术支持:  
<http://www.microchip.com/support>

网址: [www.microchip.com](http://www.microchip.com)

**亚特兰大 Atlanta**  
Duluth, GA

Tel: 1-678-957-9614  
Fax: 1-678-957-1455

**奥斯汀 Austin, TX**  
Tel: 1-512-257-3370

**波士顿 Boston**  
Westborough, MA  
Tel: 1-774-760-0087  
Fax: 1-774-760-0088

**芝加哥 Chicago**  
Itasca, IL  
Tel: 1-630-285-0071  
Fax: 1-630-285-0075

**达拉斯 Dallas**  
Addison, TX  
Tel: 1-972-818-7423  
Fax: 1-972-818-2924

**底特律 Detroit**  
Novi, MI  
Tel: 1-248-848-4000

**休斯敦 Houston, TX**  
Tel: 1-281-894-5983

**印第安纳波利斯 Indianapolis**  
Noblesville, IN  
Tel: 1-317-773-8323  
Fax: 1-317-773-5453  
Tel: 1-317-536-2380

**洛杉矶 Los Angeles**  
Mission Viejo, CA  
Tel: 1-949-462-9523  
Fax: 1-949-462-9608  
Tel: 1-951-273-7800

**罗利 Raleigh, NC**  
Tel: 1-919-844-7510

**纽约 New York, NY**  
Tel: 1-631-435-6000

**圣何塞 San Jose, CA**  
Tel: 1-408-735-9110  
Tel: 1-408-436-4270

**加拿大多伦多 Toronto**  
Tel: 1-905-695-1980  
Fax: 1-905-695-2078

### 亚太地区

**中国 - 北京**  
Tel: 86-10-8569-7000

**中国 - 成都**  
Tel: 86-28-8665-5511

**中国 - 重庆**  
Tel: 86-23-8980-9588

**中国 - 东莞**  
Tel: 86-769-8702-9880

**中国 - 广州**  
Tel: 86-20-8755-8029

**中国 - 杭州**  
Tel: 86-571-8792-8115

**中国 - 南京**  
Tel: 86-25-8473-2460

**中国 - 青岛**  
Tel: 86-532-8502-7355

**中国 - 上海**  
Tel: 86-21-3326-8000

**中国 - 沈阳**  
Tel: 86-24-2334-2829

**中国 - 深圳**  
Tel: 86-755-8864-2200

**中国 - 苏州**  
Tel: 86-186-6233-1526

**中国 - 武汉**  
Tel: 86-27-5980-5300

**中国 - 西安**  
Tel: 86-29-8833-7252

**中国 - 厦门**  
Tel: 86-592-238-8138

**中国 - 香港特别行政区**  
Tel: 852-2943-5100

**中国 - 珠海**  
Tel: 86-756-321-0040

**台湾地区 - 高雄**  
Tel: 886-7-213-7830

**台湾地区 - 台北**  
Tel: 886-2-2508-8600

**台湾地区 - 新竹**  
Tel: 886-3-577-8366

### 亚太地区

**澳大利亚 Australia - Sydney**  
Tel: 61-2-9868-6733

**印度 India - Bangalore**  
Tel: 91-80-3090-4444

**印度 India - New Delhi**  
Tel: 91-11-4160-8631

**印度 India - Pune**  
Tel: 91-20-4121-0141

**日本 Japan - Osaka**  
Tel: 81-6-6152-7160

**日本 Japan - Tokyo**  
Tel: 81-3-6880-3770

**韩国 Korea - Daegu**  
Tel: 82-53-744-4301

**韩国 Korea - Seoul**  
Tel: 82-2-554-7200

**马来西亚 Malaysia - Kuala Lumpur**  
Tel: 60-3-7651-7906

**马来西亚 Malaysia - Penang**  
Tel: 60-4-227-8870

**菲律宾 Philippines - Manila**  
Tel: 63-2-634-9065

**新加坡 Singapore**  
Tel: 65-6334-8870

**泰国 Thailand - Bangkok**  
Tel: 66-2-694-1351

**越南 Vietnam - Ho Chi Minh**  
Tel: 84-28-5448-2100

### 欧洲

**奥地利 Austria - Wels**  
Tel: 43-7242-2244-39  
Fax: 43-7242-2244-393

**丹麦 Denmark - Copenhagen**  
Tel: 45-4485-5910  
Fax: 45-4485-2829

**芬兰 Finland - Espoo**  
Tel: 358-9-4520-820

**法国 France - Paris**  
Tel: 33-1-69-53-63-20  
Fax: 33-1-69-30-90-79

**德国 Germany - Garching**  
Tel: 49-8931-9700  
**德国 Germany - Haan**  
Tel: 49-2129-3766400

**德国 Germany - Heilbronn**  
Tel: 49-7131-72400

**德国 Germany - Karlsruhe**  
Tel: 49-721-625370

**德国 Germany - Munich**  
Tel: 49-89-627-144-0  
Fax: 49-89-627-144-44

**德国 Germany - Rosenheim**  
Tel: 49-8031-354-560

**以色列 Israel - Hod Hasharon**  
Tel: 972-9-775-5100

**意大利 Italy - Milan**  
Tel: 39-0331-742611  
Fax: 39-0331-466781

**意大利 Italy - Padova**  
Tel: 39-049-7625286

**荷兰 Netherlands - Druenen**  
Tel: 31-416-690399  
Fax: 31-416-690340

**挪威 Norway - Trondheim**  
Tel: 47-7288-4388

**波兰 Poland - Warsaw**  
Tel: 48-22-3325737

**罗马尼亚 Romania - Bucharest**  
Tel: 40-21-407-87-50

**西班牙 Spain - Madrid**  
Tel: 34-91-708-08-90  
Fax: 34-91-708-08-91

**瑞典 Sweden - Gothenberg**  
Tel: 46-31-704-60-40

**瑞典 Sweden - Stockholm**  
Tel: 46-8-5090-4654

**英国 UK - Wokingham**  
Tel: 44-118-921-5800  
Fax: 44-118-921-5820