10BASE-T1S 以太网 PHY 收发器产品简介

LAN8670/1

说明

部件编号	C2 版	D0 版	封装
LAN8670	✔	✔	32-VQFN
LAN8671	✔	✔	24-VQFN
LAN8672	✔	—	36-VQFN

LAN8670/1/2 是一款高性能 10BASE-T1S 单对以太网 PHY 收发器，可通过单对导线实现 10 Mb/s 半双工网络。该器件可基于标准以太网技术实现传感器/执行器网络，省去传统网络技术所需的网关，从而降低应用成本。此外，多个 PHY 可连接到同一公共混合网段，减少了交换机端口和布线数量，从而降低实现成本。LAN8670/1/2 设计用于高可靠性、成本敏感型汽车、工业、楼宇自动化和传感器/执行器应用。

亮点

- 遵循 IEEE Std 802.3™-2022 标准设计的高性能 10BASE-T1S 以太网 PHY
  - 单对平衡线传输速率为 10 Mb/s
  - 长度至少 25m 的半双工多点混合网段，至少 8 个物理层（PHY）
- 介质独立接口（Media Independent Interface，MII）和精简介质独立接口（Reduced Media Independent Interface，RMII）
- 载波检测多路访问/冲突检测（Carrier Sense Multiple Access/Collision Detection，CSMA/CD）介质访问控制
- 物理层冲突避免（Physical Layer Collision Avoidance，PLCA）
  - 避免介质冲突，实现高带宽利用率
  - 用于传输多个数据包的突发模式，适合延迟敏感型应用
  - 为每个节点分配多个 PLCA ID，显著减少时间敏感型应用的延迟
- 拓扑发现支持（D0 版）
- 支持线缆故障（开路/短路）诊断和信号质量指示（Signal Quality Indication，SQI）
- 过温和欠压检测
- EtherGREEN™节能
  - 低功耗 10BASE-T1S PHY 操作
  - 超低功耗休眠模式
  - 可通过 MDI 唤醒音（Wake-Up Tone，WUT）或本地 WAKE_IN 触发唤醒，以实现符合 OA TC10 标准的唤醒/休眠和局部联网功能（版）
  - WAKE_OUT 脉冲置位
  - 用于使能/禁止 ECU 电源的 INH 输出
- IEEE Std 802.1AS™/IEEE 1588™应用支持
  - 为不支持时间敏感型网络（Time-Sensitive Networking，TSN）的单片机实现高精度时钟恢复且抖动超低
- 增强的电磁兼容/电磁干扰（Electromagnetic Compatibility/Electromagnetic Interference，EMC/EMI）性能
  - RF 辐射低
  - 可调节数字输出驱动能力
  - 简单低成本总线接口网络
- 3.3V 单电源，集成 1.8V 稳压器
- 小尺寸 24 引脚（4 x 4 mm）、32 引脚（5 x 5 mm）和 36 引脚（6 x 6 mm）VQFN 封装，带可浸湿侧翼
- -40℃至+125℃扩展温度范围
- AEC-Q100 认证
- 功能安全支持（ISO 26262，ASIL B）
  - 开发流程符合 ISO 26262 标准
  - 提供功能安全包，包括安全手册、FMEDA 和相关失效分析（Dependent Failure Analysis，DFA）

目标应用

- 车载网络和汽车区域架构
- 传感器/执行器网络
- 工业控制机柜和机器控制
- 楼宇自动化
- LED 照明

© 2026 Microchip Technology Inc. 及其子公司

目录

说明.....1

1. 简介.....3
   - 1.1. 产品概述.....3
   - 1.2. LAN8670/1/2 系列.....5
   - 1.3. 系统示例.....5

2. 引脚说明和配置.....7
   - 2.1. LAN8670 引脚分配.....7
   - 2.2. LAN8671 引脚分配.....9
   - 2.3. LAN8672 引脚分配.....10
   - 2.4. 缓冲器类型.....12
   - 2.5. 引脚说明.....13
   - 2.6. 配置引脚.....18
   - 2.7. 引脚配置.....20

3. 封装信息.....21
   - 3.1. 32-VQFN（仅限 LAN8670）.....21
   - 3.2. 24-VQFN（仅限 LAN8671）.....24
   - 3.3. 36-VQFN（仅限 LAN8672 C2 版）.....27

4. 封装标识信息.....30

Microchip 信息.....32
- 商标.....32
- 法律声明.....32
- Microchip 器件代码保护功能.....32

© 2026 Microchip Technology Inc. 及其子公司

1. 简介

1.1. 产品概述

Microchip LAN8670/1/2 是一款紧凑型、低功耗且经济高效的单端口 10BASE-T1S 以太网 PHY，器件设计遵循 *IEEE Std 802.3-2022* 第 147 条规定。该器件可通过非屏蔽双绞线（Unshielded Twisted Pair，UTP）等单对平衡导线提供 10 Mb/s 半双工收发能力。LAN8670/1/2 适用于需要扩展级温度范围（环境温度-40℃至+125℃）的应用，并针对 AEC-Q100 汽车 1 级用例进行了优化。该器件还符合汽车和工业 EMC 与 EMI 要求。得益于单电源供电和简易的总线接口网络，可轻松集成到小型化应用中。

LAN8670/1/2 支持搭建半双工多点网络拓扑。多点模式支持将至少 8 个 PHY 连接到同一公共混合网段，网段长度最长为 25m。多个 PHY 共用同一公共混合网段，能够减少连接器、独立线缆与交换机端口的使用数量，进而减轻设备重量并降低实现成本。

物理介质访问由 CSMA/CD 管理，也可按 *IEEE Std 802.3-2022* 第 148 条规定选择叠加物理层冲突避免（Physical Layer Collision Avoidance，PLCA）机制。除了该标准规定的每个总线周期单次发送机会外，LAN8670/1/2 还可配置为每个总线周期额外增加最多 8 次发送机会。也可以舍弃 PLCA，通过应用控制介质访问（Application Controlled Media Access，ACMA）引脚，在物理介质上实现时分多址（Time-Division Multiple Access，TDMA）功能。

LAN8670/1/2 可通过标准 MII/RMII 或单时钟介质独立接口（Single Clock Media Independent Interface，SC-MII）与以太网 MAC 相连，SC-MII 接口与 MII 类似，但引脚数量更少。这项将 PLCA 与 RMII 搭配使用的独家技术受 Microchip 知识产权保护（美国专利号 11,516,855），可在传统的低引脚数 RMII 应用中实现 PLCA 功能。该器件集成串行管理接口（Serial Management Interface，SMI），寄存器访问和配置速率最高为 4 MHz。

Microchip 的 LAN8670/1/2 EtherGREEN™节能技术支持低功耗 10BASE-T1S PHY 操作和超低功耗休眠模式，并提供多种灵活的唤醒选项。该器件的 D0 版提供了符合 Open Alliance TC10 标准的唤醒/休眠实现，支持局部联网工作模式。

此外，LAN8670/1/2 可用于实现高精度时钟同步。这使得器件能够支持 *IEEE Std 1588* 中的 *IEEE Std 802.1AS* 等规范，适用于采用 AVB 或其他 TSN 标准的应用。在 TSN 实现过程中，该功能可按 *IEEE Std 802.3-2022* 第 90 条（经 *IEEE 802.3de* 修订）规定提供定时同步服务接口（Timing Synchronization Service Interface，TSSI）。

器件配备先进的 PHY 诊断，支持各种故障排除和监控功能，例如线缆短路或开路故障检测、接收器信号质量指示器（Signal Quality Indicator，SQI）、PLCA 诊断、过温和欠压检测、全面状态中断支持以及各种环回与测试模式。此外，D0 版 LAN8670/1 支持 Open Alliance 定义的拓扑发现。

LAN8670/1/2 设计用于 ISO 26262 功能安全应用，满足 ASIL B 的功能安全要求。我们提供的功能安全包中包括安全手册、失效模式影响和诊断分析（Failure Modes, Effects, and Diagnostic Analysis，FMEDA）以及相关失效分析。欲了解更多信息，请联系 Microchip 支持部门。

LAN8670/1/2 的内部框图如以下各图所示。

© 2026 Microchip Technology Inc. 及其子公司

图 1-1. LAN8670/1/2（C2 版）内部框图

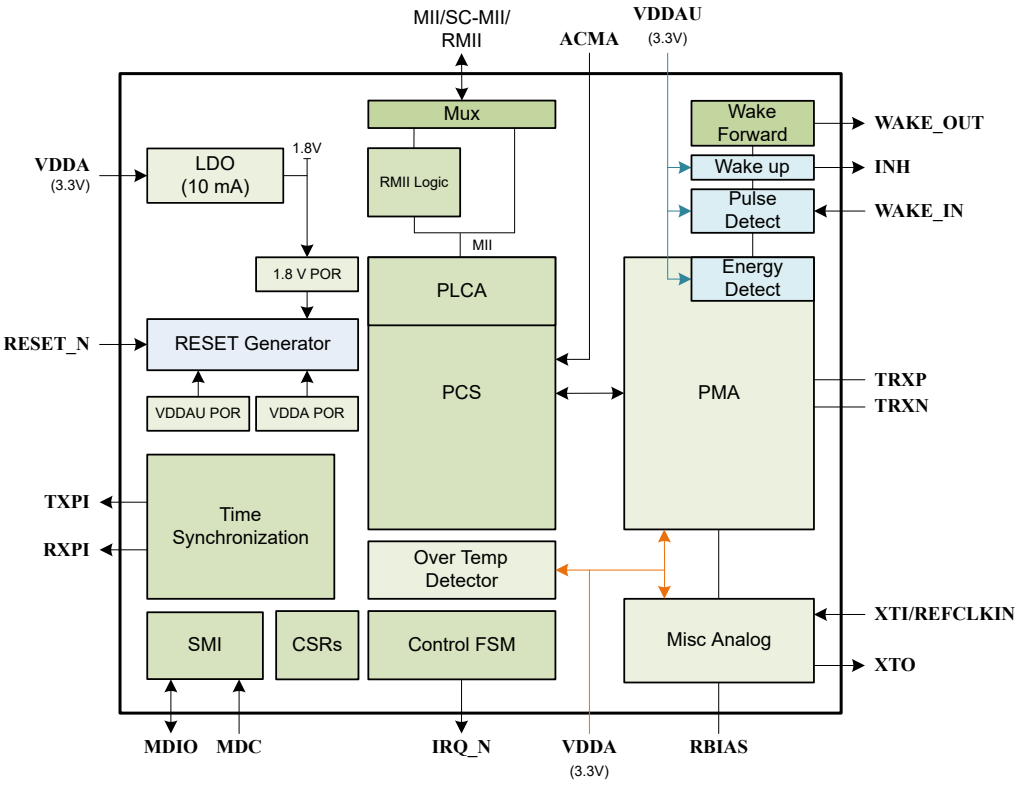
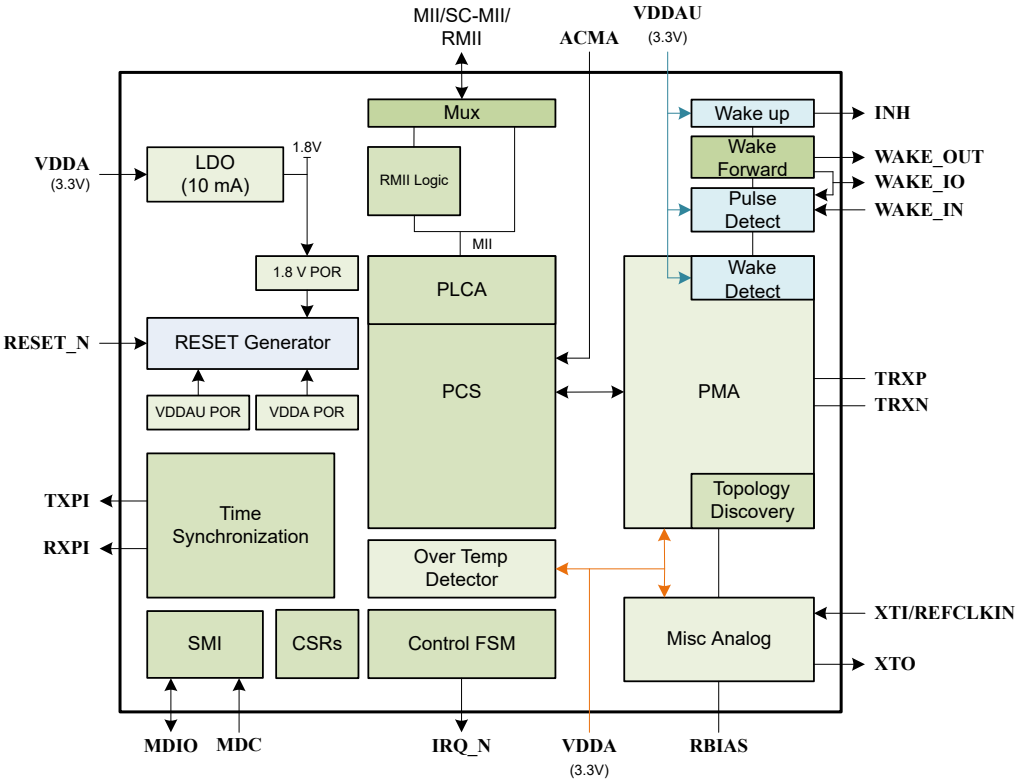


图 1-2. LAN8670/1（D0 版）内部框图



© 2026 Microchip Technology Inc. 及其子公司

1.2. LAN8670/1/2 系列

Microchip LAN8670/1/2 系列包括以下器件：

- LAN8670
- LAN8671
- LAN8672（仅限 C2 版）

本文档中单独标注了不适用于整个系列的器件特定功能。 表 1-1 以下汇总了系列成员之间的功能差异。

表 1-1. LAN8670/1/2 系列功能矩阵

部件编号	封装	MII 支持	SC-MII 支持	RMII 支持	PLCA 支持	ACMA 支持	时间同步支持	INH 引脚支持	MDI 唤醒支持	WAKE_IN 引脚支持	WAKE_OUT 引脚支持	WAKE_IO 引脚支持 [2]	AEC-Q100 -40°C至+125°C
LAN8670	32-VQFN	✔	✔	✔	✔	✔	✔	✔	✔	✔	✔	✔	✔
LAN8671	24-VQFN	—	—	✔	✔	✔	✔	✔	✔	✔	✔	✔	✔
LAN8672[1]	36-VQFN	✔	—	—	✔	✔	✔	✔	✔	✔	✔	✔	✔

注：

1. 仅限 LAN8672 C2 版。
2. 仅限 LAN8670/1 D0 版。

重要：由于不同模式之间存在引脚共用，因此并非所有功能均可同时使用。有关更多信息，请参见 *引脚说明和配置*部分。

1.3. 系统示例

本节显示了适用于该系列全部器件的系统框图示例。

注：该系列全部器件均支持 ACMA 和时间同步信号等高级功能，但由于该系列各器件之间的引脚配置各不相同，因此下面未展示相关内容。

注：MII 的时钟源是连接在引脚 XTI 和 XTO 之间的晶振。RMII 的时钟源是时钟振荡器，该振荡器同时连接到 MAC 和 PHY 上的 REFCLKIN。有关更多信息，请参见 *引脚说明*部分。

LAN8670/1/2 的系统级框图示例如以下图 1-3 中所示。该系统不使用休眠模式，因此 VDDA 和 VDDAU 可视为同一电源，而 VDDP 必须按照 *电源连接*部分所述，通过铁氧体磁珠与模拟电源进行正确隔离。

© 2026 Microchip Technology Inc. 及其子公司

图 1-3. 基于 LAN8670/1/2 的简单系统

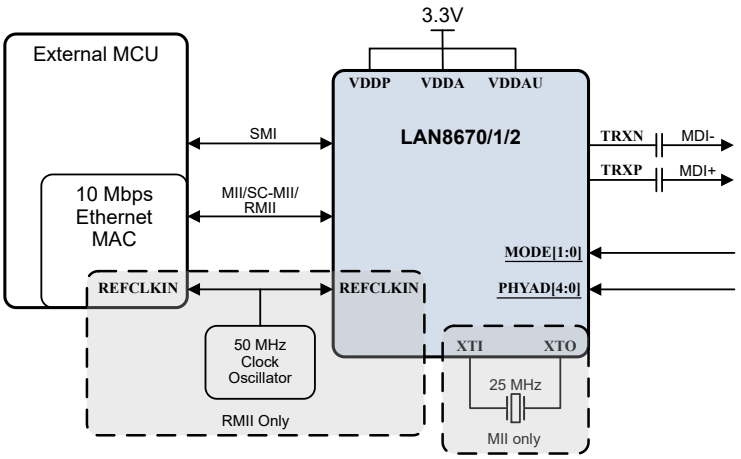
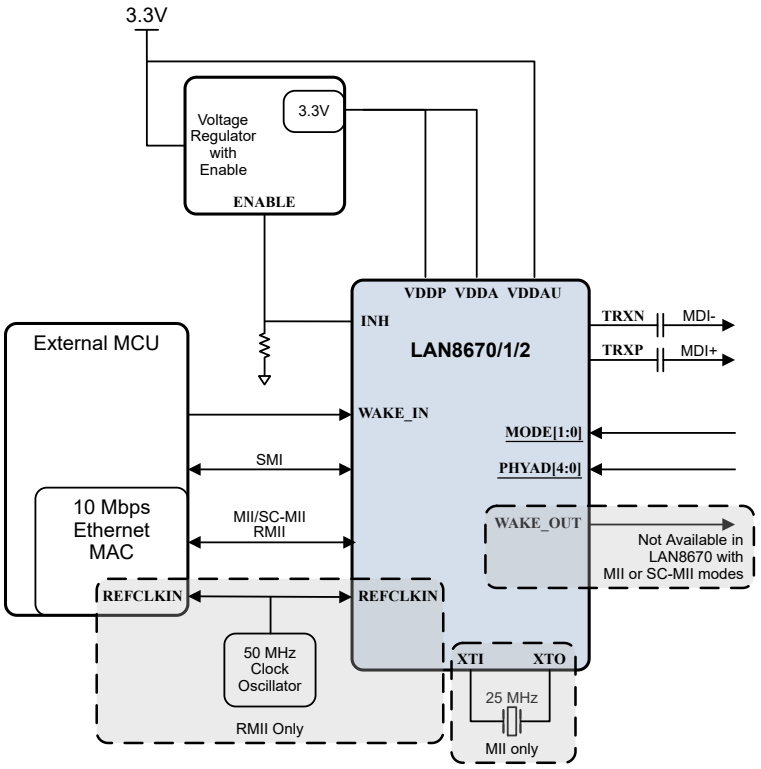


图 1-4 所示的系统被设计为使用低功耗休眠模式，因此恒压电源 VDDAU 独立于其他电源。在休眠模式下，VDDA 和 VDDP 将被禁用。在该特定系统中，休眠模式将由外部 MCU 启动，并确保 LAN8670/1/2 的所有输入均为高阻态。如果系统要求外部电源在其他器件关断时仍保持工作，LAN8670/1/2 可在进入休眠模式前，按照可编程延迟时间驱动 INH 引脚。在本例中，外部 MCU 通过 WAKE_IN 从休眠中唤醒 LAN8670/1/2，而其他器件可配置为通过 WAKE_OUT 或 MDI 上的活动来唤醒。当 LAN8670 处于 MII 或 SC-MII 模式时，WAKE_OUT 不可用。对于及更高版本的产品，WAKE_IN 引脚可配置为复合型 WAKE_IO 唤醒输入/输出。启用此模式时，不使用 WAKE_OUT 引脚。

图 1-4. 使用 LAN8670/1/2 并具有休眠模式的系统



© 2026 Microchip Technology Inc. 及其子公司

2. 引脚说明和配置

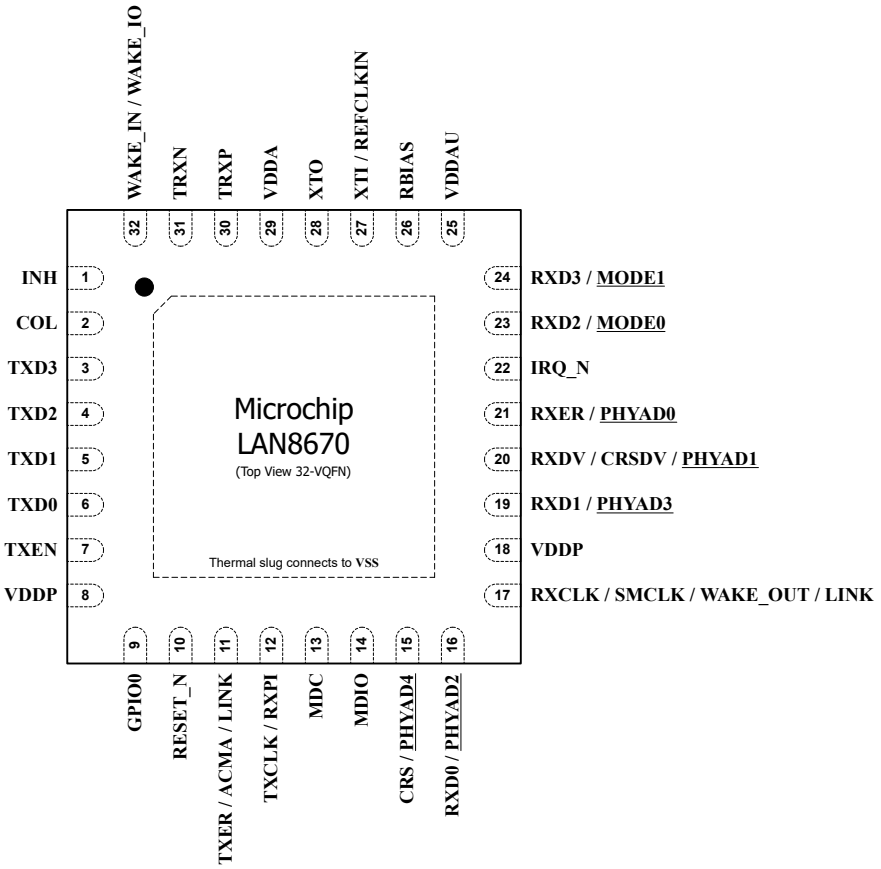
以下章节详述了 LAN8670/1/2 的引脚分配和说明。*缓冲器类型*部分详述了引脚缓冲器类型定义。

相关信息

缓冲器类型

2.1. LAN8670 引脚分配

图 2-1. LAN8670 32-VQFN 引脚分配



注：配置引脚由带下划线的信号名称来标识。用作配置引脚的信号必须用外部电阻放大。WAKE_IO 和 LINK 引脚仅在 D0 版及更高版本的产品中提供。

重要：封装底部的裸露焊盘（VSS）必须接地。

© 2026 Microchip Technology Inc. 及其子公司

表 2-1. LAN8670 32-VQFN 引脚分配

引脚编号	引脚名称	引脚编号	引脚名称
1	INH	17	RXCLK/SMCLK/WAKE_OUT/LINK[1]
2	COL	18	VDDP
3	TXD3	19	RXD1/PHYAD3
4	TXD2	20	RXDV/CRSDV/PHYAD1
5	TXD1	21	RXER/PHYAD0
6	TXD0	22	IRQ_N
7	TXEN	23	RXD2/MODE0
8	VDDP	24	RXD3/MODE1
9	GPIO0	25	VDDAU
10	RESET_N	26	RBIAS
11	TXER/ACMA/LINK[1]	27	XTI/REFCLKIN
12	TXCLK/RXPI	28	XTO
13	MDC	29	VDDA
14	MDIO	30	TRXP
15	CRS/PHYAD4	31	TRXN
16	RXD0/PHYAD2	32	WAKE_IN/WAKE_IO[1]

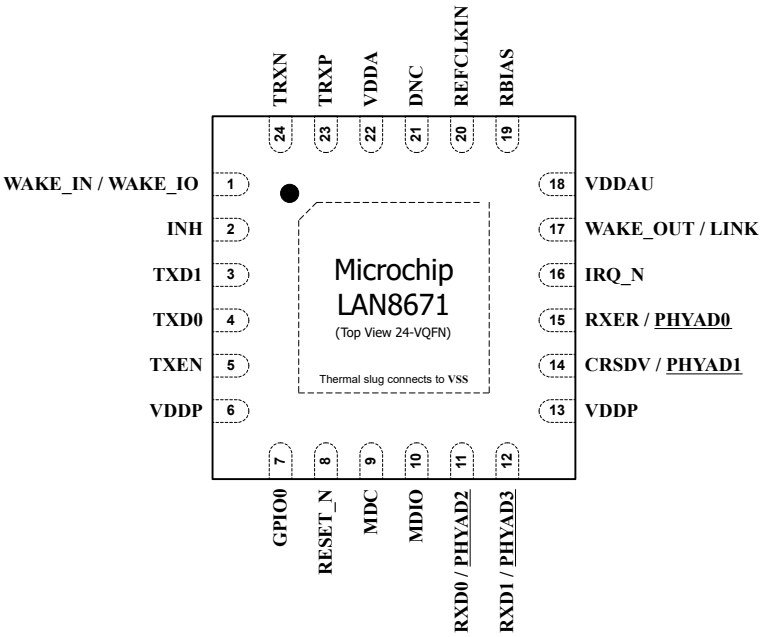
注： 裸露焊盘（VSS）必须接地。

1. WAKE_IO 和 LINK 引脚仅在 D0 版及更高版本的产品中提供。

© 2026 Microchip Technology Inc. 及其子公司

2.2. LAN8671 引脚分配

图 2-2. LAN8671 24-VQFN 引脚分配



注：配置引脚由带下划线的信号名称来标识。用作配置引脚的信号必须用外部电阻放大。WAKE_IO 和 LINK 引脚仅在 D0 版及更高版本的产品中提供。

重要：封装底部的裸露焊盘（VSS）必须接地。

表 2-2. LAN8671 24-VQFN 引脚分配

引脚编号	引脚名称	引脚编号	引脚名称
1	WAKE_IN/WAKE_IO[1]	13	VDDP
2	INH	14	CRSDV/PHYAD1
3	TXD1	15	RXER/PHYAD0
4	TXD0	16	IRQ_N
5	TXEN	17	WAKE_OUT/LINK[1]
6	VDDP	18	VDDAU
7	GPIO0	19	RBIAS
8	RESET_N	20	REFCLKIN
9	MDC	21	DNC
10	MDIO	22	VDDA
11	RXD0/PHYAD2	23	TRXP
12	RXD1/PHYAD3	24	TRXN

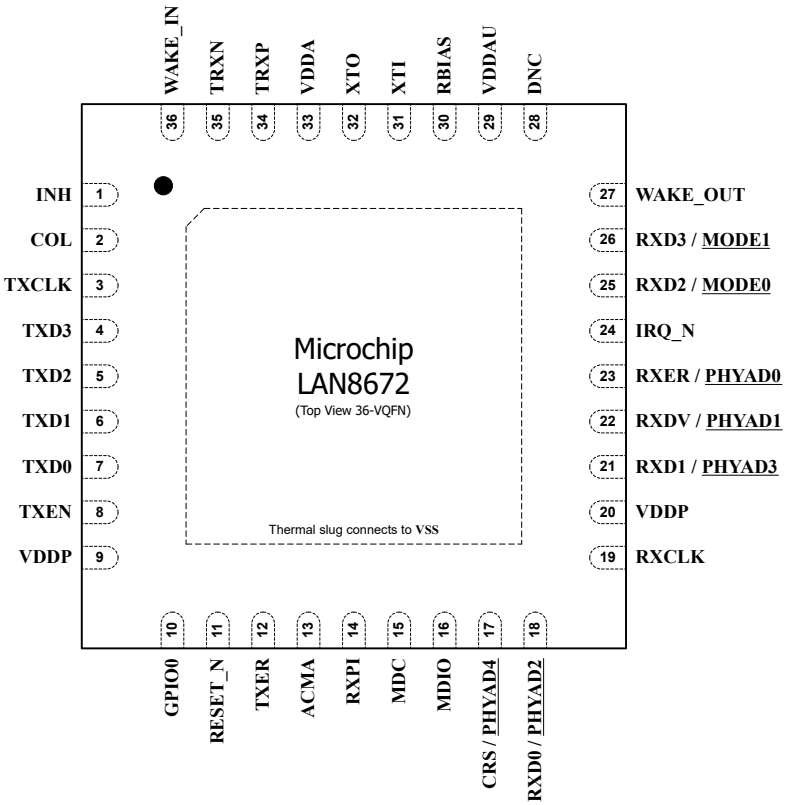
注：裸露焊盘（VSS）必须接地。

1. WAKE_IO 和 LINK 引脚仅在 D0 版及更高版本的产品中提供。

© 2026 Microchip Technology Inc. 及其子公司

2.3. LAN8672 引脚分配

图 2-3. LAN8672 36-VQFN 引脚分配



注：配置引脚由带下划线的信号名称来标识。用作配置引脚的信号必须用外部电阻放大。

重要：封装底部的裸露焊盘（VSS）必须接地。

注：LAN8672 36 引脚封装仅适用于 C2 产品版本。

© 2026 Microchip Technology Inc. 及其子公司

表 2-3. LAN8672 36-VQFN 引脚分配

引脚编号	引脚名称	引脚编号	引脚名称
1	INH	19	RXCLK
2	COL	20	VDDP
3	TXCLK	21	RXD1/PHYAD3
4	TXD3	22	RXDV/PHYAD1
5	TXD2	23	RXER/PHYAD0
6	TXD1	24	IRQ_N
7	TXD0	25	RXD2/MODE0
8	TXEN	26	RXD3/MODE1
9	VDDP	27	WAKE_OUT
10	GPIO0	28	DNC
11	RESET_N	29	VDDAU
12	TXER	30	RBIAS
13	ACMA	31	XTI
14	RXPI	32	XTO
15	MDC	33	VDDA
16	MDIO	34	TRXP
17	CRS/PHYAD4	35	TRXN
18	RXD0/PHYAD2	36	WAKE_IN

注：裸露焊盘（VSS）必须接地。

© 2026 Microchip Technology Inc. 及其子公司

2.4. 缓冲器类型

表 2-4. LAN8670/1/2 缓冲器类型说明

缓冲器	说明
AIO	模拟双向
ICLK	晶振或参考时钟振荡器输入
OCLK	晶振输出
PD	55 kΩ（典型值）内部下拉。除非引脚说明中另外说明，否则内部下拉不会使能。 内部下拉电阻可以防止未连接的输入悬空。不要依赖内部电阻来驱动器件的外部信号。如果连接了必须拉低的负载，必须添加外部电阻。
PU	55 kΩ（典型值）内部上拉。除非引脚说明中另外说明，否则内部上拉不会使能。 内部上拉电阻可以防止未连接的输入悬空。不要依赖内部电阻来驱动器件的外部信号。如果连接了必须拉高的负载，必须添加外部电阻。
VI-VDDAU	3.3V 输入（VDDAU 电源域）
VIS-VDDP	3.3V 施密特触发器输入（VDDP 电源域）
VO-VDDP	3.3V 输出，带可配置输出驱动（VDDP 电源域）
VOH-VDDP	3.3V 高速输出，带可配置输出驱动（VDDP 电源域）
VODL-VDDP	3.3V N 沟道开漏灌电流输出驱动（VDDP 电源域）
VODH-VDDAU	3.3V P 沟道开漏拉电流输出驱动（VDDAU 电源域）

注：除非另有说明，否则数字信号无法承受 5V 电压。

© 2026 Microchip Technology Inc. 及其子公司

2.5. 引脚说明

本节包含各 LAN8670/1/2 引脚的说明。信号名称中的符号“_N”表示信号处于低电压电平时有效或置为有效状态。例如，RESET_N 表示复位信号为低电平有效。信号名称后面没有“_N”时，信号在高电压电平时置为有效。

“置位”和“取消置位”为专用术语。这是为了避免与“低电平有效”和“高电平有效”信号一起使用时出现混淆。术语“置位”或“置为有效”表示信号有效，与高电平或低电平无关。术语“取消置位”表示信号无效。

*缓冲器类型*部分详述了引脚缓冲器类型定义。

表 2-5. MII/SC-MII/RMII 信号

名称	符号	缓冲器类型	说明
发送数据 0	TXD0	VIS-VDDP PD	发送数据总线 bit 0（所有模式）。 当器件处于复位时，此引脚为高阻态。
发送数据 1	TXD1	VIS-VDDP PD	发送数据总线 bit 1（所有模式）。 当器件处于复位时，此引脚为高阻态。
发送数据 2 （MII/SC-MII 模式）	TXD2	VIS-VDDP PD	发送数据总线 bit 2（MII/SC-MII 模式）。 在 RMII 模式下，此信号不使用，并在内部下拉至 VSS。 当器件处于复位时，此引脚为高阻态。
发送数据 3 （MII/SC-MII 模式）	TXD3	VIS-VDDP PD	发送数据总线 bit 3（MII/SC-MII 模式）。 在 RMII 模式下，此信号不使用，并在内部下拉至 VSS。 当器件处于复位时，此引脚为高阻态。
发送错误 （MII 模式）	TXER	VIS-VDDP PD	此输入置位，以指示在当前传输到器件的数据包中检测到错误。 RMII 模式下不使用此引脚，如果 LAN8670 上此引脚未用于 ACMA 功能，则应将其连接到 VSS。 此引脚与 LAN8670 上的 ACMA 功能共用。 此引脚与 D0 版 LAN8670 的 LINK 功能共用。 当器件处于复位时，此引脚为高阻态。
发送使能	TXEN	VIS-VDDP PD	表示 TXD[3:0]上存在有效的传输数据。在 RMII 模式下，仅 TXD[1:0]提供有效数据。 **注：**如果 MAC 在复位和初始化期间无法持续主动将此引脚拉低或驱动到低电平，则建议使用下拉电阻来防止意外传输。 当器件处于复位时，此引脚为高阻态。
发送时钟 （MII 模式）	TXCLK	VO-VDDP	用于将来自 MAC 的数据锁存至器件的 2.5 MHz 时钟。 在 RMII 模式下，此引脚未使用，并被驱动为低电平。如果 LAN8670 上此引脚不用于 RXPI 功能，则应保留不连接。 此引脚与 LAN8670 上的 RXPI 功能共用。 当器件处于复位时，此引脚为高阻态。
接收数据 0	RXD0	VOH-VDDP	接收数据总线 bit 0（所有模式）。 此引脚同时用作 PHYAD2 配置引脚，因此必须根据需要通过上拉/下拉电阻连接到 VDDP/VSS。 当器件处于复位时，此引脚为输入。当器件退出复位时，此引脚的状态会被锁存为 PHYAD2。

© 2026 Microchip Technology Inc. 及其子公司

表 2-5. MII/SC-MII/RMII 信号 （续）

名称	符号	缓冲器类型	说明
接收数据 1	RXD1	VOH-VDDP	接收数据总线 bit 1（所有模式）。 此引脚同时用作 PHYAD3 配置引脚，因此必须根据需要通过上拉/下拉电阻连接到 VDDP/VSS。 当器件处于复位时，此引脚为输入。当器件退出复位时，此引脚的状态会被锁存为 PHYAD3。
接收数据 2 （MII/SC-MII 模式）	RXD2	VO-VDDP	接收数据总线 bit 2（MII/SC-MII 模式） 此引脚同时用作 MODE0 配置引脚，因此必须根据需要通过上拉/下拉电阻连接到 VDDP/VSS。 当 LAN8670 配置为 RMII 工作模式时，RXD2 信号除在复位期间用作 MODE0 配置引脚外，其余时间不使用。 当器件处于复位时，此引脚为输入。当器件退出复位时，此引脚的状态会被锁存为 MODE0。
接收数据 3 （MII/SC-MII 模式）	RXD3	VO-VDDP	接收数据总线 bit 3（MII/SC-MII 模式）。 此引脚同时用作 MODE1 配置引脚，因此必须根据需要通过上拉/下拉电阻连接到 VDDP/VSS。 当 LAN8670 配置为 RMII 工作模式时，RXD3 信号除在复位期间用作 MODE1 配置引脚外，其余时间不使用。 当器件处于复位时，此引脚为输入。当器件退出复位时，此引脚的状态会被锁存为 MODE1。
接收错误	RXER	VOH-VDDP	此输出置位，以指示在器件当前传输的数据包中检测到错误。 此信号在 RMII 模式下为可选，也可不连接 MAC。此引脚同时用作 PHYAD0 配置引脚，因此必须根据需要通过上拉/下拉电阻连接到 VDDP/VSS。 当器件处于复位时，此引脚为输入。当器件退出复位时，此引脚的状态会被锁存为 PHYAD0。
接收数据有效 （MII/SC-MII 模式）	RXDV	VOH-VDDP	表示已恢复和解码的数据在 RXD[3:0]引脚上可用。 此引脚同时用作 PHYAD1 配置引脚，因此必须根据需要通过上拉/下拉电阻连接到 VDDP/VSS。 当 LAN8670 配置为 RMII 工作模式时，RXDV 信号除在复位期间用作 PHYAD1 配置引脚外，其余时间不使用。该引脚实际用作 CRSDV。 当器件处于复位时，此引脚为输入。当器件退出复位时，此引脚的状态会被锁存为 PHYAD1。
接收时钟 （MII 模式）	RXCLK	VO-VDDP	在 MII 模式下，此引脚为 2.5 MHz 接收时钟输出。 在 RMII 模式下，此引脚未使用，并被驱动为低电平。如果 LAN8670 上此引脚不用于 WAKEOUT 功能，则应保留不连接。 此引脚与 LAN8670 上的 WAKEOUT 功能共用。 当器件处于复位时，此引脚为高阻态。
单介质时钟 （SC-MII 模式）	SMCLK	VO-VDDP	在单时钟 MII 模式下，此引脚为 2.5 MHz 时钟输出，连接到介质访问控制器 MII TXCLK 和 RXCLK 输入引脚。 此引脚与 LAN8670 上的 WAKEOUT 功能共用。 当器件处于复位时，此引脚为高阻态。

© 2026 Microchip Technology Inc. 及其子公司

表 2-5. MII/SC-MII/RMII 信号 （续）

名称	符号	缓冲器类型	说明
载波检测/接收数据有效（RMII 模式）	CRSDV	VOH-VDDP	在 RMII 模式下，此信号置位，以指示接收介质处于非空闲状态。 此引脚同时用作 PHYAD1 配置引脚，因此必须根据需要通过上拉/下拉电阻连接到 VDDP/VSS。 当 LAN8670 配置为 MII 或 SC-MII 工作模式时，CRSDV 信号除在复位期间用作 PHYAD1 配置引脚外，其余时间不使用。该引脚实际用作 RXDV。 当器件处于复位时，此引脚为输入。当器件退出复位时，此引脚的状态会被锁存为 PHYAD1。
冲突检测（MII/SC-MII 模式）	COL	VO-VDDP	冲突检测。 在 RMII 模式下，此引脚未使用且悬空，因此应连接到 VSS。 当器件处于复位时，此引脚为高阻态。
载波检测（MII/SC-MII 模式）	CRS	VO-VDDP	载波检测。 此引脚同时用作 PHYAD4 配置引脚，因此必须根据需要通过上拉/下拉电阻连接到 VDDP/VSS。 当器件处于复位时，此引脚为输入。当器件退出复位时，此引脚的状态会被锁存为 PHYAD4。

© 2026 Microchip Technology Inc. 及其子公司

表 2-6. 以太网收发器引脚

名称	符号	缓冲器类型	说明
以太网 TX/RX 正极端子	TRXP	AIO	发射/接收信号的正极端子。
以太网 TX/RX 负极端子	TRXN	AIO	发射/接收信号的负极端子。

表 2-7. 串行管理接口（SMI）引脚

名称	符号	缓冲器类型	说明
SMI 数据输入/输出	MDIO	VIS-VDDP/ VO-VDDP	串行管理接口数据输入/输出。应通过上拉电阻连接到 VDDP。 当器件处于复位时，此引脚为高阻态。
SMI 时钟	MDC	VIS-VDDP	串行管理接口时钟。 当器件处于复位时，此引脚为高阻态。

表 2-8. 电源管理引脚

名称	符号	缓冲器类型	说明
禁止	INH	VODH-VDDAU	禁止。用于打开/关闭主外部稳压器。 此引脚在 VDDAU 域运行。 RESET_N 置位不会影响此引脚的状态。 此信号为高电平有效的 P 沟道开漏拉电流输出。该引脚将被驱动至 VDDAU，以禁止外部稳压器关闭。当外部稳压器可能关闭时，此引脚将变为高阻态。 **注：** 使用时，此引脚需要一个下拉电阻。 不使用时，此引脚应保持断开。 当器件处于复位时，此引脚为高阻态。
唤醒输入	WAKE_IN	VI-VDDAU	唤醒输入。置位以从休眠中唤醒器件。 不使用时，此引脚应连接到 VSS。 当器件处于复位时，此引脚为高阻态。 **注：** 此引脚在 VDDAU 域运行。 **注：** 使用时，此引脚需要上拉电阻或下拉电阻，具体取决于软件配置的置位极性。如果使用上拉电阻，则必须将其连接到 VDDAU。
唤醒输入/输出	WAKE_IO		唤醒输入/输出。WAKE_IN 引脚也可以配置为组合式唤醒输入/输出。当器件休眠时，在 WAKE_IO 上检测到脉冲则会将器件从休眠中唤醒。也可以从此引脚驱动输出脉冲，向其他器件发出唤醒事件信号。 当器件处于复位时，此引脚为高阻态。 **注：** 此引脚在 VDDAU 域运行。 **注：** 使用时，此引脚需要上拉电阻或下拉电阻，具体取决于软件配置的置位极性。如果使用上拉电阻，则必须将其连接到 VDDAU。 **注：** 唤醒输入/输出引脚仅在及更高版本的器件上提供。
唤醒输出	WAKE_OUT	VO-VDDP	唤醒输出。当器件从休眠中唤醒时置位。 不使用时，此引脚应保持断开。 当器件处于复位时，此引脚为高阻态。 **注：** 使用时，此引脚需要一个下拉电阻。 **注：** 此引脚在 VDDP 域运行。 此引脚与 LAN8671 D0 版的 LINK 功能共用。

© 2026 Microchip Technology Inc. 及其子公司

表 2-9. 应用引脚

名称	符号	缓冲器类型	说明
应用控制介质访问	ACMA	VIS-VDDP	应用控制介质访问。使能此功能后，站控制器可置位此输入，以允许 PHY 向介质发送数据。 未使用时，此引脚为输入，应连接至 VSS。 当器件处于复位时，此引脚为高阻态。 此引脚与 D0 版 LAN8670 的 LINK 功能共用。
接收数据包指示	RXPI	VO-VDDP	接收数据包指示。时间同步模块将此引脚置位，以指示收到数据包。PHY 接收到与已配置模式匹配的数据包时，此引脚也会置位。数据包匹配功能通常在接收到 *IEEE Std 802.1AS* gPTP 数据包时触发。 不使用时，此引脚会被主动驱动为低电平，可保持为不连接。 当器件处于复位时，此引脚为高阻态。
发送数据包指示	TXPI	VO-VDDP	发送数据包指示。时间同步模块将此引脚置位，以指示发送数据包。PHY 发送与已配置模式匹配的数据包时，此引脚也会置位。数据包匹配功能通常在发送 *IEEE Std 802.1AS* gPTP 数据包时触发。 当器件处于复位时，此引脚为高阻态。
通用应用 I/O	GPIO0	VIS-VDDP/ VO-VDDP	通用应用 I/O 0。此引脚可配置为 ACMA、TXPI、RXPI、RXTXPI 或 LINK。 站管理实体无法通过 CSR 写入或读取操作直接驱动或读取此引脚。 不使用时，此引脚会被主动驱动为低电平，可保持为不连接。 当器件处于复位时，此引脚为高阻态。
链路状态指示	LINK	VO-VDDP	链路状态指示。使能此功能后，当网络链路状态为 true 时，此引脚将置为高电平。 **注：** 链路状态输出引脚仅在 D0 及更高版本的器件上提供。

表 2-10. 其他引脚

名称	符号	缓冲器类型	说明
外部 25 MHz 晶振输入	XTI	ICLK	外部 25 MHz 晶振输入（仅限 MII/SC-MII）。 25 MHz、1.8-3.3V 单端时钟振荡器输入（仅限-40℃至+85℃环境温度）。
外部 25 MHz 晶振输出	XTO	OCLK	外部 25 MHz 晶振输出（仅限 MII/SC-MII）。 **注：** 在 XTI 上使用单端时钟振荡器时或当 LAN8670 处于 RMII 模式时，此引脚必须处于非连接状态，且杂散电容小于 10 pF。
外部时钟输入	REFCLKIN	ICLK	50 MHz、1.8-3.3V 单端时钟振荡器输入（仅限 RMII）。
中断	IRQ_N	VODL-VDDP	器件中断请求。低电平有效 N 沟道开漏灌电流输出。 **注：** 此引脚需要通过一个 10 kΩ（典型值）上拉电阻连接到 VDDP。 当器件处于复位时，此引脚为高阻态。
系统复位	RESET_N	VIS-VDDP PU	系统复位。此引脚为低电平有效。 如果不使用，此引脚可直接连接到 VDDP。
偏置电阻	RBIAS	AIO	外部偏置电阻连接引脚。此引脚需要通过 12.4 kΩ 电阻接地。 **注：** 在整个预期工作温度范围内，电阻必须在±1%的容差区间内。

© 2026 Microchip Technology Inc. 及其子公司

表 2-10. 其他引脚 （续）

名称	符号	缓冲器类型	说明
请勿连接	DNC	—	除非 Microchip 另有指示，否则该引脚必须保持外部悬空。

表 2-11. 配置引脚

名称	符号	缓冲器类型	说明
工作模式配置引脚 1-0	MODE[1:0]	VIS-VDDP	这些配置引脚用于选择器件的默认工作模式。更多信息，请参见配置引脚。 **注：** 这些引脚必须通过上拉/下拉电阻（典型值 10 kΩ）连接到 VDDP 或 VSS，以配置所需的工作模式。
PHY 地址配置引脚 4-0	PHYAD[4:0]	VIS-VDDP	这些配置引脚用于选择器件的默认 PHY SMI 地址。更多信息，请参见配置引脚。 **注：** 这些引脚必须通过上拉/下拉电阻（典型值 10 kΩ）连接到 VDDP 或 VSS，以配置所需的 SMI 地址。

表 2-12. 电源引脚

名称	符号	说明
+3.3V 可开关 I/O 电源输入	VDDP	+3.3V I/O 电源输入。当处于休眠模式时，必须禁止此电源。
+3.3V 连续 VDDAU 电源输入	VDDAU	+3.3V 连续 VDDAU 电源输入。 **注：** 休眠模式下必须提供此电源。 **注：** 当不使用唤醒/休眠支持时，此引脚连接到与 VDDA 相同的电源。
+3.3V 可开关模拟电源输入	VDDA	+3.3V 模拟电源输入。当处于休眠模式时，必须禁止此电源。
地	VSS	公共地。 **注：** 该裸露焊盘必须用过孔阵列连接到地平面。

2.6. 配置引脚

配置引脚可根据复位时的信号电平，将器件的功能自动配置为用户定义的值。它们在引脚分配列表中由带下划线的信号名称来标识。配置引脚没有用于防止信号未连接时悬空的内部电阻。

重要： 配置引脚与输出信号共用引脚。标识为配置引脚的引脚必须始终通过外部电阻上拉至 VDDP 或下拉至 VSS。

重要： 外部上拉或下拉电阻的大小必须合适（典型值 10 kΩ），以确保配置引脚在复位锁存之前达到所需的电压值。如果使用上拉电阻，则必须将其连接到 VDDP。

配置引脚会在上电复位（Power-On Reset，POR）和引脚复位（RESET_N）时锁存。复位完成后，即所有电源均高于阈值且 RESET_N 引脚不再置位时，会对信号采样并存储在 STRAP_CTRL0 中。

注： 当通过基本控制寄存器的 Soft Reset 位进行软复位时，会从 STRAP_CTRL0 寄存器重新加载器件的配置，而不是从外部引脚的状态重新加载。为确保正常工作，禁止更改此寄存器中的值。

2.6.1. MODE[0]和 MODE[1]配置引脚

仅 LAN8670 和 LAN8672 的 C2 版具有标为 MODE[0]和 MODE[1]的配置引脚。这些引脚应按如下进行配置。

LAN8670——配置器件模式

MODE[1:0]配置引脚决定 LAN8670 和 MAC 之间的接口是 MII、RMII 还是 SC-MII，如下方表 2-13 中所示。如果需要，可在 STRAP_CTRL0 寄存器中读取该值。

© 2026 Microchip Technology Inc. 及其子公司

表 2-13. MODE[1:0]配置引脚

MODE[1:0]	定义
00b	保留
01b	PHY 置于 MII 模式，并使用 25 MHz 晶振
10b	PHY 置于 RMII 模式，并使用 50 MHz REFCLKIN
11b	PHY 置于单时钟 MII（Single Clock MII，SC-MII）模式，并使用 25 MHz 晶振（仅限 LAN8670）。TXCLK 和 TXER 引脚用于其他功能。RXCLK 引脚变为单个 MII 时钟输出。

LAN8672

LAN8672 C2 版需要将 MODE[0]引脚上拉并将 MODE[1]引脚下拉，以确保器件正常工作。

© 2026 Microchip Technology Inc. 及其子公司

2.6.2. PHYAD[]配置引脚——选择 PHY 地址

在某些应用中，尤其是在交换机中，多个 PHY 共用同一个 SMI，即 MDIO 和 MDC 引脚。在这些系统中，操作引脚的控制器必须能够分别管理每个 PHY。实现方法是为每个器件分配唯一的地址。每个 PHY 都会检查每个管理数据帧中是否有匹配地址，并且每个 PHY 只会响应具有其正确地址的帧。

PHYAD[]配置引脚可为每个 PHY 分配一个唯一的地址。PHYAD[]配置引脚的硬件设计应确保在上电或硬件复位期间，通过外部电阻将引脚上拉至 VDDP 或下拉至地。同一 MDIO 接口上的每个 PHY 都必须具有唯一的引脚配置，以提供唯一的 SMI 地址。硬件复位结束后，此地址会锁存到内部寄存器。任何位组合都可作为有效地址。

注：LAN8670/2 有五个 PHYAD[4:0]引脚，总共有 32 个可用的地址。LAN8671 有四个 PHYAD[3:0]引脚，总共有 16 个可用的地址。

2.7. 引脚配置

根据器件和模式的不同，LAN8670/1/2 的某些引脚可能承担多种功能。LAN8670 中有 5 个引脚的功能会随着 MODE[1:0]配置引脚设置的器件模式而变化。 表 2-14 显示了根据配置的器件模式分配给这些引脚的功能。

表 2-14. LAN8670 器件模式引脚配置

	MII	SC-MII	RMII
引脚 11（TXER/ACMA）	TXER[1]	ACMA	ACMA
引脚 12（TXCLK/RXPI）	TXCLK[2]	RXPI	RXPI
引脚 15（CRS）	CRS	CRS	未使用
引脚 17（RXCLK/SMCLK/ WAKE_OUT）	RXCLK	SMCLK	WAKE_OUT
引脚 20（RXDV/CRSDV）	RXDV	RXDV	CRSDV

注：

1. GPIO0 可用于 ACMA
2. GPIO0 可用于 RXPI

GPIO0 引脚是一个多用途引脚，可按需配置实现多种用途。此功能有助于实现特定器件封装或配置中不提供的某些特定功能。例如，通过在发送和/或接收到与特定模式匹配的数据包时置位输出信号，可支持时间敏感型网络（TSN）。根据需要，可将 GPIO0 引脚配置为发送数据包指示（Transmit Packet Indication，TXPI）、接收数据包指示（Receive Packet Indication，RXPI）或接收/发送数据包指示（Receive/ Transmit Packet Indication，RXTXPI）输出。此外，GPIO0 可配置为应用控制介质访问（ACMA）输入引脚。

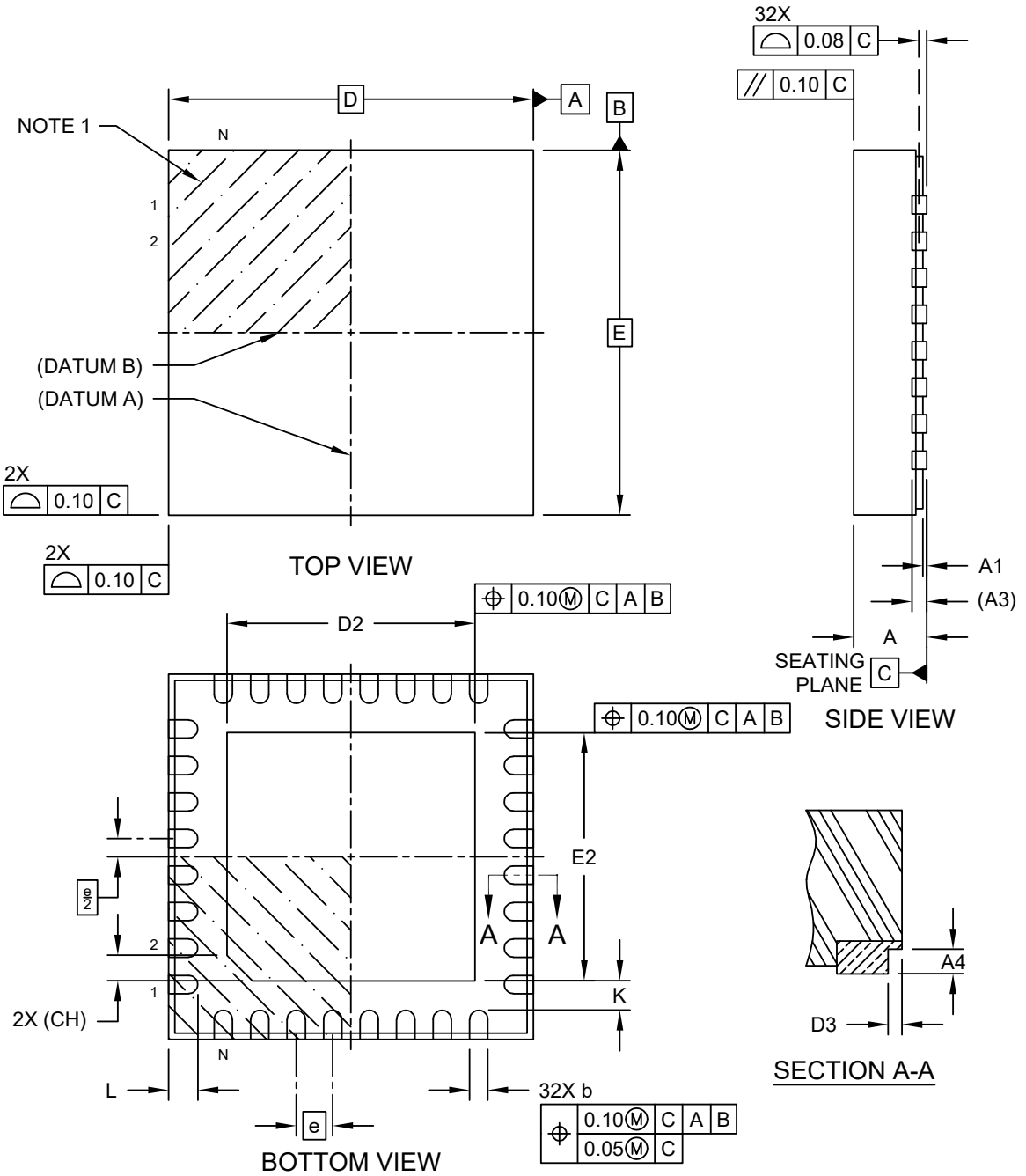
© 2026 Microchip Technology Inc. 及其子公司

3. 封装信息

3.1. 32-VQFN（仅限 LAN8670）

32-Lead Very Thin Plastic Quad Flat, No Lead Package (LMX) - 5x5x1.0 mm Body [VQFN]
With 3.4 mm Exposed Pad and Stepped Wettable Flanks

Note:	For the most current package drawings, please see the Microchip Packaging Specification located at http://www.microchip.com/packaging

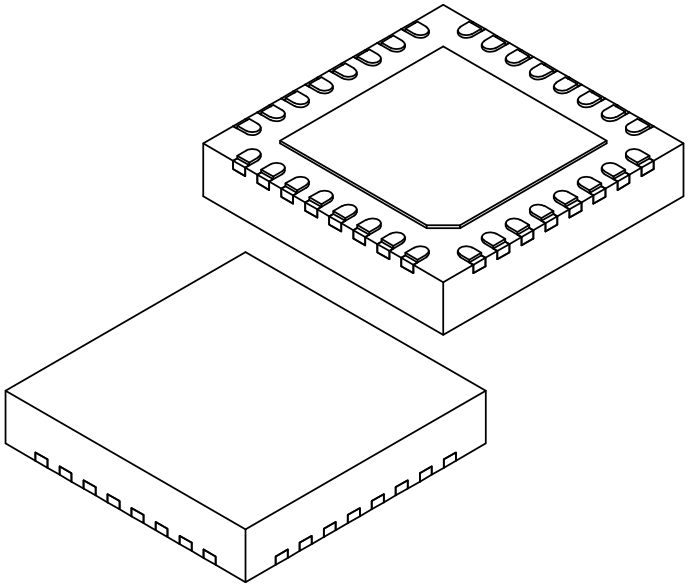


Microchip Technology Drawing C04-500 Rev B Sheet 1 of 2

© 2026 Microchip Technology Inc. 及其子公司

32-Lead Very Thin Plastic Quad Flat, No Lead Package (LMX) - 5x5x1.0 mm Body [VQFN] With 3.4 mm Exposed Pad and Stepped Wettable Flanks

Note: For the most current package drawings, please see the Microchip Packaging Specification located at http://www.microchip.com/packaging



Units		MILLIMETERS		
Dimension Limits		MIN	NOM	MAX
Number of Terminals	N		32	
Pitch	e		0.50 BSC	
Overall Height	A	0.80	0.90	1.00
Standoff	A1	0.00	0.02	0.05
Terminal Thickness	A3		0.203 REF	
Overall Length	D		5.00 BSC	
Exposed Pad Length	D2	3.30	3.40	3.50
Overall Width	E		5.00 BSC	
Exposed Pad Width	E2	3.30	3.40	3.50
Terminal Width	b	0.20	0.25	0.30
Terminal Length	L	0.30	0.40	0.50
Terminal-to-Exposed Pad	K	0.20	-	-
Exposed Pad Corner Chamfer	CH		0.35 REF	
Step Height	A4	0.10	-	0.19
Step Length	D3	0.035	0.060	0.085

Notes:

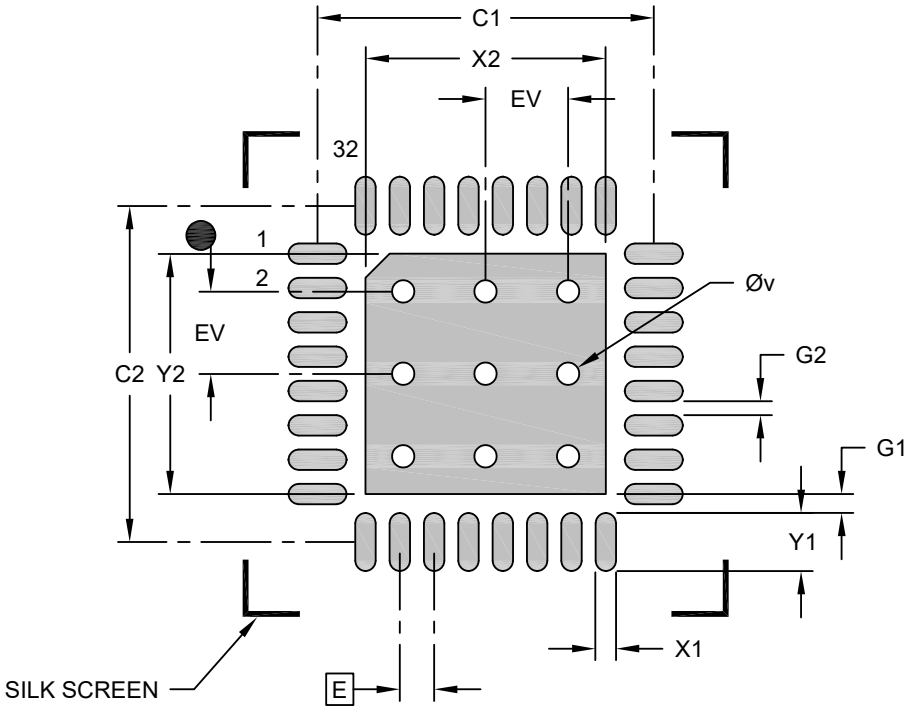
1. Pin 1 visual index feature may vary, but must be located within the hatched area.
2. Package is saw singulated
3. Dimensioning and tolerancing per ASME Y14.5M
   BSC: Basic Dimension. Theoretically exact value shown without tolerances.
   REF: Reference Dimension, usually without tolerance, for information purposes only.

Microchip Technology Drawing C04-500 Rev B Sheet 1 of 2

© 2026 Microchip Technology Inc. 及其子公司

32-Lead Very Thin Plastic Quad Flat, No Lead Package (LMX) - 5x5x1.0 mm Body [VQFN] With 3.4 mm Exposed Pad and Stepped Wettable Flanks

Note: For the most current package drawings, please see the Microchip Packaging Specification located at http://www.microchip.com/packaging



RECOMMENDED LAND PATTERN

Units		MILLIMETERS		
Dimension Limits		MIN	NOM	MAX
Contact Pitch	E		0.50 BSC	
Optional Center Pad Width	X2			3.50
Center Pad Length	Y2			3.50
Contact Pad Spacing	C1		4.90	
Contact Pad Spacing	C2		4.90	
Contact Pad Width (32)	X1			0.30
Contact Pad Length (32)	Y1			0.85
Contact Pad to Center Pad (32)	G1	0.20		
Contact Pad to Contact Pad (X28)	G2	0.20		
Thermal Via Diameter	V		0.33	
Thermal Via Pitch	EV		1.20	

Notes:

1. Dimensioning and tolerancing per ASME Y14.5M
   BSC: Basic Dimension. Theoretically exact value shown without tolerances.
2. For best soldering results, thermal vias, if used, should be filled or tented to avoid solder loss during reflow process

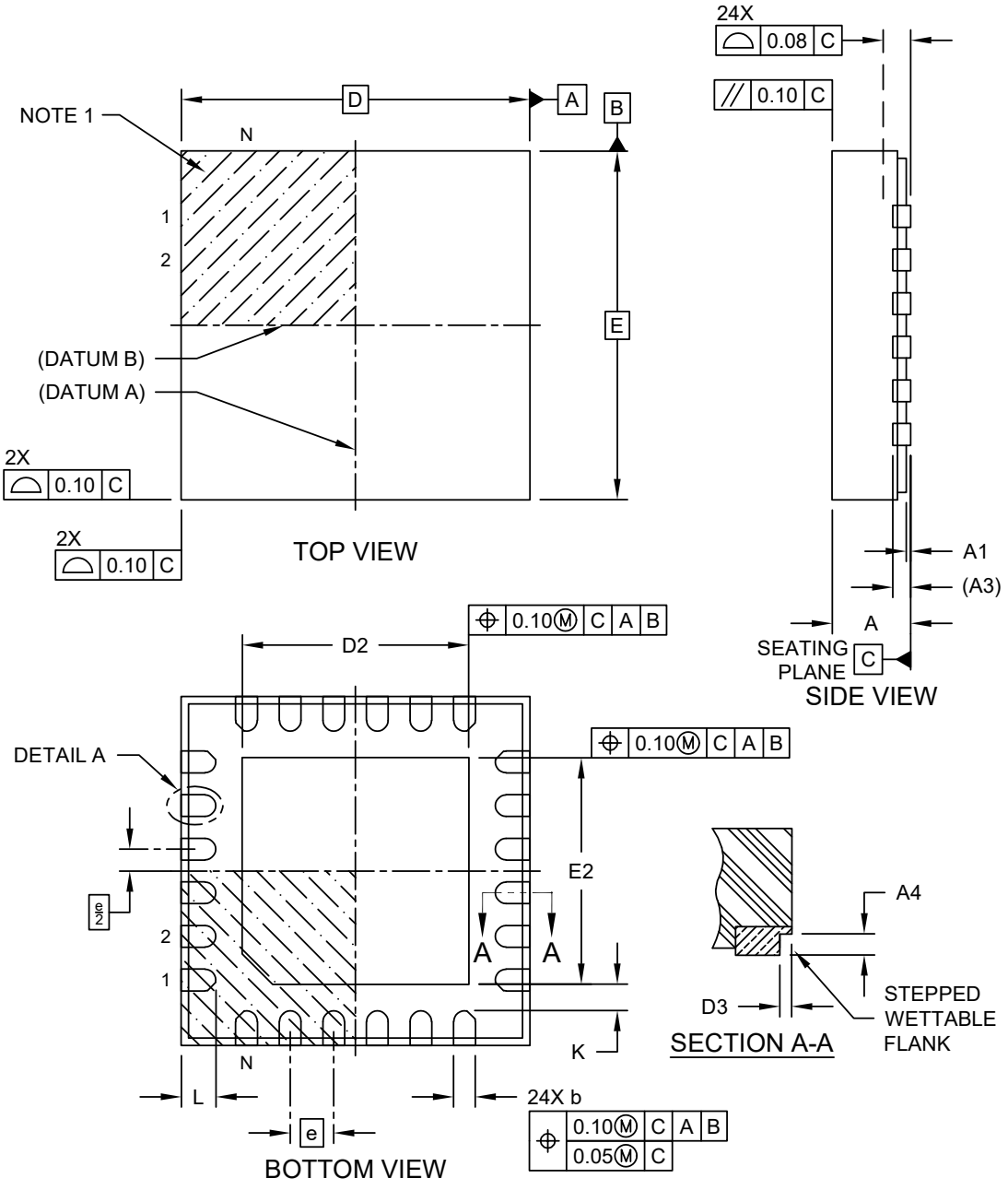
Microchip Technology Drawing C04-2500 Rev B

© 2026 Microchip Technology Inc. 及其子公司

3.2. 24-VQFN（仅限 LAN8671）

24-Lead Very Thin Plastic Quad Flat, No Lead Package (U3B) - 4x4 mm Body [VQFN] With 2.6mm Exposed Pad and Stepped Wettable Flanks; Atmel Legacy ZCY

Note:	For the most current package drawings, please see the Microchip Packaging Specification located at http://www.microchip.com/packaging

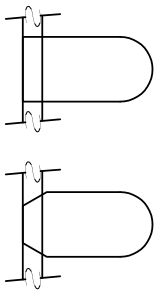


Microchip Technology Drawing C04-21483 Rev B Sheet 1 of 2

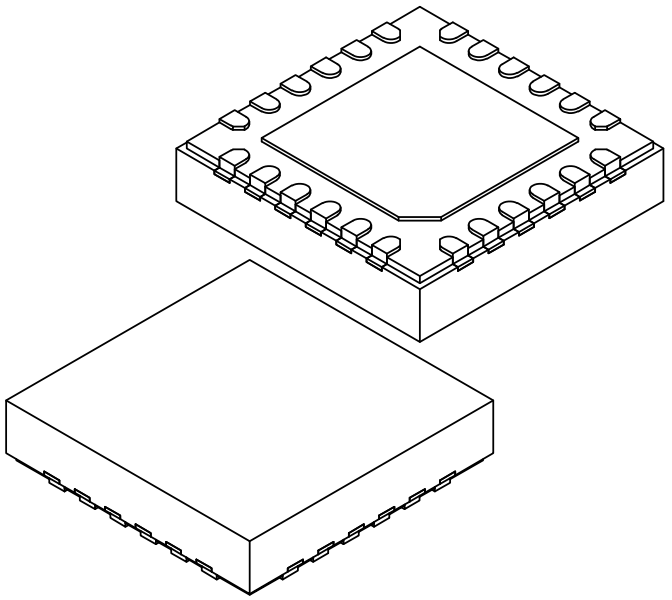
© 2026 Microchip Technology Inc. 及其子公司

24-Lead Very Thin Plastic Quad Flat, No Lead Package (U3B) - 4x4 mm Body [VQFN] With 2.6mm Exposed Pad and Stepped Wettable Flanks; Atmel Legacy ZCY

Note: For the most current package drawings, please see the Microchip Packaging Specification located at http://www.microchip.com/packaging



DETAIL 1
ALTERNATE TERMINAL CONFIGURATIONS



Units		MILLIMETERS		
Dimension Limits		MIN	NOM	MAX
Number of Terminals	N		24	
Pitch	e		0.50 BSC	
Overall Height	A	0.80	0.90	1.00
Standoff	A1	0.00	0.035	0.05
Terminal Thickness	A3		0.203 REF	
Overall Length	D		4.00 BSC	
Exposed Pad Length	D2	2.50	2.60	2.70
Overall Width	E		4.00 BSC	
Exposed Pad Width	E2	2.50	2.60	2.70
Terminal Width	b	0.20	0.25	0.30
Terminal Length	L	0.35	0.40	0.45
Terminal-to-Exposed-Pad	K	0.20	-	-
Wettable Flank Step Length	D3	-	-	0.085
Wettable Flank Step Height	A4	0.10	-	0.19

Notes:

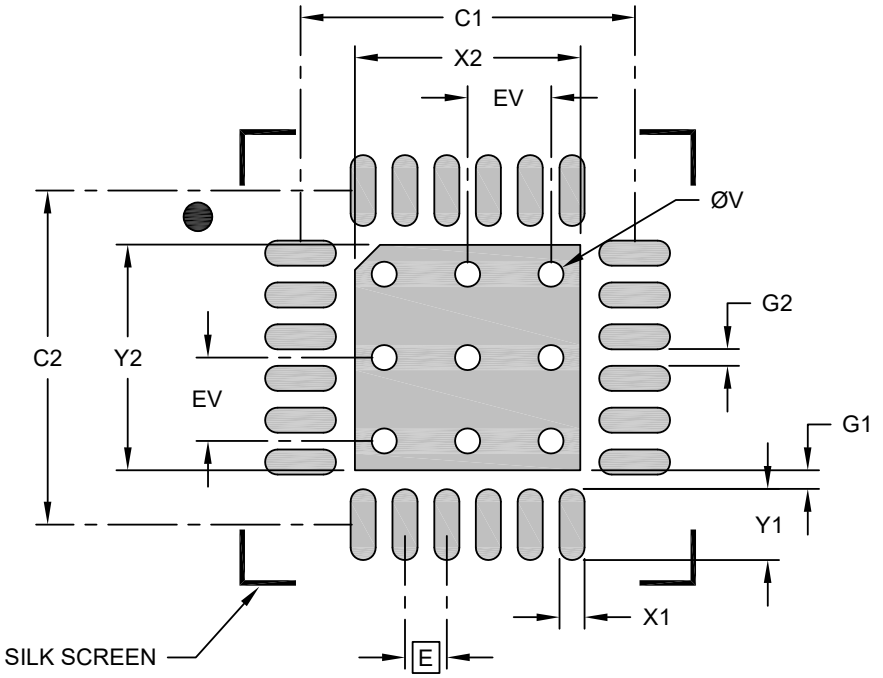
1. Pin 1 visual index feature may vary, but must be located within the hatched area.
2. Package is saw singulated
3. Dimensioning and tolerancing per ASME Y14.5M
   BSC: Basic Dimension. Theoretically exact value shown without tolerances.
   REF: Reference Dimension, usually without tolerance, for information purposes only.

Microchip Technology Drawing C04-21483 Rev B Sheet 2 of 2

© 2026 Microchip Technology Inc. 及其子公司

24-Lead Very Thin Plastic Quad Flat, No Lead Package (U3B) - 4x4 mm Body [VQFN] With 2.6mm Exposed Pad and Stepped Wettable Flanks; Atmel Legacy ZCY

Note: For the most current package drawings, please see the Microchip Packaging Specification located at http://www.microchip.com/packaging



RECOMMENDED LAND PATTERN

Units		MILLIMETERS		
Dimension Limits		MIN	NOM	MAX
Contact Pitch	E		0.50 BSC	
Optional Center Pad Width	X2			2.70
Optional Center Pad Length	Y2			2.70
Contact Pad Spacing	C1		4.00	
Contact Pad Spacing	C2		4.00	
Contact Pad Width (X24)	X1			0.30
Contact Pad Length (X24)	Y1			0.85
Contact Pad to Center Pad (X24)	G1	0.23		
Contact Pad to Contact Pad (20)	G2	0.20		
Thermal Via Diameter	V		0.30	
Thermal Via Pitch	EV		1.00	

Notes:

1. Dimensioning and tolerancing per ASME Y14.5M
   BSC: Basic Dimension. Theoretically exact value shown without tolerances.
2. For best soldering results, thermal vias, if used, should be filled or tented to avoid solder loss during reflow process

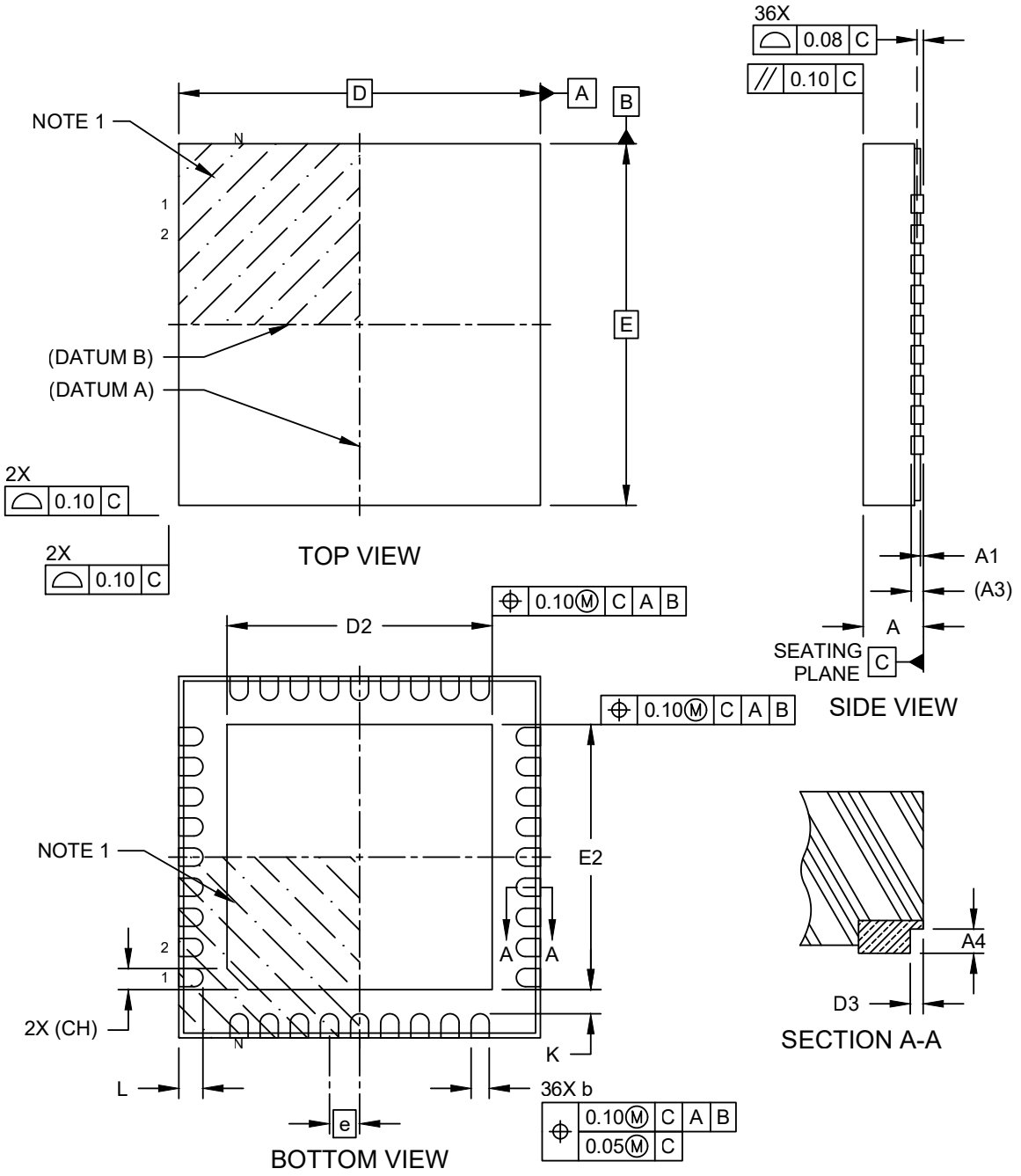
Microchip Technology Drawing C04-23483 Rev B

© 2026 Microchip Technology Inc. 及其子公司

3.3. 36-VQFN（仅限 LAN8672 C2 版）

36-Lead Very Thin Plastic Quad Flat, No Lead Package (LNX) - 6x6x1.0 mm Body [VQFN] With 4.4 mm Exposed Pad and Stepped Wettable Flanks

Note:	For the most current package drawings, please see the Microchip Packaging Specification located at http://www.microchip.com/packaging

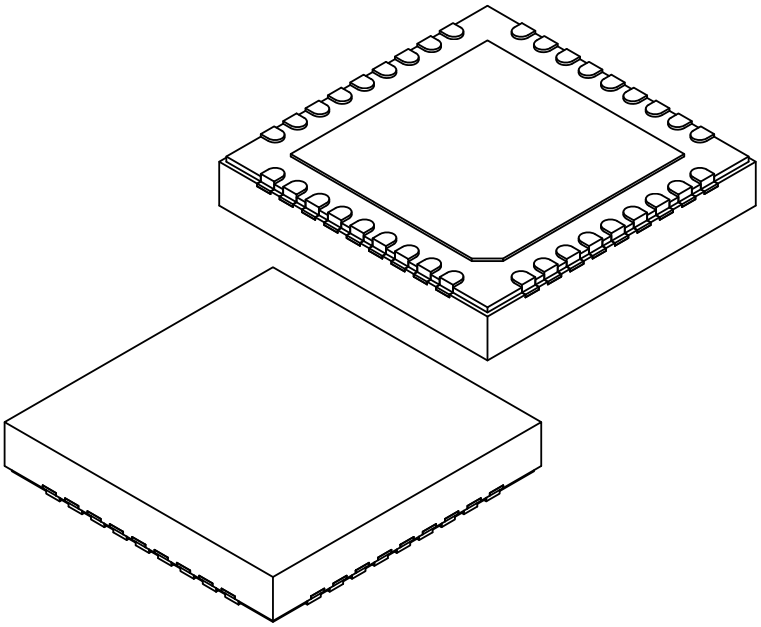


Microchip Technology Drawing C04-00501 Rev C Sheet 1 of 2

© 2026 Microchip Technology Inc. 及其子公司

36-Lead Very Thin Plastic Quad Flat, No Lead Package (LNX) - 6x6x1.0 mm Body [VQFN] With 4.4 mm Exposed Pad and Stepped Wettable Flanks

Note: For the most current package drawings, please see the Microchip Packaging Specification located at http://www.microchip.com/packaging



Units		MILLIMETERS		
Dimension Limits		MIN	NOM	MAX
Number of Terminals	N		36	
Pitch	e		0.50 BSC	
Overall Height	A	0.80	0.90	1.00
Standoff	A1	0.00	0.02	0.05
Terminal Thickness	A3		0.203 REF	
Overall Length	D		6.00 BSC	
Exposed Pad Length	D2	4.30	4.40	4.50
Overall Width	E		6.00 BSC	
Exposed Pad Width	E2	4.30	4.40	4.50
Terminal Width	b	0.20	0.25	0.30
Terminal Length	L	0.30	0.40	0.50
Terminal-to-Exposed-Pad	K	0.40	-	-
Exposed Pad Corner Chamfer	CH		0.35 REF	
Step Height	A4	0.10	-	0.19
Step Length	D3	0.035	0.060	0.085

Notes:

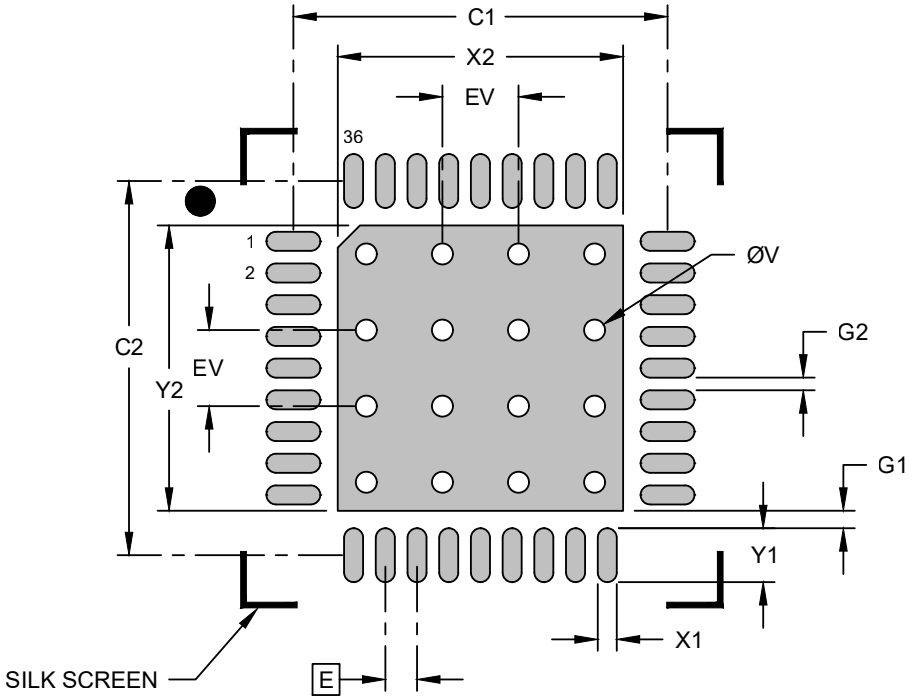
1. The Pin 1 visual index feature may vary, but it must be located within the hatched area.
2. The package is saw singulated.
3. Dimensioning and tolerancing per ASME Y14.5M
   BSC: Basic Dimension. The theoretically exact value is shown without tolerances.
   REF: Reference Dimension, usually without tolerance, is for information purposes only.

Microchip Technology Drawing C04-00501 Rev C Sheet 2 of 2

© 2026 Microchip Technology Inc. 及其子公司

36-Lead Very Thin Plastic Quad Flat, No Lead Package (LNX) - 6x6x1.0 mm Body [VQFN] With 4.4 mm Exposed Pad and Stepped Wettable Flanks

Note: For the most current package drawings, please see the Microchip Packaging Specification located at http://www.microchip.com/packaging



RECOMMENDED LAND PATTERN

Units		MILLIMETERS		
Dimension Limits		MIN	NOM	MAX
Contact Pitch	E		0.50 BSC	
Center Pad Width	X2			4.50
Center Pad Length	Y2			4.50
Contact Pad Spacing	C1		5.90	
Contact Pad Spacing	C2		5.90	
Contact Pad Width (Xnn)	X1			0.30
Contact Pad Length (Xnn)	Y1			0.85
Contact Pad to Center Pad (Xnn)	G1	0.20		
Contact Pad to Contact Pad (Xnn)	G2	0.20		
Thermal Via Diameter	V		0.33	
Thermal Via Pitch	EV		1.20	

Notes:

1. Dimensioning and tolerancing per ASME Y14.5M
   BSC: Basic Dimension. The theoretically exact value is shown without tolerances.
2. For best soldering results, thermal vias, if used, should be filled or tented to avoid solder loss during the reflow process.

Microchip Technology Drawing C04-02501 Rev C

© 2026 Microchip Technology Inc. 及其子公司

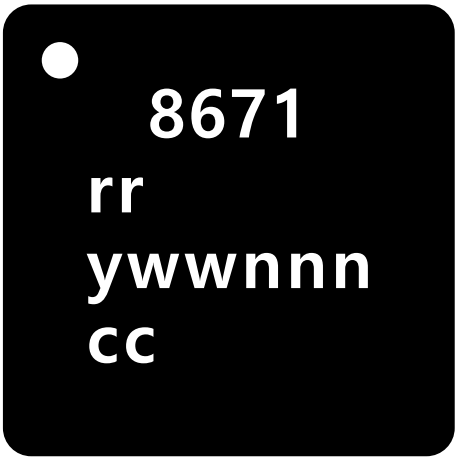
4. 封装标识信息

图 4-1. LAN8670 顶部标记



Legend:		
	LAN8670	Device Identifier
	rr	Product Revision Code
	yy	last two digits of Assembly Year
	ww	Assembly Work Week
	nnn	Tracking Number
	cc	Country of Origin Abbreviation (optional)
	(e3)	Pb-free JEDEC designator for Matte Tin (Sn)
	*	This package is Pb-free. The Pb-free JEDEC designator ((e3)) can be found on the outer packaging for this package.

图 4-2. LAN8671 顶部标记



Legend:		
	8671	Device Identifier (LAN8671)
	rr	Product Revision Code
	y	last digit of Assembly Year
	ww	Assembly Work Week
	nnn	Tracking Number
	cc	Country of Origin Abbreviation (optional)
	(e3)	Pb-free JEDEC designator for Matte Tin (Sn)
	*	This package is Pb-free. The Pb-free JEDEC designator ((e3)) can be found on the outer packaging for this package.

© 2026 Microchip Technology Inc. 及其子公司

图 4-3. LAN8672 C2 版顶部标记



Legend:		
	LAN8672	Device Identifier
	rr	Product Revision Code
	yy	last two digits of Assembly Year
	ww	Assembly Work Week
	nnn	Tracking Number
	cc	Country of Origin Abbreviation (optional)
	(e3)	Pb-free JEDEC designator for Matte Tin (Sn)
	*	This package is Pb-free. The Pb-free JEDEC designator ((e3)) can be found on the outer packaging for this package.

© 2026 Microchip Technology Inc. 及其子公司

Microchip 信息

商标

“Microchip”的名称和徽标组合、“M”徽标及其他名称、徽标和品牌均为 Microchip Technology Incorporated 或其关联公司和/或子公司在美国和/或其他国家或地区的注册商标或商标（“Microchip 商标”）。有关 Microchip 商标的信息，可访问 https://www.microchip.com/en-us/about/legal-information/microchip-trademarks。

ISBN： 979-8-3371-3365-2

法律声明

提供本文档的中文版本仅为了便于理解。请勿忽视文档中包含的英文部分，因为其中提供了有关 Microchip 产品性能和使用情况的有用信息。Microchip Technology Inc.及其分公司和相关公司、各级主管与员工及事务代理机构对译文中可能存在的任何差错不承担任何责任。建议参考 Microchip Technology Inc.的英文原版文档。

本出版物及其提供的信息仅适用于 Microchip 产品，包括设计、测试以及将 Microchip 产品集成到您的应用中。以其他任何方式使用这些信息都将被视为违反条款。本出版物中的器件应用信息仅为您提供便利，将来可能会发生更新。您须自行确保应用符合您的规范。如需额外的支持，请联系当地的 Microchip 销售办事处，或访问 www.microchip.com/en-us/support/design-help/client-support-services。

Microchip“按原样”提供这些信息。Microchip 对这些信息不作任何明示或暗示、书面或口头、法定或其他形式的声明或担保，包括但不限于针对非侵权性、适销性和特定用途的适用性的暗示担保，或针对其使用情况、质量或性能的担保。

在任何情况下，对于因这些信息或使用这些信息而产生的任何间接的、特殊的、惩罚性的、偶然的或附带的损失、损害或任何类型的开销，Microchip 概不承担任何责任，即使 Microchip 已被告知可能发生损害或损害可以预见。在法律允许的最大范围内，对于因这些信息或使用这些信息而产生的所有索赔，Microchip 在任何情况下所承担的全部责任均不超出您为获得这些信息向 Microchip 直接支付的金额（如有）。如果将 Microchip 器件用于生命维持和/或生命安全应用，一切风险由买方自负。买方同意在由此引发任何一切损害、索赔、诉讼或费用时，会维护和保障 Microchip 免于承担法律责任。除非另外声明，在 Microchip 知识产权保护下，不得暗中或以其他方式转让任何许可证。

Microchip 器件代码保护功能

请注意以下有关 Microchip 产品代码保护功能的要点：

- Microchip 的产品均达到 Microchip 数据手册中所述的技术规范。
- Microchip 确信：在正常使用且符合工作规范的情况下，Microchip 系列产品非常安全。
- Microchip 注重并积极保护其知识产权。严禁任何试图破坏 Microchip 产品代码保护功能的行为，这种行为可能会违反《数字千年版权法案》（Digital Millennium Copyright Act）。
- Microchip 或任何其他半导体厂商均无法保证其代码的安全性。代码保护并不意味着我们保证产品是“牢不可破”的。代码保护功能处于持续发展中。Microchip 承诺将不断改进产品的代码保护功能。

© 2026 Microchip Technology Inc. 及其子公司