
SAMA5D2 动态存储器实现指南

范围

本应用笔记为 SAMA5D2 系列微处理器提供了有关 PCB 布线和软件设置的设计建议，以确保采用多种 SDRAM 器件类型的器件能够正常工作。

参考文件

类型	文档标题	可用	参考
数据手册	SAMA5D2 Series	http://www.microchip.com	DS60001476
技术说明	Hardware Tips for Point-to-Point System Design Introduction	http://www.micron.com	TN-46-14
标准	Design Guide for High-Speed Controlled Impedance Circuit Boards	http://shop.ipc.org/	IPC-2141

使用的软件

- IAR Embedded Workbench® for Arm® 7.80.1.11873
- SAM-BA® 3.2.1
- Altium Designer® 18.0.2

使用的硬件

- SAMA5D2-XULT（官方演示工具包）
- SAMA5D2-PTC-EK（官方演示工具包）
- MPUx-DRAMx（内部研发板）

目录

范围.....	1
参考文件.....	1
使用的软件.....	1
使用的硬件.....	1
1. SAMA5D2 DDR 控制器功能.....	3
2. 我们的方法.....	4
3. 硬件方面.....	7
3.1. SAMA5D2-XULT 开发工具包.....	8
3.2. SAMA5D2-PTC-EK 开发工具包.....	14
3.3. SAMA5D24/BGA256 定制测试板.....	20
3.4. SAMA5D27/BGA289 定制测试板.....	44
4. 软件方面.....	54
4.1. 板上 SDRAM 器件初始化序列.....	54
4.2. SDRAM 控制器配置.....	60
5. 设置建议.....	87
6. 结论.....	89
7. 版本历史.....	90
7.1. 版本 B——2018 年 11 月.....	90
7.2. 版本 A——2018 年 6 月.....	90
Microchip 网站.....	91
变更通知客户服务.....	91
客户支持.....	91
Microchip 器件代码保护功能.....	91
法律声明.....	92
商标.....	92
DNV 认证的质量管理体系.....	93
全球销售及服务网点.....	94

1. SAMA5D2 DDR 控制器功能

SAMA5D2 系列 MPU 具有多端口 DDR-SDRAM 控制器（MPDDRC）。

MPDDRC 是一款高带宽可加扰 16 位或 32 位双倍数据速率（Double Data Rate, DDR）多端口存储器控制器，支持最高 512 MB 的 8 存储区 DDR2、DDR3、DDR3L、LPDDR1、LPDDR2 和 LPDDR3 器件。数据传输通过一个片选的 16/32 位数据总线执行。

该控制器的工作电源如下：

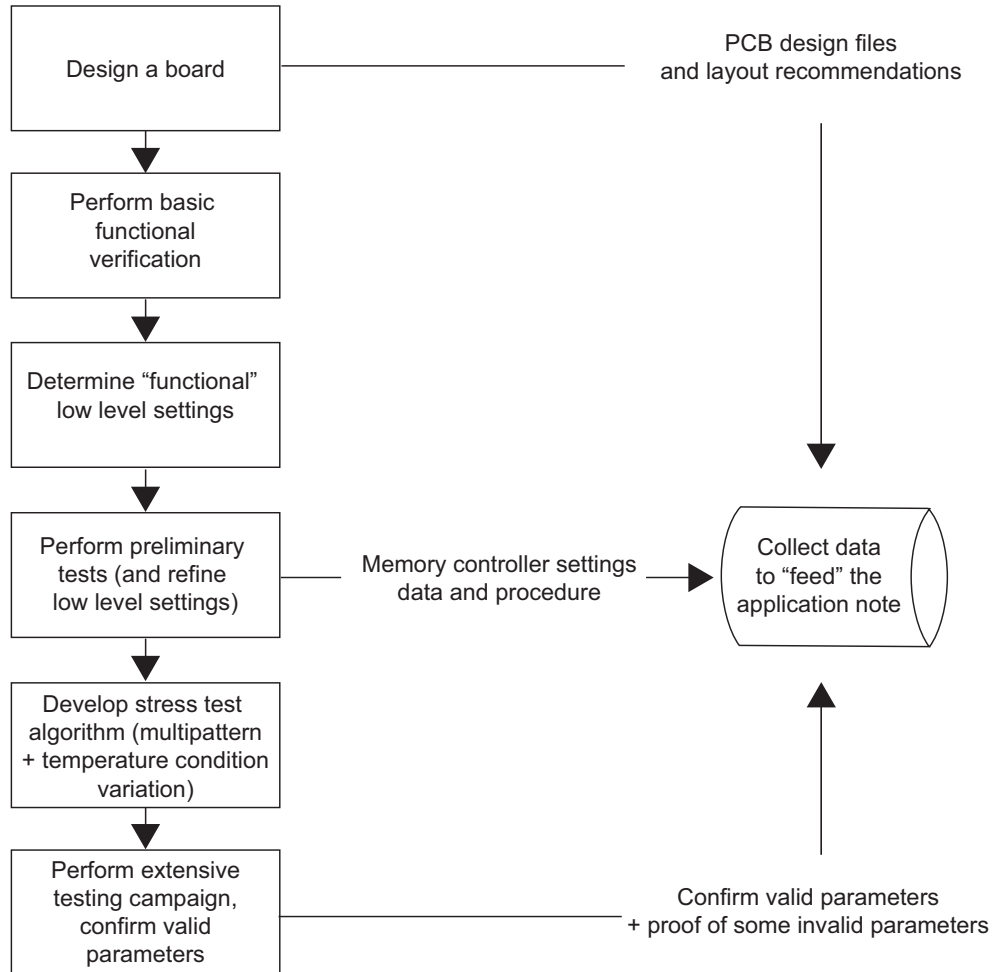
- DDR2 和 LPDDR1：1.8V
- DDR3：1.5V
- DDR3L：1.35V
- LPDDR2 和 LPDDR3：1.2V

本应用笔记介绍了上述器件的实现详情，并提供了一些布线示例和软件支持信息。

2. 我们的方法

本应用笔记的主要目的是为 SAMA5D2 用户提供一些实用的实现准则和软件设置，这些是从实际硬件以及对该硬件执行的大量测试推断而来的：

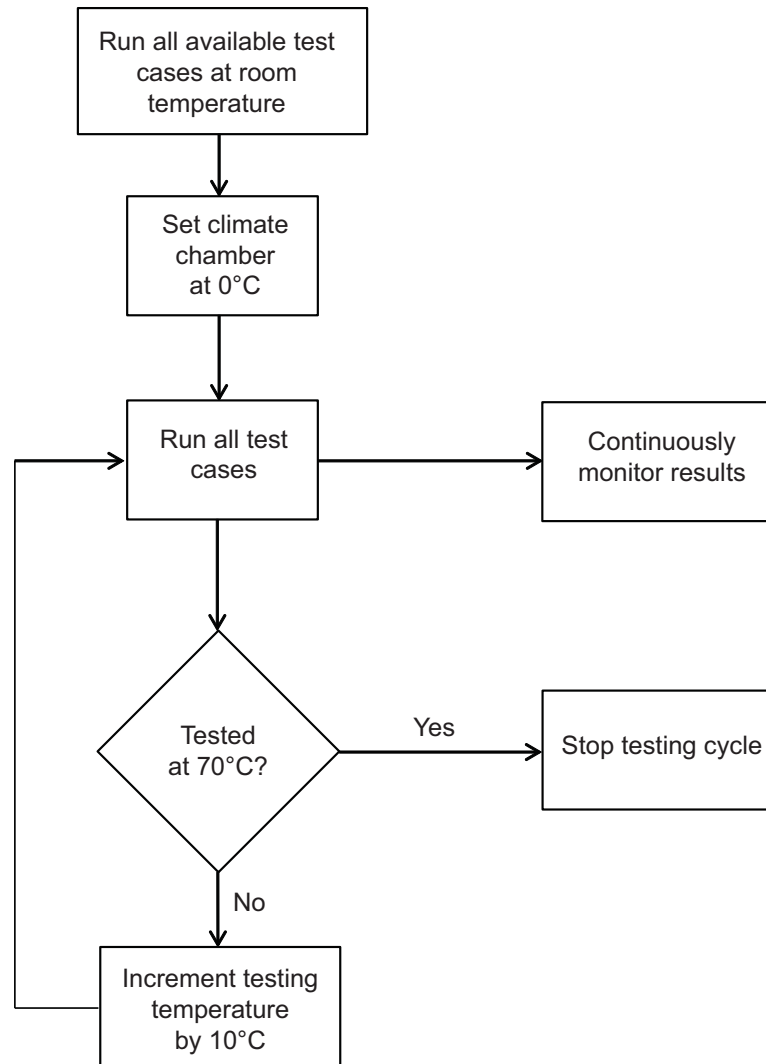
图 2-1. 获得最佳硬件和软件实现



为确保由外部存储器控制器（MPDDRC）支持的所有 SDRAM 器件能够正常工作，有多方面的硬件和软件注意事项需要考虑。虽然低速电路对 PCB 的物理约束很少，但高速信号电路对走线长度、宽度和间隙、PCB 堆叠以及长度匹配方面确实存在一定的约束。先前发布的开发工具包（如 SAMA5D2-XULT 和 SAMA5D2-PTC-EK）在设计时已应用了这些规则。此外，还设计和生产了定制板，以便进一步执行测试，以确保 SAMA5D2 MPU 与来自不同制造商的所有受支持的 SDRAM 器件正常兼容。

除了电路板之外，还开发了几种测试软件，见下图。

图 2-2. 压力测试算法



下表介绍了几个测试案例。

表 2-1. 测试案例

测试案例编号	描述	目的
1	执行引脚固定为高/低电平的测试 写入顺序数据模式	检查数据完整性
2	生成并写入随机数据	检查数据不匹配和未对齐访问
3	生成并传输大型数据缓冲区	通过 DMA 控制器检查存储器中的数据传输

所有 SDRAM 器件均在 166 MHz 的时钟频率（时钟周期为 6 ns）下进行测试。



重要： 用来测试的电路板是专门针对商业级温度范围设计的，因此本研究仅限于 0°C 至+70°C 范围。但这并不意味着所涉及的组件（SAMA5D2 和 DDR 存储器）只能在该范围内运行。与此相对的是工业级产品，在-40°C 至+85°C 的扩展范围内都能正常运行。

Microchip 使用可编程气候室进行此类测试。

在测试期间，记录返回的所有测试结果，以供进一步分析时使用。

3. 硬件方面

在设计新电路板时，可以使用先前发布的包含 SDRAM 器件的开发工具包作为参考，其中提供了一些 SDRAM 实现的布线示例。

此外，在对此类器件布线时必须遵循一般准则。大多数 SDRAM 制造商都会提供有关高速信号布线的应用笔记，通常包括走线宽度、间隙、长度匹配等方面的最小值和建议值约束。距离采用 mil 为单位，这也是 PCB 设计中常用的度量单位（1 mil = 0.254 mm）。

SDRAM 控制器接口包括：

- 四个数据字节通道（见注 1）DQS[3:0]、DQSN[3:0]、DQM[3:0]和 D[31:0]
- ADDR/CMD/CTL 信号：BA[2:0]、A[13:0]、RAS/CAS、CS、CKE、WE 和 RESETN
- 时钟信号：CK/CKn

以下是 SDRAM 信号设计准则的详尽列表，内容按信号类型分组列出（参见技术说明 TN-46-14）：

- 所有 SDRAM 信号：
 - 所有信号的走线宽度（见注 2）的最小值应为 4 mil（0.101 mm），标称宽度应为 6 mil（0.152 mm）。
 - 参考电源平面不得有任何高速信号分割。
 - 任意单端信号走线的阻抗应为 $50 \pm 10\% \Omega$ 。
 - 任意差分信号走线的阻抗应为 $100 \pm 10\% \Omega$ 。
- 数据通道信号建议：
 - 两个相邻数据信号（包括 D、DQS 和 DQM）之间间隙的最小值应为 8 mil，标称值为 12 mil（见注 2）。
 - 属于同一数据字节通道的信号应在同一层上布线。
 - 来自同一数据字节通道的信号之间的走线长度差异不能超过 50 mil。
 - 不同 D 字节通道应在 0.5 英寸内相互匹配。
 - DQS/DQSN 信号对应作为差分信号布线，走线之间的长度差异不超过 20 mil。
 - 任何数据字节通道信号和 CK/CKn 之间的长度差异不能超过 400 mil。
- 地址/控制/时钟信号建议（见注 2）：
 - 指令/控制信号之间的间隙最小值为 6 mil，标称值为 15 mil。
 - 地址信号之间的间隙最小值为 6 mil，标称值为 12 mil。
 - 地址/控制和数据信号之间的间隙至少为 20 mil。
 - 同一差分对的时钟信号之间的间隙最小值为 4 mil，标称值为 6 mil。
 - 差分 CK/CKn 信号与任何其他信号之间的间隙至少为 8 mil，标称值为 12 mil。
 - 这种类型的信号应在同一层上布线。
 - CK/CKn 应作为差分信号布线，走线之间的长度差异不超过 20 mil。
 - 任何地址/控制信号与 CK/CKn 之间的长度差异不能超过 200 mil。

注:

1. 数据字节通道是一组 SDRAM 信号，可确保在 SDRAM 器件和控制器之间正常传输字节格式的数据。它有八个数据信号（D[7:0]）、一个数据屏蔽信号（DQM）和一对数据选通信号（DQS/DQSN）。8 位、16 位或 32 位 SDRAM 器件分别有一个、两个或四个数据字节通道。
2. 选择这些建议的走线宽度和间隙值，以便匹配与制造商 PCB 参数（例如，介电高度）相关的每个信号走线的所需阻抗。请咨询 PCB 制造商以准确优化这些值。

有关详细信息，请参阅 Micron 技术说明 TN-46-14 “点对点系统设计的硬件提示”。

3.1 SAMA5D2-XULT 开发工具包

SAMA5D2-XULT 是基于 6 层 PCB 构建的一个开发工具包。该板采用一个 SAMA5D27/BGA289 MPU 和两个 2-Gb Micron DDR3L-SDRAM 器件（部件编号：MT41K128M16JT-125:K）。

图 3-1. SAMA5D2C-XULT 开发工具包

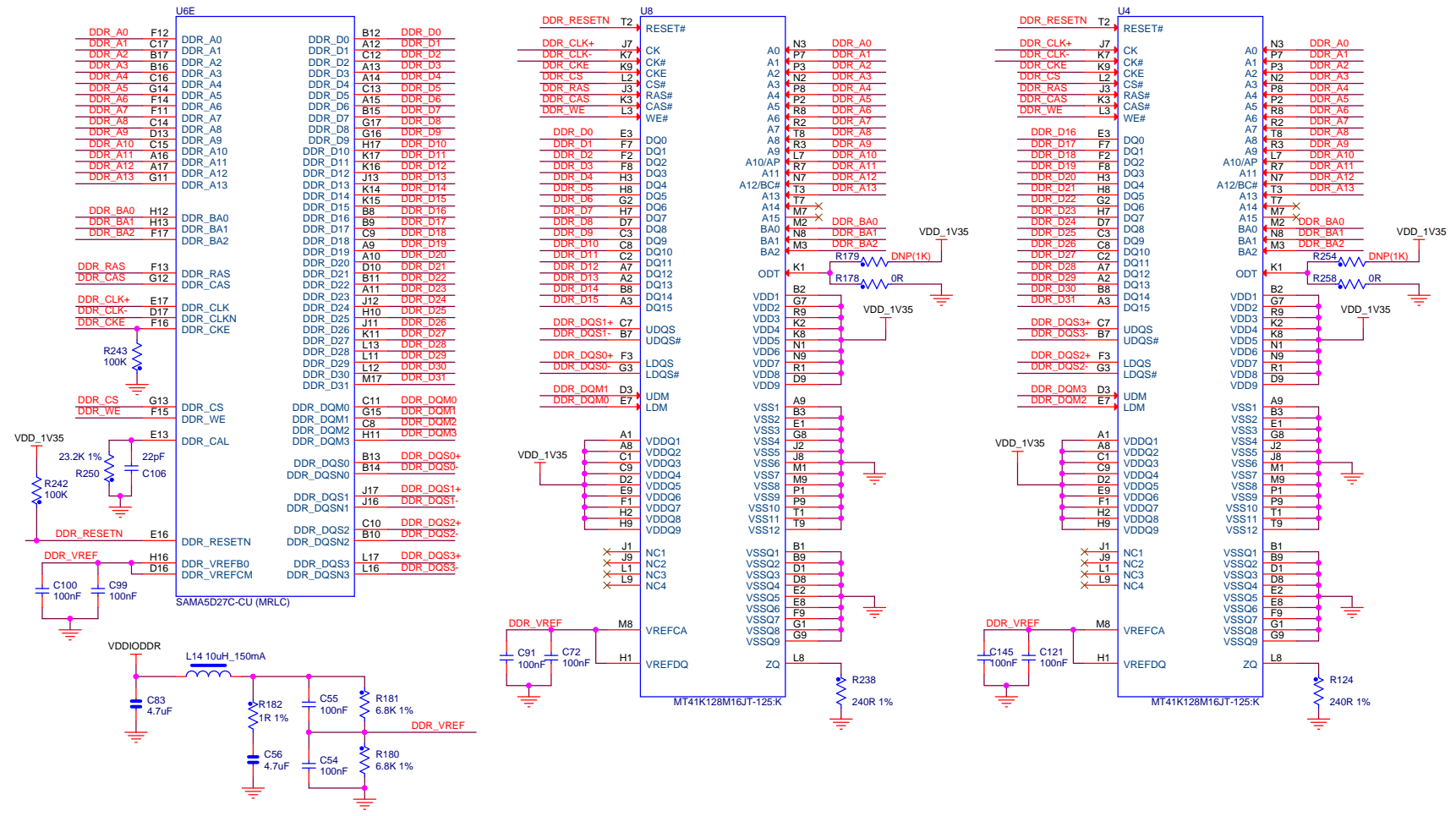
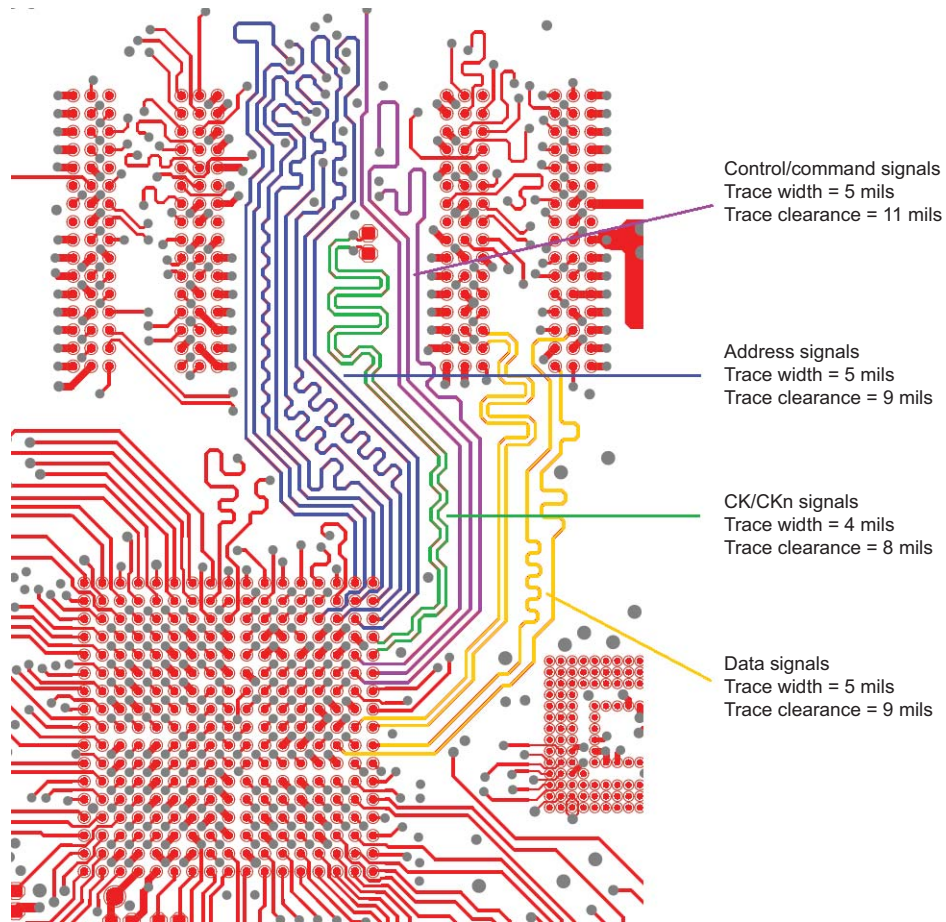
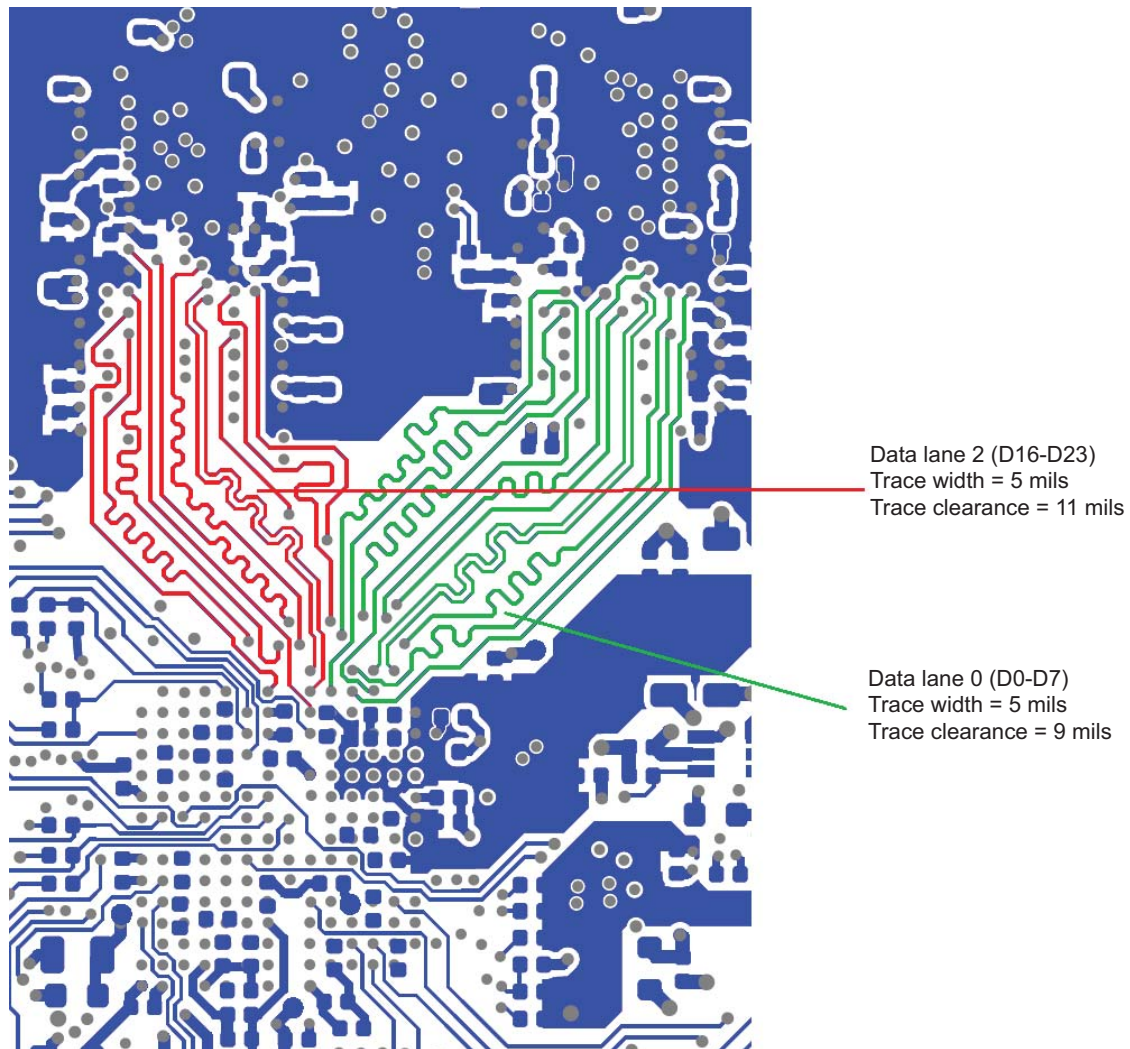


图 3-2. SAMA5D2-XULT 第 1 层 (顶层)



上图中的布线示例主要显示了用于 DDR3-SDRAM 布线的电路板顶层。部分地址信号和差分时钟也会在顶层布线，走线宽度和最小间隙如标注所示。这些值等于或高于要求的最小值。控制/命令和数据信号之间还有 30 mil 的间隙，同样高于要求的最小值。

图 3-3. SAMA5D2-XULT 第 6 层 (底层)



上图显示了 DDR3-SDRAM 布线的底层。来自两个数据通道的信号在底层上布线，分别属于数据通道 2 (D16-D23) 和数据通道 0 (D0-D7)，包括各自的 DQS/DQS_n 和 DQM 信号。使用的走线宽度为 5 mil，最小间隙为 9 mil，两个值均超过要求的最小值。这些走线严格匹配，最大不匹配长度不超过 7 mil，远低于允许的最大值。

图 3-4. SAMA5D2-XULT 第 5 层 (VDD)



上图显示了用作电源平面的电路板第 5 层。突出显示的区域覆盖了属于 DDR3-SDRAM 布线的走线，用作底层走线阻抗匹配的参考平面。此外，它在任何高速信号上都没有分割。

如果使用微带线，顶层或底层的走线阻抗可使用如下阻抗公式（根据标准 IPC-2141）进行计算：

公式 1

$$Z_0(\Omega) = \frac{87}{\sqrt{\epsilon_r + 1.41}} \ln \left[\frac{5.98H}{(0.8W + T)} \right]$$

其中 ϵ_r 是介电常数，H 是介电高度，W 是走线宽度，T 是走线厚度。

在我们的案例中（见表 [SAMA5D2-XULT 的 PCB 堆叠详情](#)）：

- 对于 FR-4 介电材料， $\epsilon_r = 3.95$
- 底层（第 6 层）和电源平面（第 5 层）之间的介电高度 $H = 3.8207 \text{ mil}$
- 底层走线的宽度 $W = 5 \text{ mil}$
- 铜厚度 $T = 1.87 \text{ mil}$ 。

使用上述参数，计算出的走线阻抗为 $Z_0 = 51.18 \Omega$ ，容差范围 $\pm 10\%$ 。

图 3-5. SAMA5D2-XULT PCB 堆叠

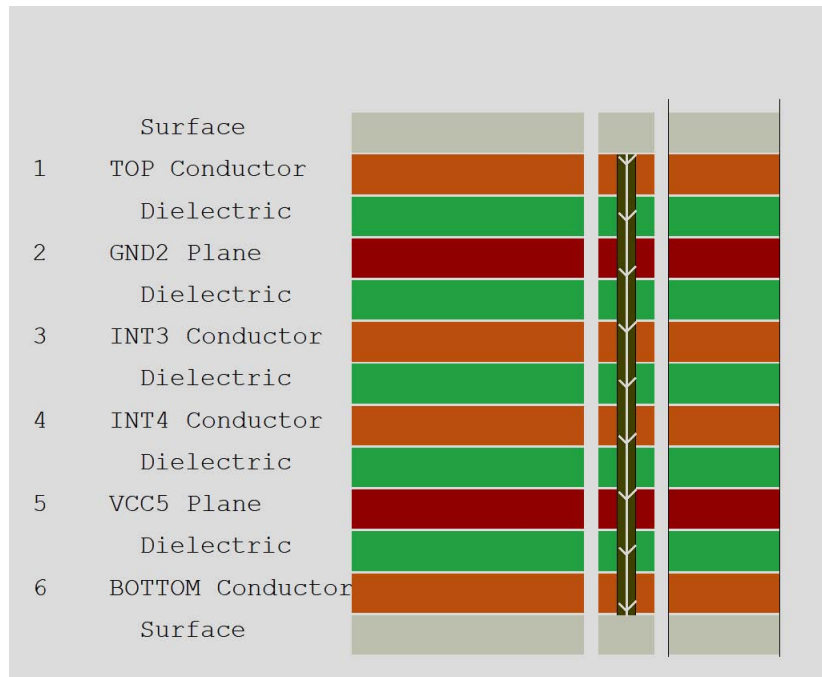
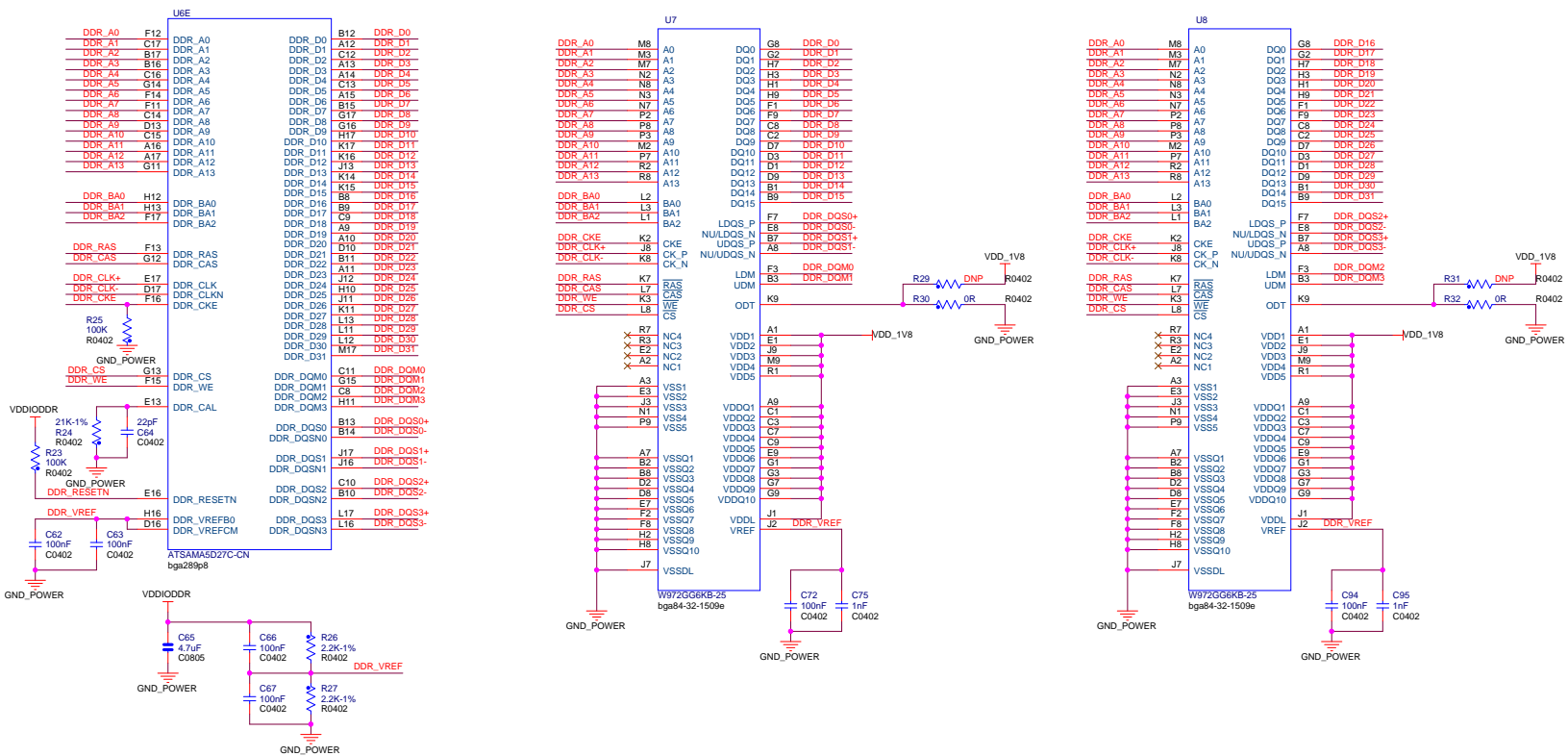


表 3-1. SAMA5D2-XULT 的 PCB 堆叠详情

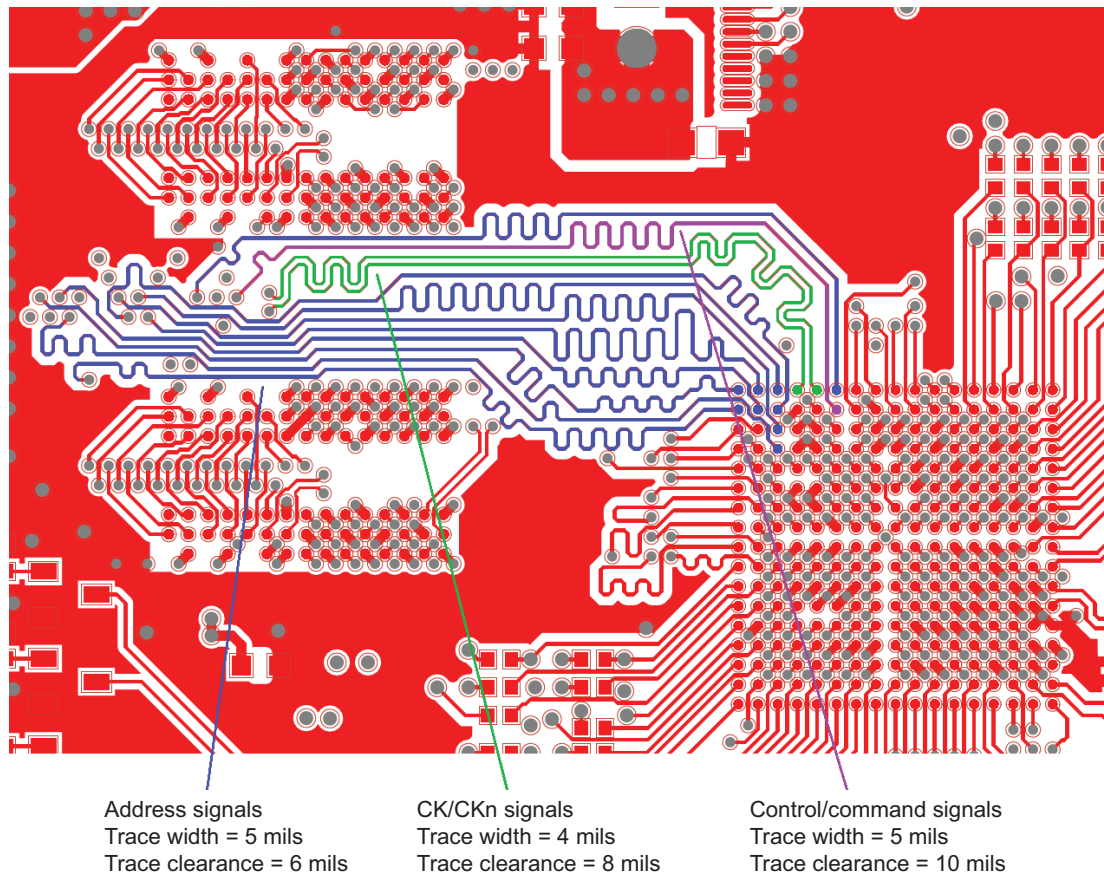
层名称	类型	材料	厚度 [mm]	厚度 [mil]	介电材料	介电常数
顶层覆盖	覆盖	-	-	-	-	-
顶层焊料	阻焊层/覆盖	表面材料	0.01016	0.4	阻焊剂	3.5
顶层	信号	铜	0.0475	1.87	-	-
介电层 1	介电	芯板	0.09705	3.8207	FR-4	3.95
GND2	信号	铜	0.03048	1.2	-	-
介电层 2	介电	芯板	0.1	3.937	FR-4	3.85
INT3	信号	铜	0.03048	1.2	-	-
介电层 3	介电	芯板	0.93484	36.8047	FR-4	3.99
INT4	信号	铜	0.03048	1.2	-	-
介电层 4	介电	芯板	0.1	3.937	FR-4	3.85
VCC5	信号	铜	0.03048	1.2	-	-
介电层 5	介电	芯板	0.09705	3.8207	FR-4	3.95
底层	信号	铜	0.0475	1.87	-	-
底层焊料	阻焊层/覆盖	表面材料	0.01016	0.4	阻焊剂	3.5
底层覆盖	覆盖	-	-	-	-	-

图 3-6. SAMA5D2-PTC-EK 开发工具包



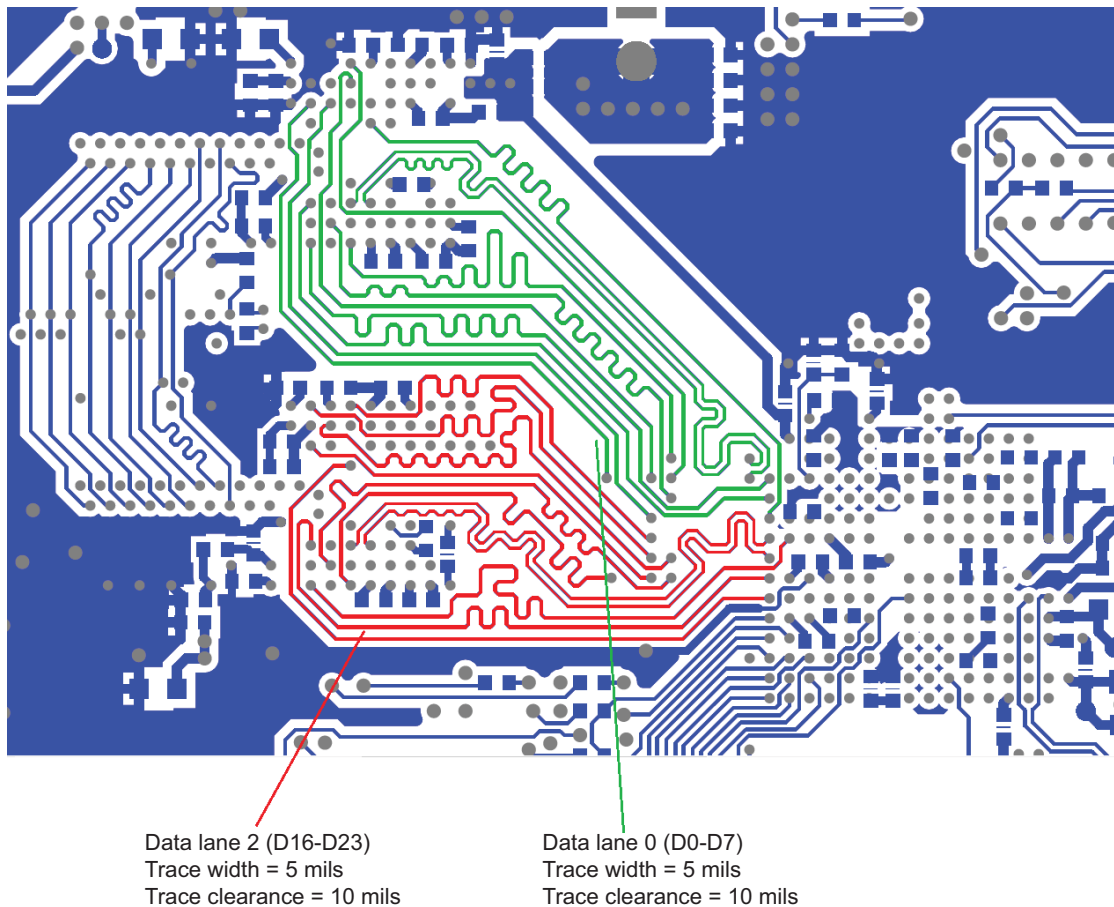
SAMA5D2-PTC-EK 是基于 8 层 PCB 构建的一个开发工具包。该板采用一个 SAMA5D27/BGA289 MPU 和两个 2 Gb Winbond DDR2-SDRAM 器件（部件编号：W972GG6KB-25）。

图 3-7. SAMA5D2-PTC-EK 第 1 层（顶层）



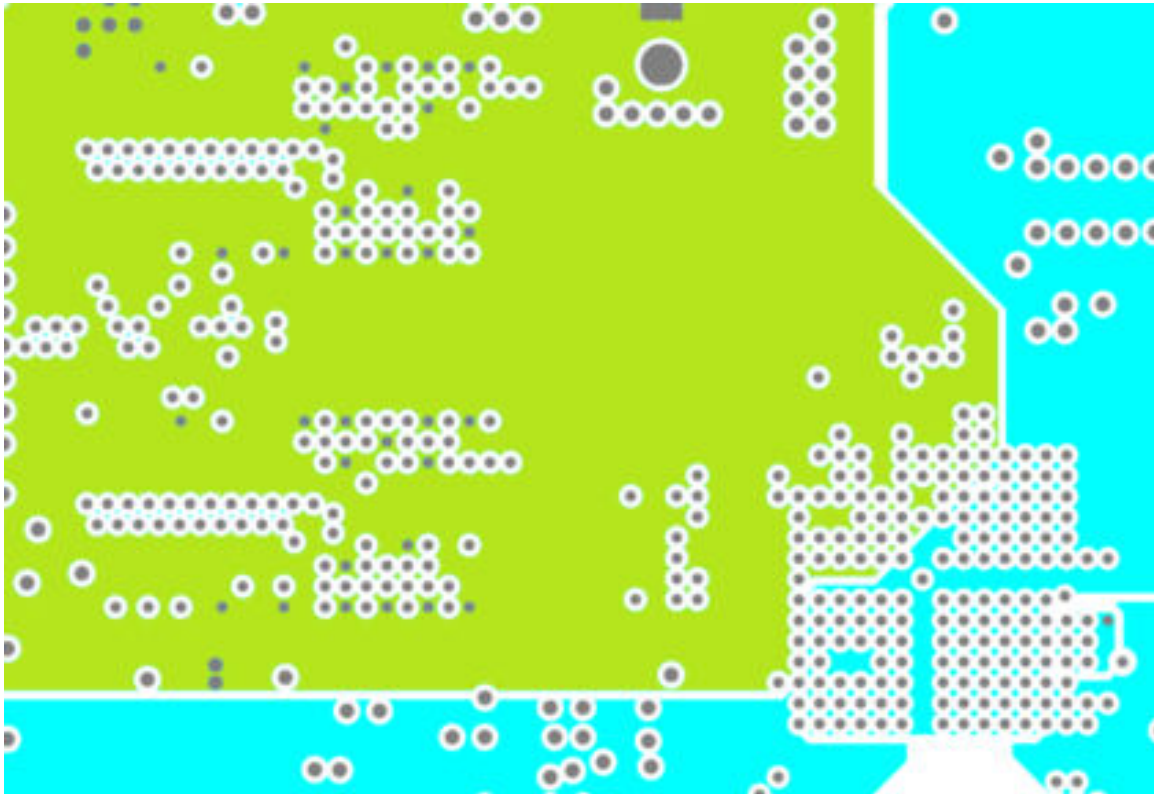
上图中的布线示例显示了主要用于 DDR2-SDRAM 布线的电路板顶层。一些地址信号和差分时钟布线在顶层，走线宽度和最小间隙如标注所示。这些值等于或高于要求的最小值。CK/CKn 信号与任何其他信号之间也有 10 mil 的间隙，同样高于要求的最小值。

图 3-8. SAMA5D2-PTC-EK 第 8 层 (底层)



上图中的布线示例显示了 DDR2-SDRAM 布线的底层。来自两个数据通道的信号在底层上布线，分别属于数据通道 2 (D16-D23) 和数据通道 0 (D0-D7)，包括各自的 DQS/DQS_n 和 DQM 信号。使用的走线宽度为 5 mil，间隙为 10 mil，两个值均超过要求的最小值。在非常短的距离内（通常是离开密集 BGA 区域所经过的路线），间隙可能略低于要求的最小值。这仅适用于密集设计，只有在没有其他解决方案时才会采用。这些信号的长度也相互匹配。

图 3-9. SAMA5D2-PTC-EK 第 5 层 (VDD)



上图显示了用作电源平面的电路板第 5 层。突出显示的区域覆盖了属于 DDR2-SDRAM 布线的走线，用作来自第 6 层信号的阻抗匹配的参考平面（见层堆叠）。此外，它在任何高速信号上都没有分割。

如果使用的是非对称带状线，用作信号层的内部第 6 层（见下图）的走线阻抗可使用如下阻抗公式（根据标准 IPC-2141）进行计算：

公式 2

$$Z_0(\Omega) = \frac{80}{\sqrt{\epsilon_r}} \ln \left[\frac{1.9(2H + T)}{0.8W + T} \right] \left[1 - \frac{H}{4H_1} \right]$$

其中 ϵ_r 是介电常数， H_1 是信号层下方的介电高度， H 是信号层上方的介电高度， W 是走线宽度， T 是走线厚度。

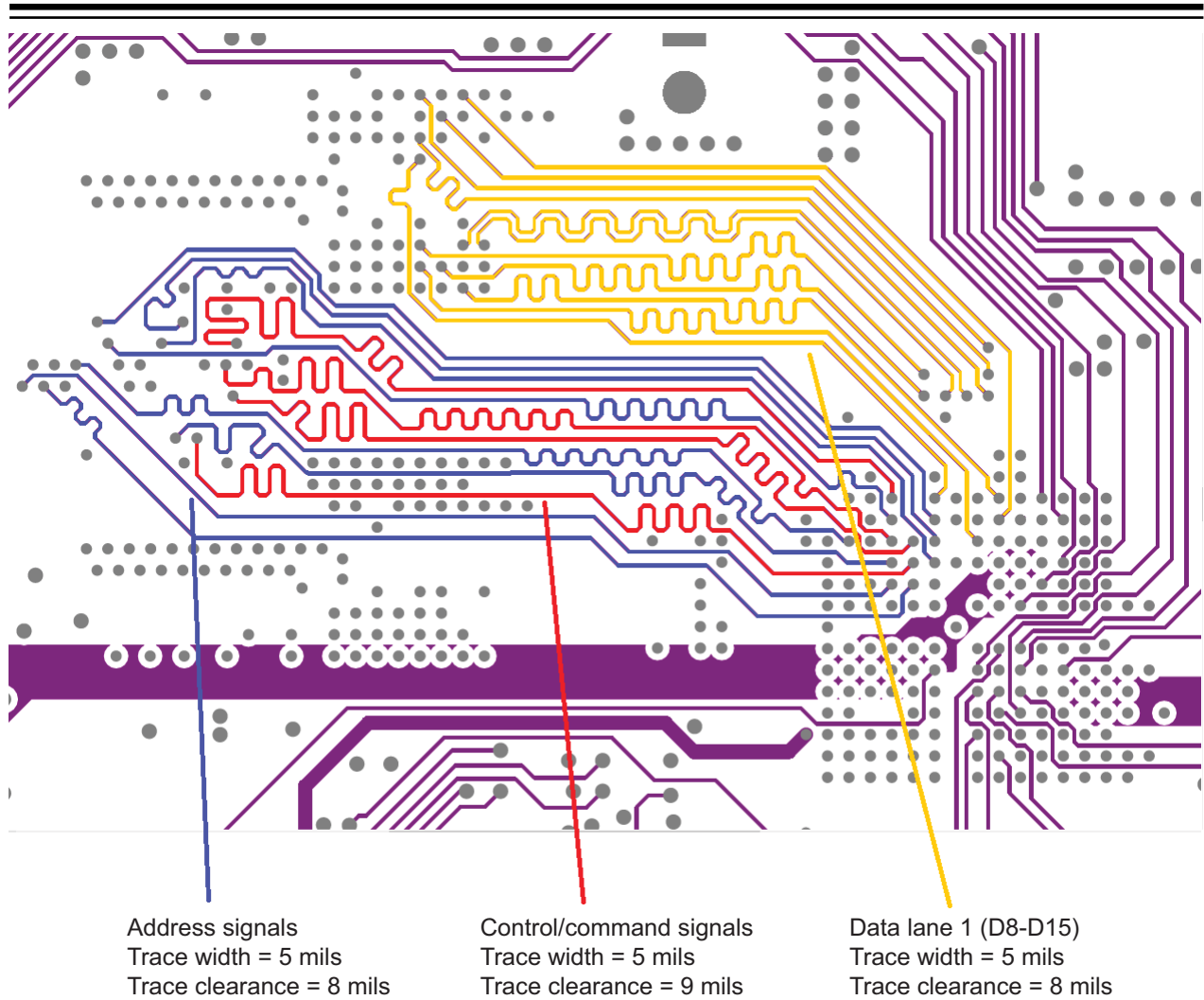
在我们的案例中（见表 [SAMA5D2-PTC-EK 的 PCB 堆叠详情](#)）：

- 对于 FR-4 介电材料， $\epsilon_r = 4.5$
- 第 6 层下方， $H_1 = 13.8 \text{ mil}$
- 第 6 层上方， $H = 5.12 \text{ mil}$
- 走线宽度 $W = 5 \text{ mil}$
- 铜厚度 $T = 1.38 \text{ mil}$

使用上述参数，计算出的走线阻抗为 $Z_0 = 48.26\Omega$ ，容差范围 $\pm 10\%$ 。

对顶层或底层走线应用公式 1，基于上述参数和介电高度 $H = 3.63 \text{ mil}$ ，可得到接近完美的 49.92Ω 走线阻抗。

图 3-10. SAMA5D2-PTC-EK 第 6 层



上图中显示的所有走线宽度和间隙均符合一般设计规则。

图 3-11. SAMA5D2-PTC-EK PCB 堆叠

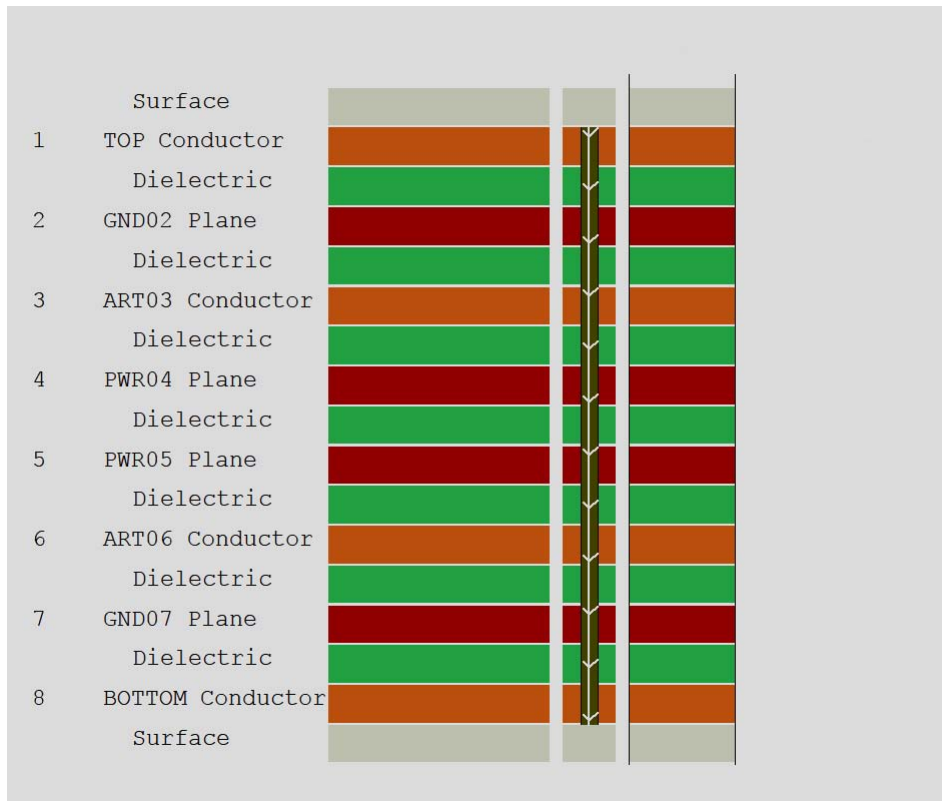


表 3-2. SAMA5D2-PTC-EK 的 PCB 堆叠详情

层名称	类型	材料	厚度 [mm]	厚度 [mil]	介电材料	介电常数
顶层覆盖	覆盖	-	-	-	-	-
顶层焊料	阻焊层/覆盖	表面材料	0.01016	0.4	阻焊剂	3.5
顶层	信号	铜	0.035052	1.38	-	-
介电层 1	介电	芯板	0.092202	3.63	FR-4	4.5
GND02	信号	铜	0.035052	1.38	-	-
介电层 2	介电	芯板	0.130048	5.12	FR-4	4.5
ART03	信号	铜	0.035052	1.38	-	-
介电层 3	介电	芯板	0.35052	13.8	FR-4	4.5
PWR04	信号	铜	0.035052	1.38	-	-
介电层 4	介电	芯板	0.130048	5.12	FR-4	4.5
PWR05	信号	铜	0.035052	1.38	-	-
介电层 5	介电	芯板	0.35052	13.8	FR-4	4.5
ART06	信号	铜	0.035052	1.38	-	-
介电层 6	介电	芯板	0.130048	5.12	FR-4	4.5

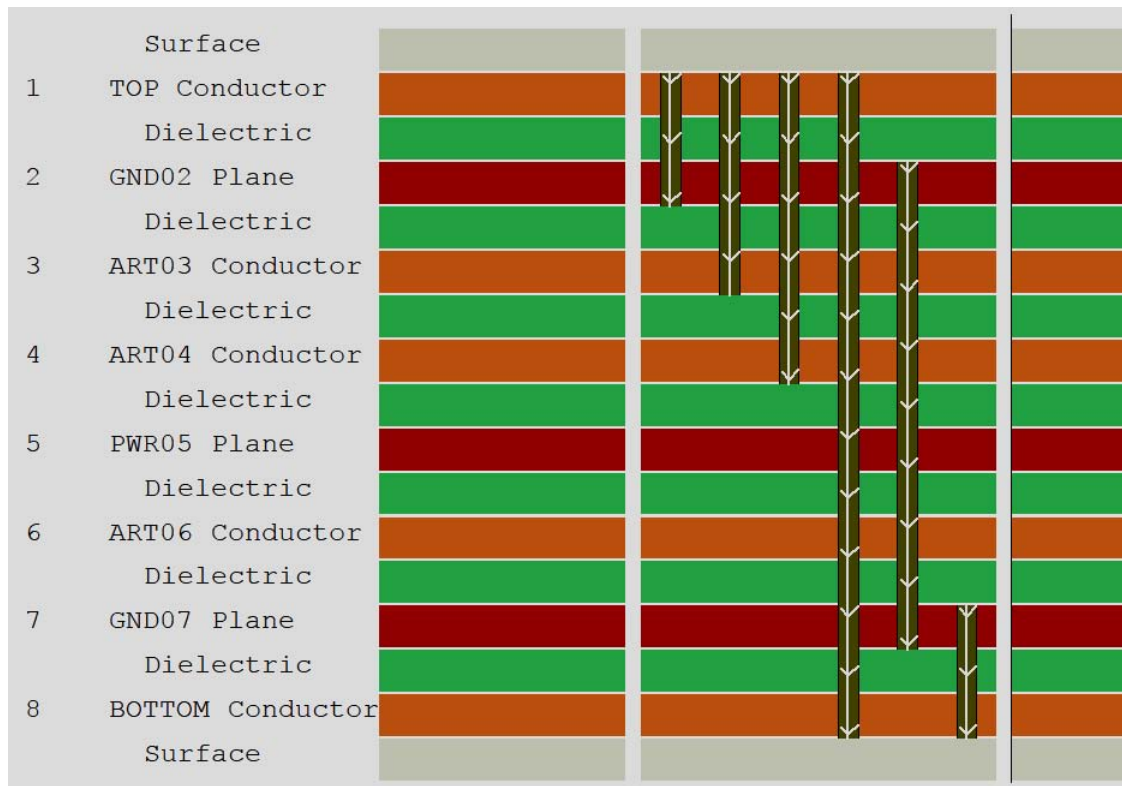
..... (续)						
层名称	类型	材料	厚度 [mm]	厚度 [mil]	介电材料	介电常数
GND07	信号	铜	0.035052	1.38	-	-
介电层 7	介电	芯板	0.092202	3.63	FR-4	4.5
底层	信号	铜	0.035052	1.38	-	-
底层焊料	阻焊层/覆盖	表面材料	0.01016	0.4	阻焊剂	3.5
底层覆盖	覆盖	-	-	-	-	-

3.3 SAMA5D24/BGA256 定制测试板

该定制板专为测试多个 MPU+SDRAM 配置而设计。它具有 5 组独立的 SAMA5D24 MPU 套件，分别搭配 2 个 DDR3L-SDRAM、2 个 DDR2-SDRAM、2 个 LPDDR1-SDRAM、2 个 LPDDR2-SDRAM 和 1 个 LPDDR3-SDRAM 器件。每组套件都有自己的电源管理集成电路（Power Management Integrated Circuit, PMIC）。

层堆叠如下图和表所示。由于五组套件都在同一块板上，所以共用相同的堆叠。

图 3-12. SAMA5D24/BGA256 定制测试板层堆叠

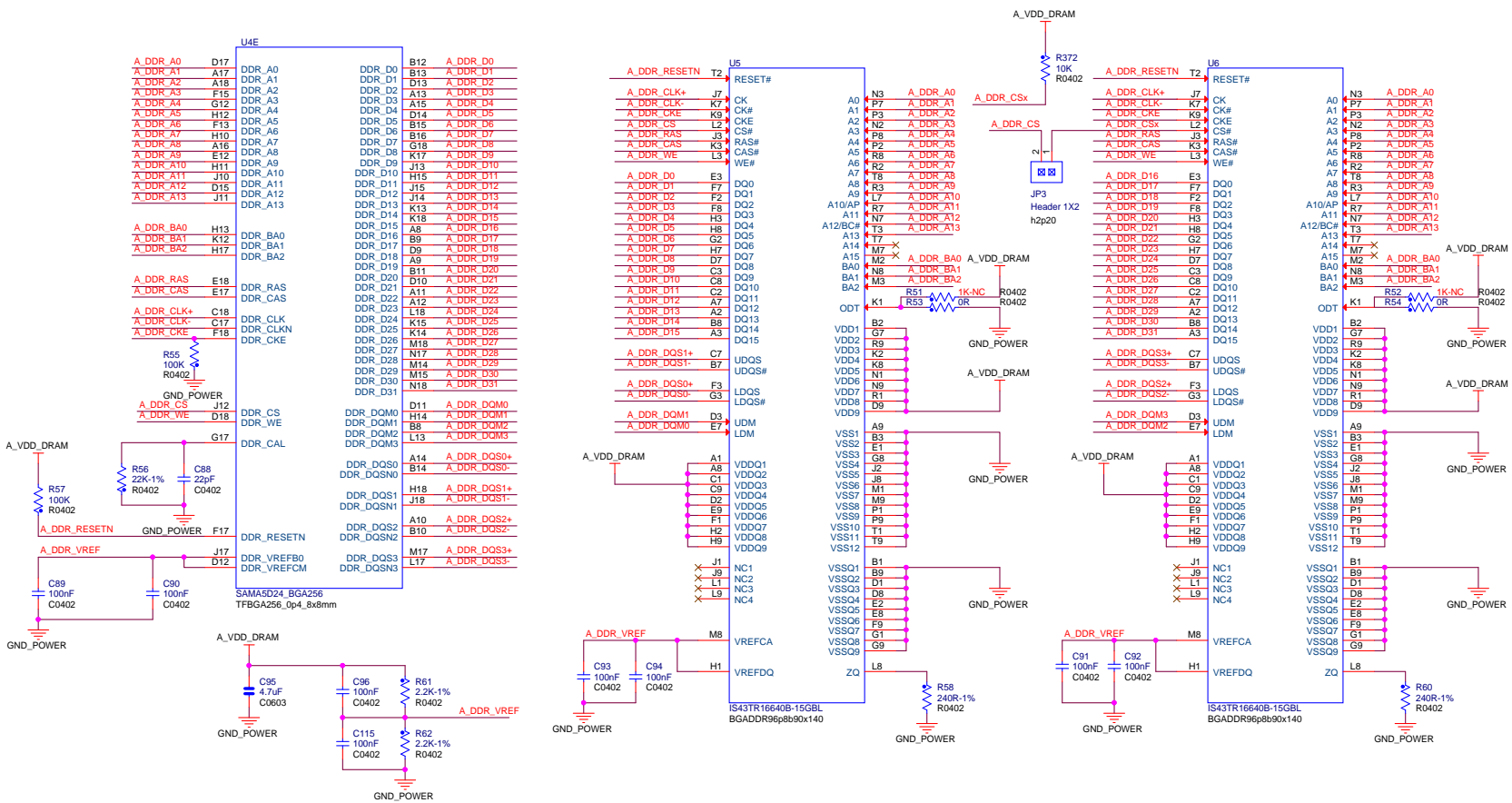


注意盲孔的使用。考虑到 SAMA5D24 超小的 0.4 mm 球间距，在 MPU 焊盘中使用了微孔，而不在 MPU 扇出中使用大通孔。

表 3-3. 测试板层堆叠详情

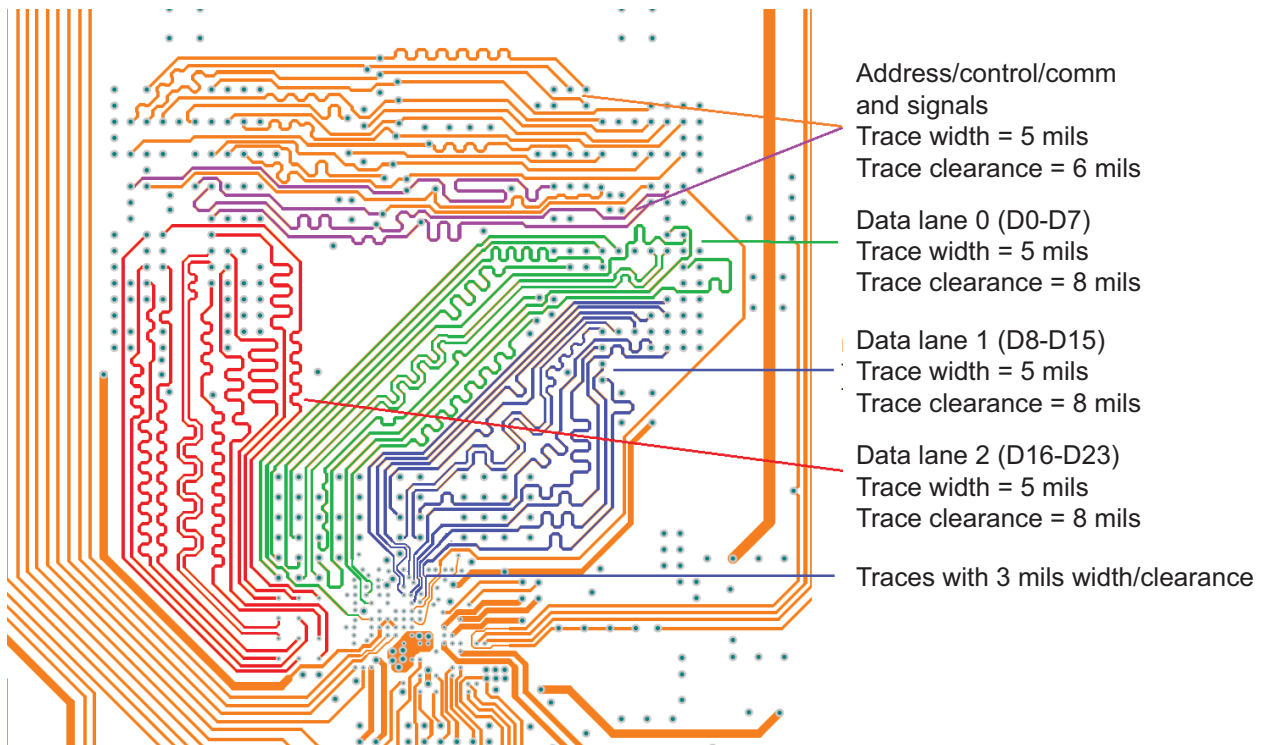
层名称	类型	材料	厚度 [mm]	厚度 [mil]	介电材料	介电常数
顶层覆盖	覆盖	-	-	-	-	-
顶层焊料	阻焊层/覆盖	表面材料	0.02	0.79	阻焊剂	3.5
顶层	信号	铜	0.035	1.38	-	-
介电层 1	介电	预浸	0.105	4.13	FR-4	4.5
GND02	信号	铜	0.018	0.71	-	-
介电层 2	介电	芯板	0.13	5.12	FR-4	4.5
ART03	信号	铜	0.018	0.71	-	-
介电层 3	介电	预浸	0.105	4.13	FR-4	4.5
ART04	信号	铜	0.018	0.71	-	-
介电层 4	介电	芯板	0.13	5.12	FR-4	4.5
PWR05	信号	铜	0.018	0.71	-	-
介电层 5	介电	预浸	0.105	4.13	FR-4	4.5
ART06	信号	铜	0.018	0.71	-	-
介电层 6	介电	芯板	0.13	5.12	FR-4	4.5
GND07	信号	铜	0.018	0.71	-	-
介电层 7	介电	预浸	0.105	4.13	FR-4	4.5
底层	信号	铜	0.035	1.38	-	-
底层焊料	阻焊层/覆盖	表面材料	0.02	0.79	阻焊剂	3.5
底层覆盖	覆盖	-	-	-	-	-

图 3-13. MPUx-DRAMX DDR3L SDRAM 器件



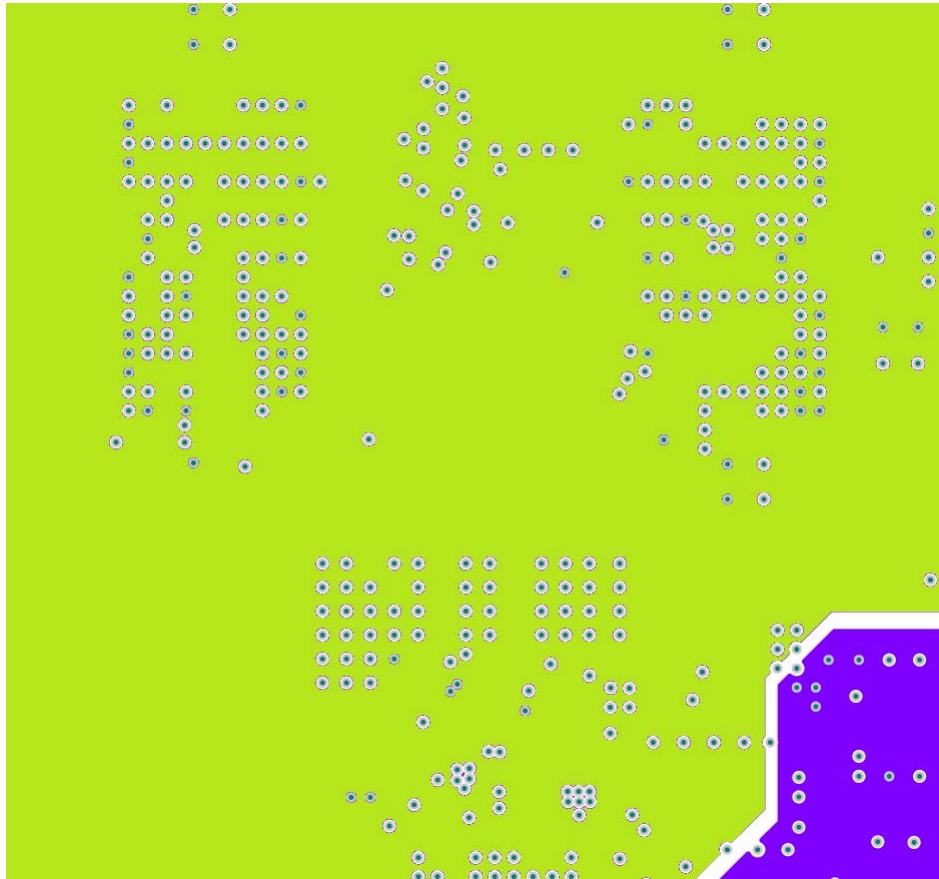
该套件采用一个 SAMA5D24/BGA256 MPU 和两个 1-Gb ISSI DDR3L-SDRAM 器件（部件编号：IS43TR16640B-15GBL）。

图 3-14. SAMA5D24/BGA256/DDR3L-SDRAM 第 3 层



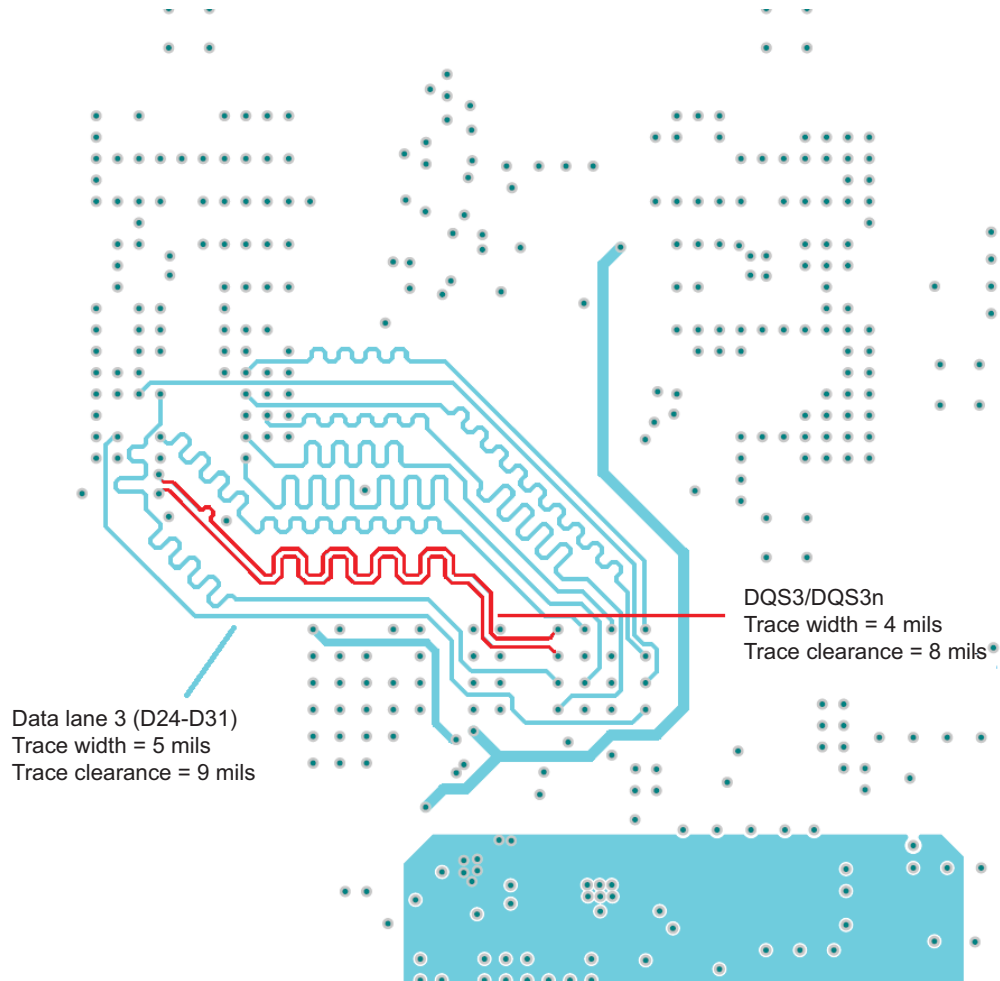
上图中的布线示例显示了主要用于 DDR3L-SDRAM 配置的第 3 层测试板。它用作信号层，包含数据通道 0 到 2 和地址/控制/命令信号的走线。走线宽度和间隙符合大多数此类信号的最小值要求。但在 MPU 下方的区域中存在例外，其中 0.4 mm 的球间距不允许布线时的走线宽度大于 3 mil。在此情况下，由于物理约束，我们不得不违反了最小宽度规则（4 mil）。

图 3-15. SAMA5D24/BGA256/DDR3L-SDRAM 第 5 层



测试板的第 5 层用作电源平面，并用作相邻信号层（第 4 层和第 6 层）的阻抗匹配参考。上图中突出显示的区域为 SDRAM 器件供电。它覆盖了非常大的面积，在任何高速信号所在区域内都不存在任何分割，这样可以确保良好的信号完整性。

图 3-16. SAMA5D24/BGA256/DDR3L-SDRAM 第 6 层



第 6 层包含属于数据通道 3 的信号（见上图）。属于数据通道 3 的所有走线严格匹配，只有 15 mil 不匹配。

要计算位于内层的差分信号（如 DQS/DQS_n 对）的走线阻抗，我们建议使用阻抗计算器/求解器来加快设计过程。为了让结果尽量准确，请确保这些工具符合 IPC-2141 标准。

使用[测试板层堆叠详情表](#)中的参数以及 4 mil 走线宽度和 8 mil 间隙，计算出的差分对 DQS3/DQS_{3n} 的走线阻抗为 94.83Ω，处在容差范围内。

可以采用同样的方式计算 CK/CK_n 差分时钟走线阻抗。时钟信号在顶层布线（见下图），走线宽度为 4 mil，间隙为 8 mil，介电高度为 4.13mil，最终计算出的阻抗为 101.73Ω。

图 3-17. SAMA5D24/BGA256/DDR3L-SDRAM 第 1 层 (顶层)

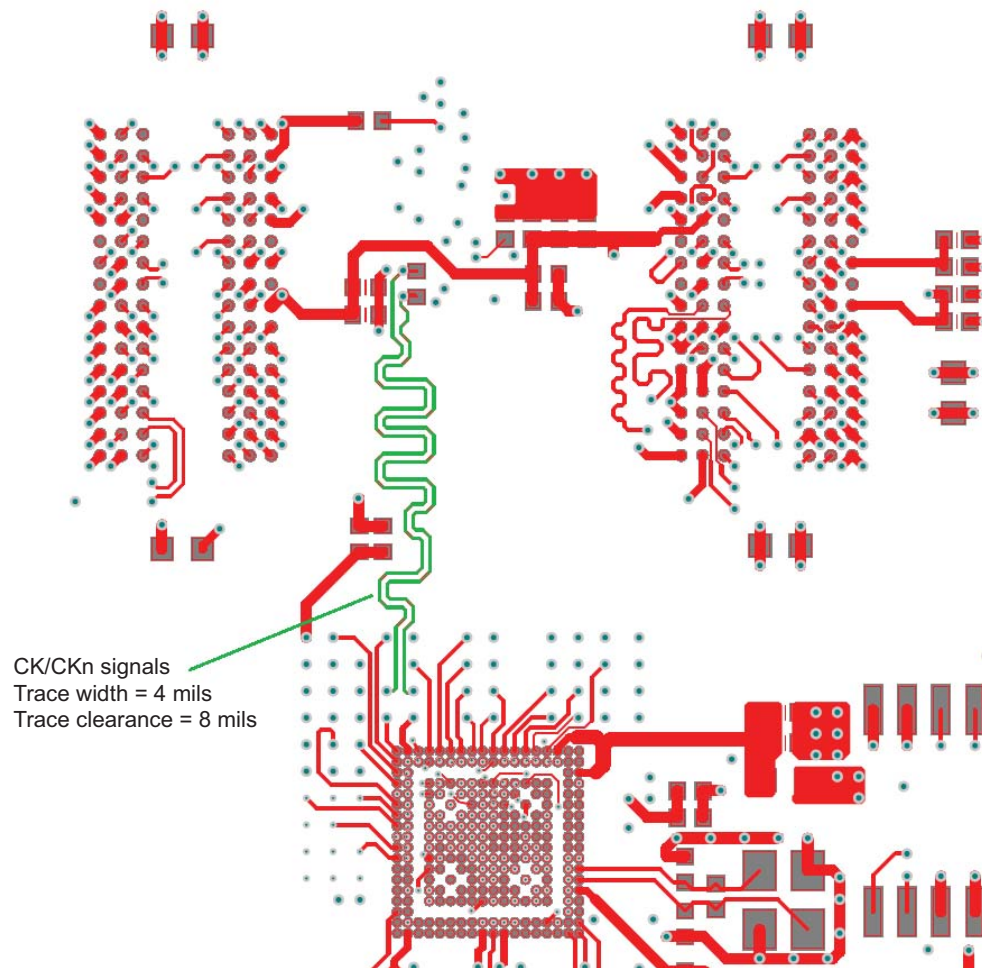
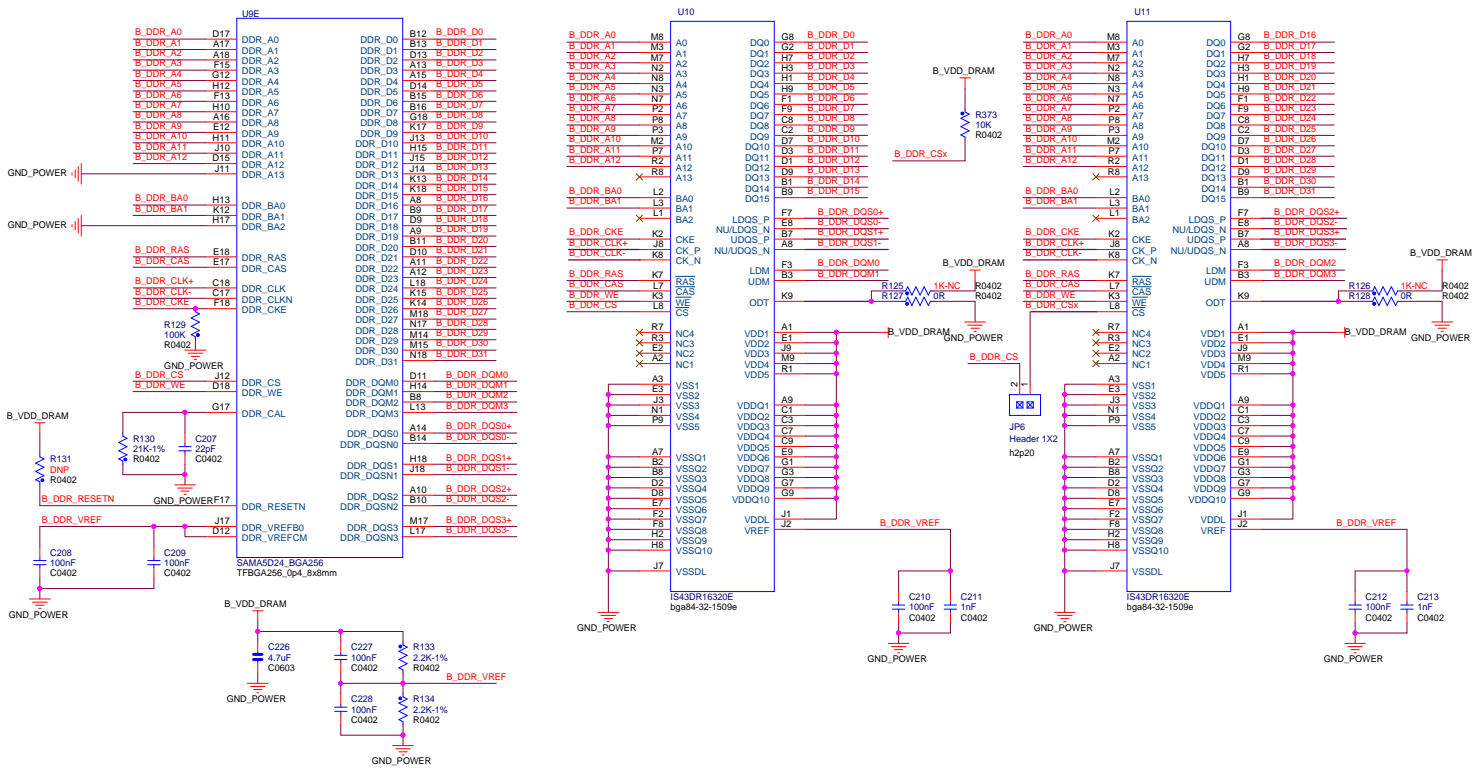
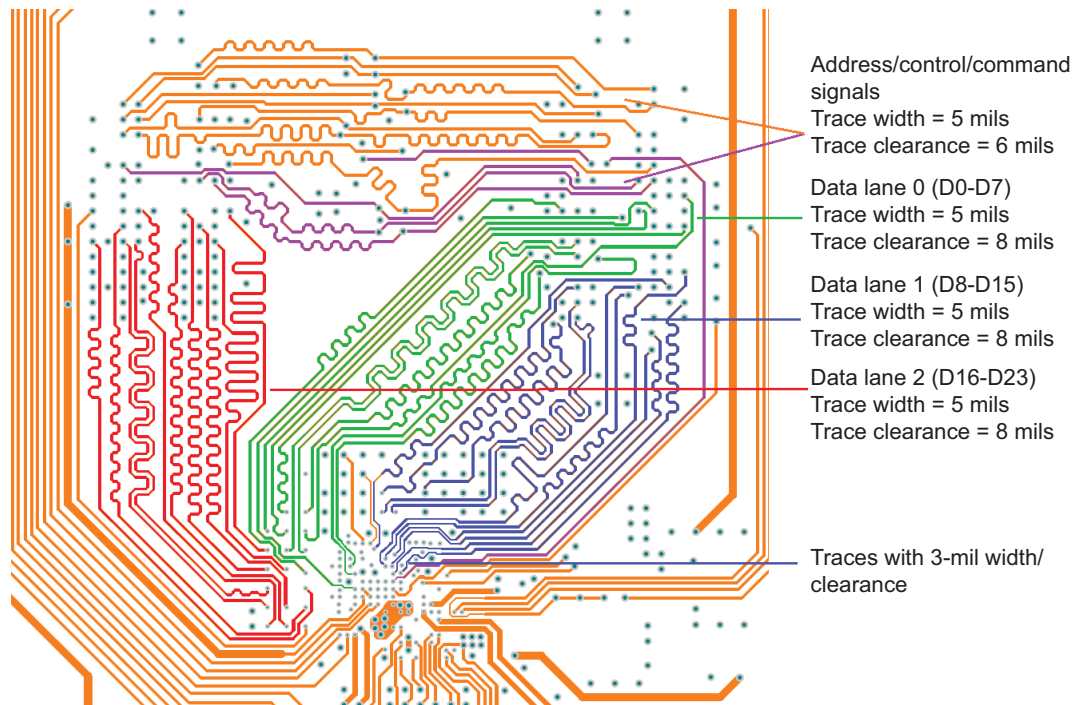


图 3-18. MPUx-DRAMx DDR2 器件



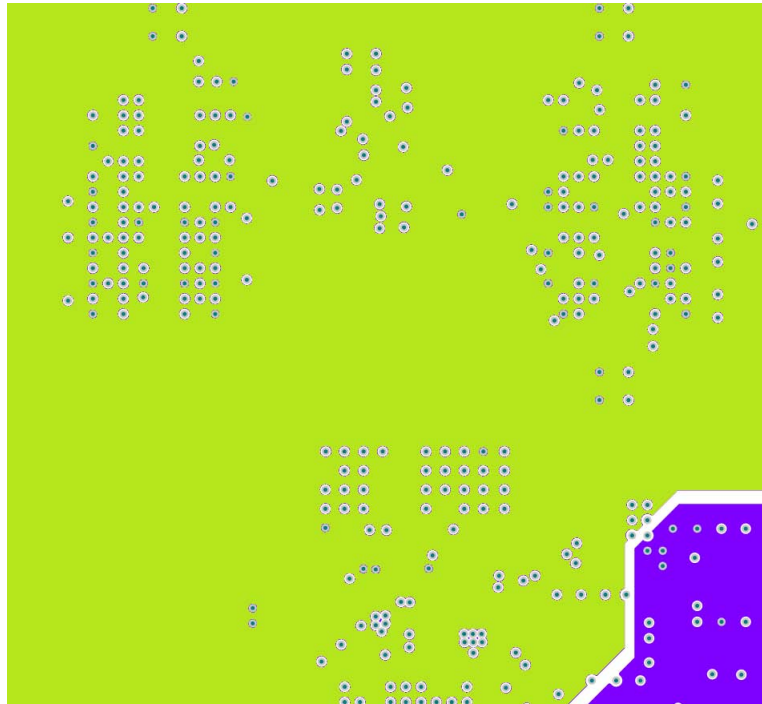
该组套件采用一个 SAMA5D24/BGA256 MPU 和两个 512-Mb ISSI DDR2-SDRAM 器件（部件编号：IS43DR16320E-25DBL）。

图 3-19. SAMA5D24/BGA256/DDR2-SDRAM 第 3 层



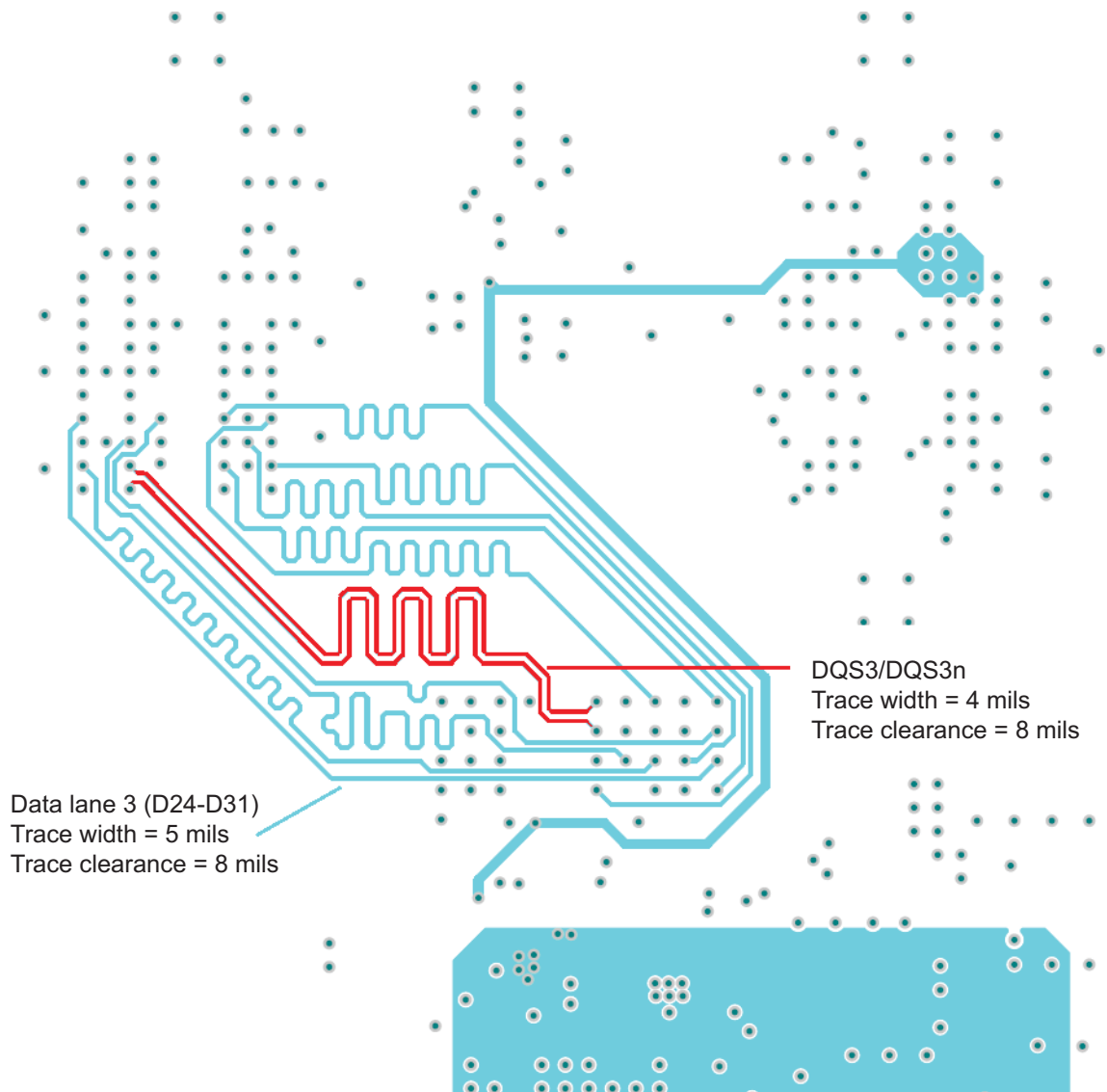
上图显示了主要用于 DDR2-SDRAM 配置的第 3 层测试板。它用作信号层，包含数据通道 0 到 2 和地址/控制/命令信号的走线。走线宽度和间隙符合大多数此类信号的最小值要求。但在 MPU 下方的区域中存在例外，其中 0.4 mm 的球间距不允许布线时的走线宽度大于 3 mil 或间隙大于 3 mil。在此情况下，由于物理约束，我们不得不违反了最小宽度规则（4 mil）。

图 3-20. SAMA5D24/BGA256/DDR2-SDRAM 第 5 层



测试板的第 5 层用作电源平面，并用作相邻信号层（第 4 层和第 6 层）的阻抗匹配参考。上图中突出显示的区域为 SDRAM 器件供电。它覆盖了非常大的面积，在任何高速信号所在区域内都不存在任何分割，这样可以确保良好的信号完整性。

图 3-21. SAMA5D24/BGA256/DDR2-SDRAM 第 6 层



第 6 层包含属于数据通道 3 的信号（见上图）。属于数据通道 3 的所有走线严格匹配，只有 17 mil 不匹配。

要计算位于内层的差分信号（如 DQS/DQS_n 对）的走线阻抗，我们建议使用阻抗计算器/求解器来加快设计过程。为了让结果尽量准确，请确保这些工具符合 IPC-2141 标准。

使用[测试板层堆叠详情](#)表中的参数以及 4 mil 走线宽度和 8 mil 间隙，计算出的差分对 DQS3/DQS_{3n} 的走线阻抗为 94.83Ω，处在容差范围内。

可以采用同样的方式计算 CK/CK_n 差分时钟走线阻抗。时钟信号在顶层布线（见下图），走线宽度为 4 mil，间隙为 8 mil，介电高度为 4.13mil，最终计算出的阻抗为 101.73Ω。

图 3-22. SAMA5D24/BGA256/DDR2-SDRAM 第 1 层 (顶层)

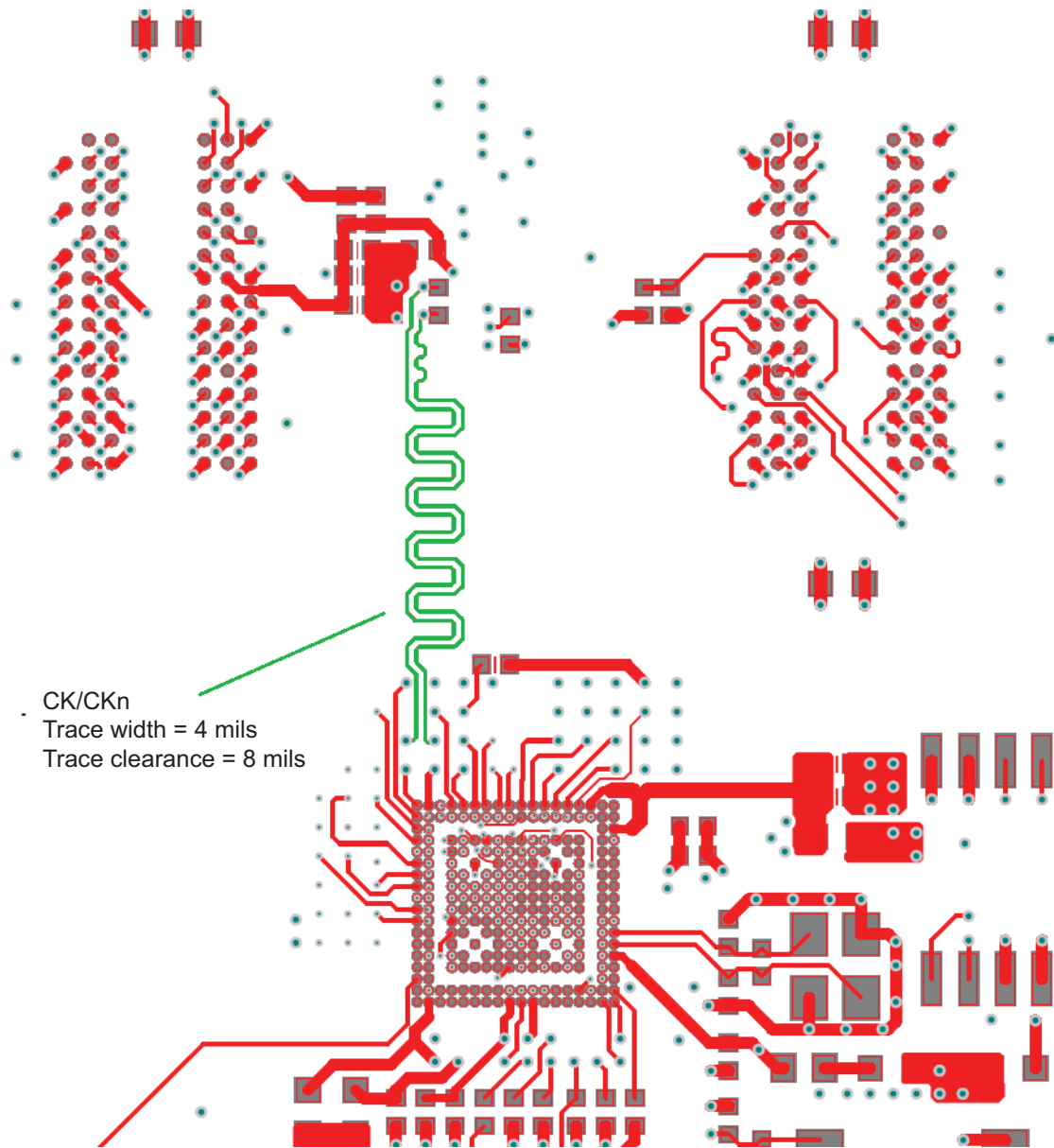
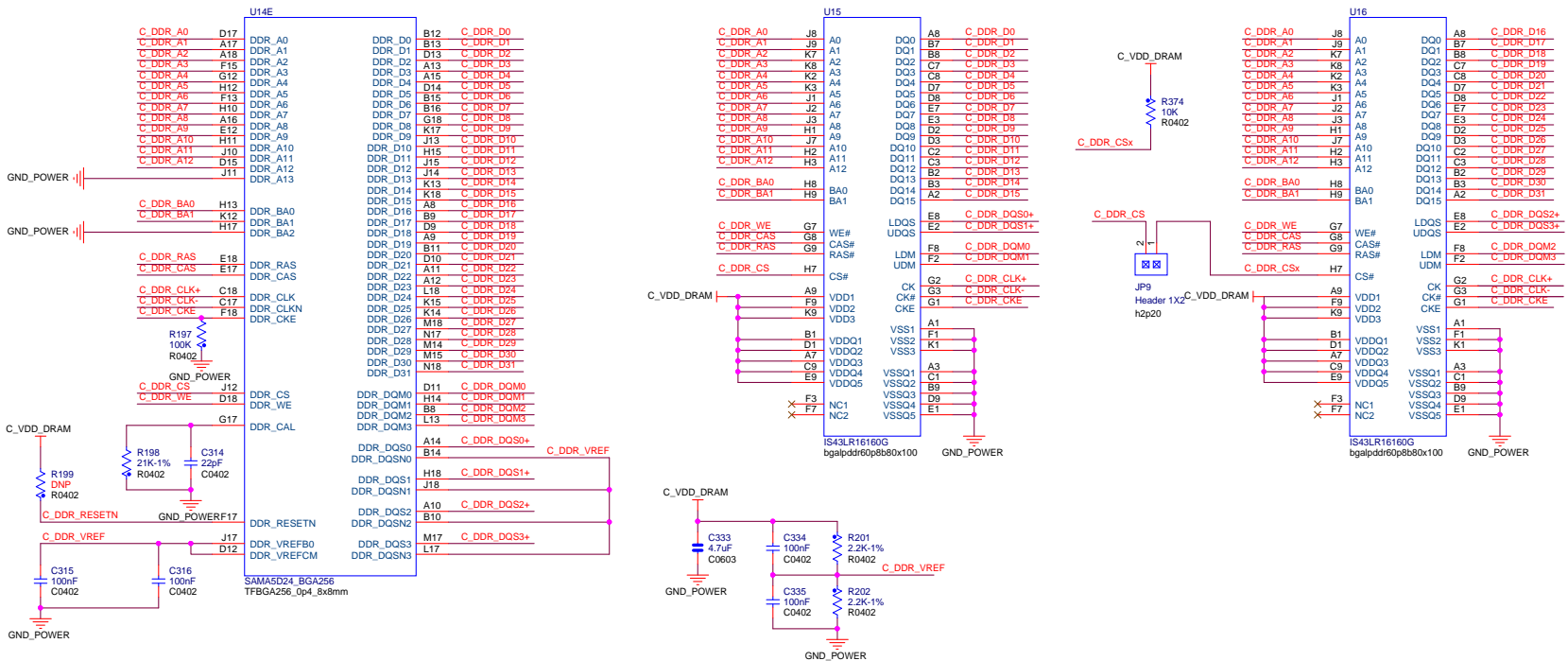
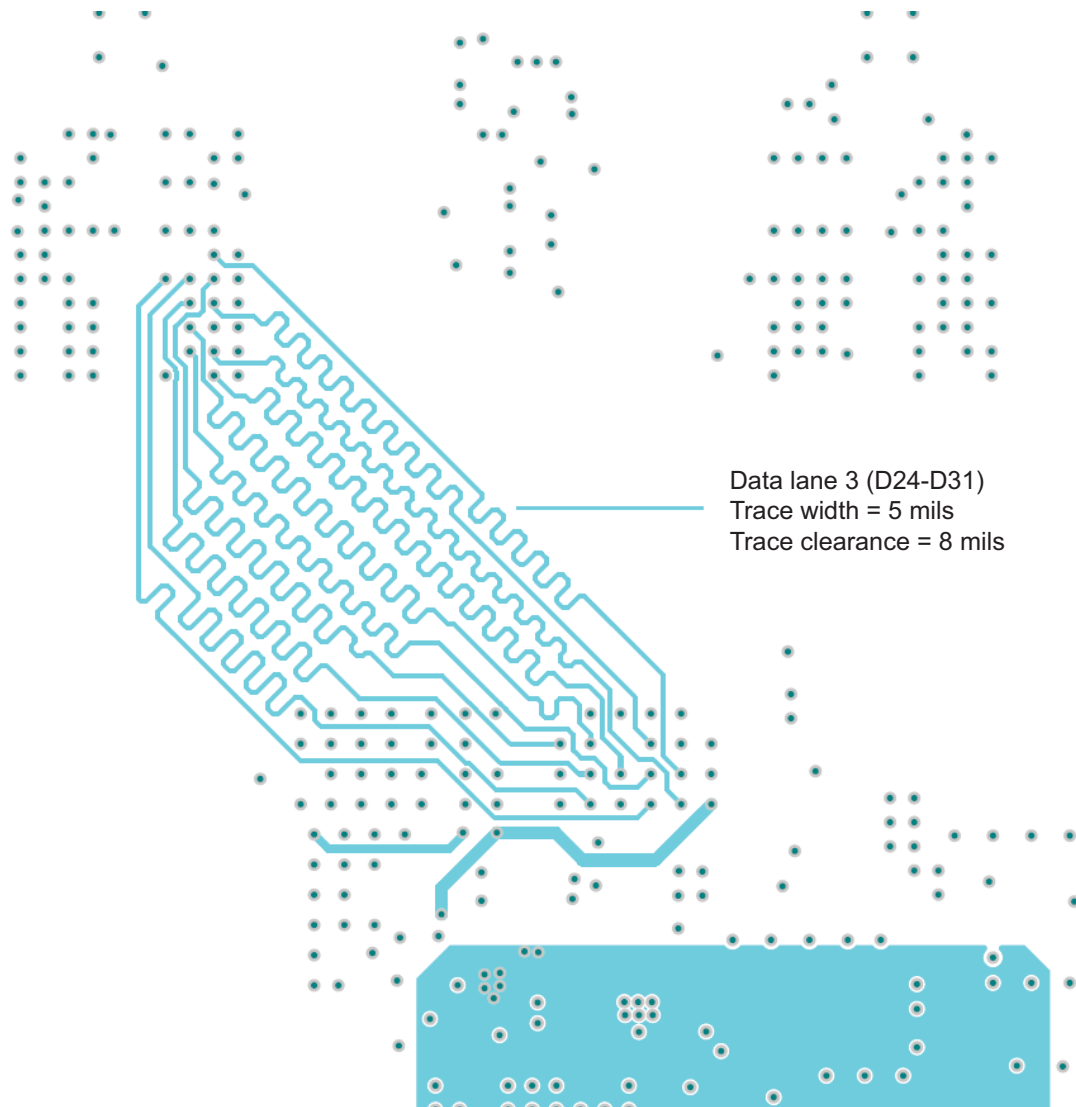


图 3-23. MPUx-DRAMx LPDDR1 器件



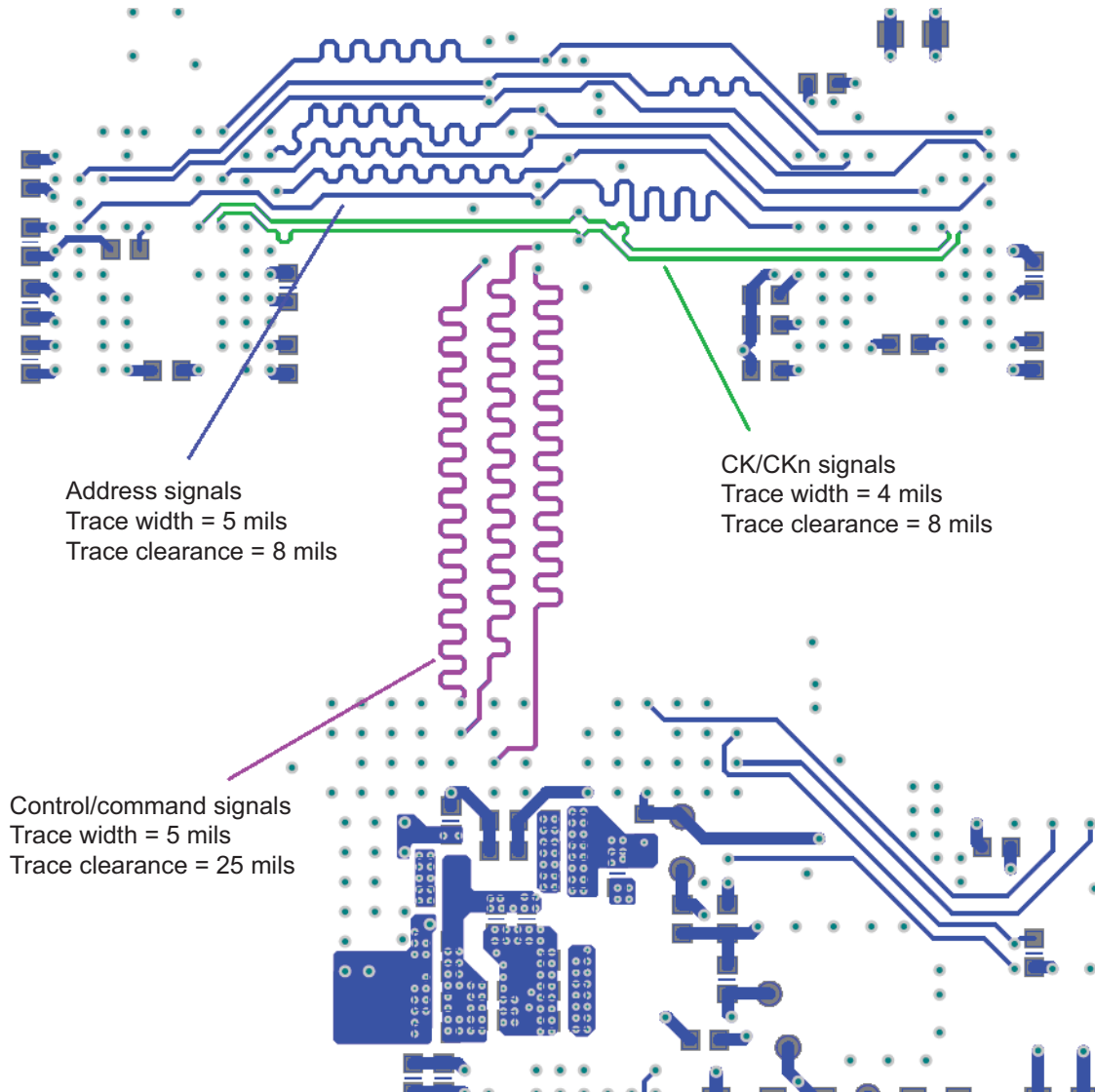
该套件采用一个 SAMA5D24/BGA256 MPU 和两个 256-Mb ISSI LPDDR1-SDRAM 器件（部件编号：IS43LR16160G-6BLI）。

图 3-24. SAMA5D24/BGA256/LPDDR1-SDRAM 第 6 层



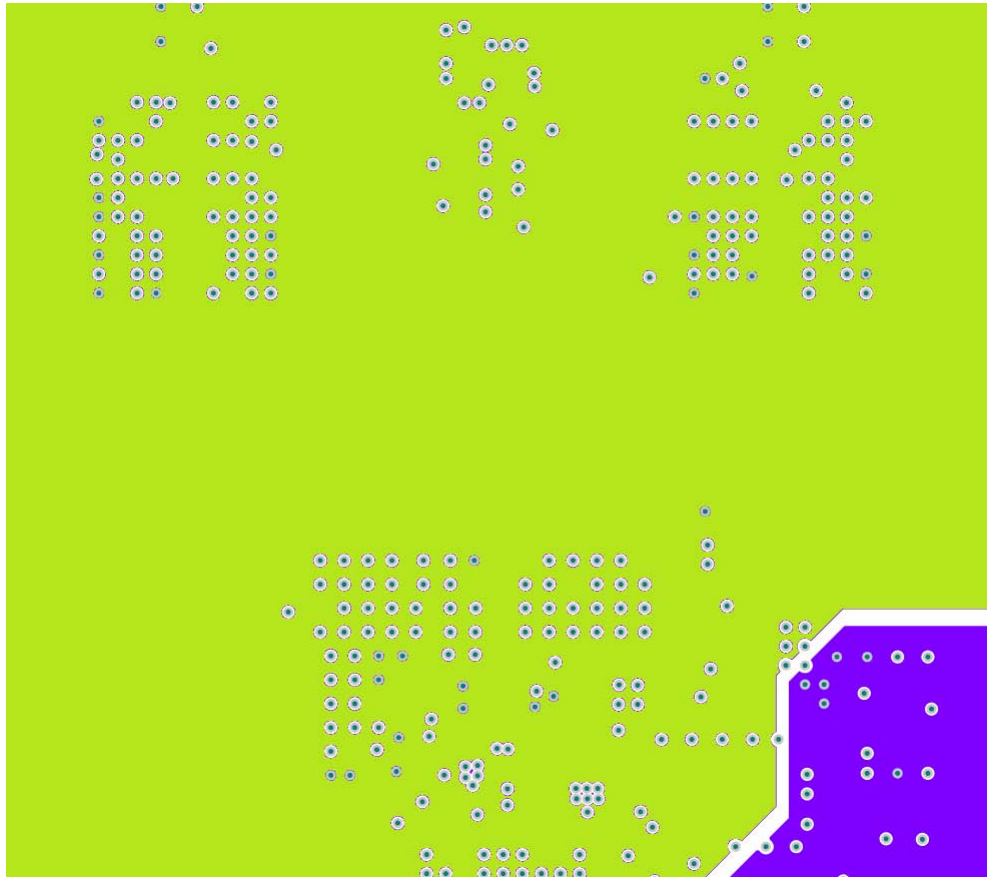
上图中的布线示例显示了以 LPDDR1-SDRAM 套件为中心的第 6 层布线。在该层上，根据一般布线规则，数据通道 3（D24-D31）信号已完成布线，走线宽度和间隙如注释所示。数据通道内不匹配的路径长度为 17 mil，远低于允许不匹配的最大路径长度（50 mil）。

图 3-25. SAMA5D24/BGA256/LPDDR1-SDRAM 第 8 层 (底层)



上图显示了以 LPDDR1-SDRAM 器件为中心的测试板底层，走线宽度和间隙如图上所示。

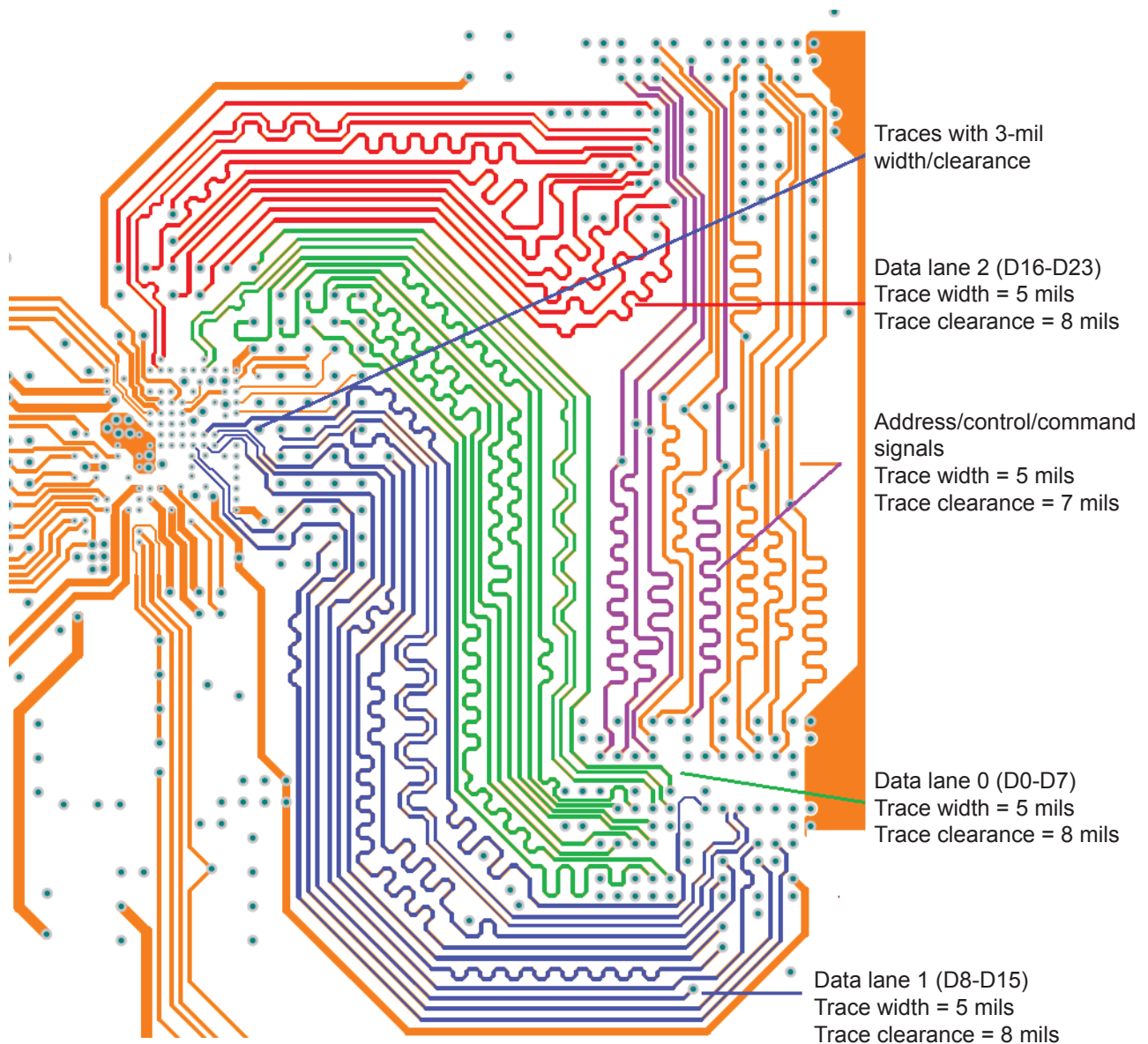
图 3-26. SAMA5D24/BGA256/LPDDR1-SDRAM 第 5 层



测试板的第 5 层用作电源平面，并用作相邻信号层（第 4 层和第 6 层）的阻抗匹配参考。上图中突出显示的区域为 SDRAM 器件供电。它覆盖了非常大的面积，在任何高速信号所在区域内都不存在任何分割，这样可以确保良好的信号完整性。

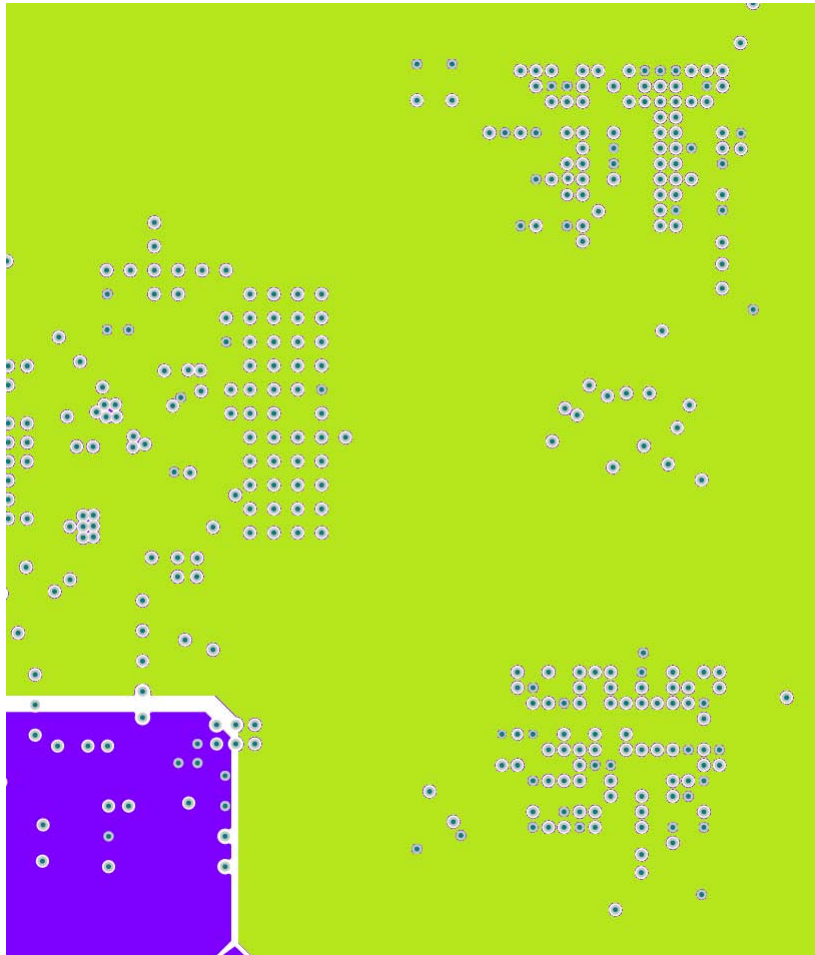
该套件采用一个 SAMA5D24/BGA256 MPU 和两个 512-Mb ISSI LPDDR2-SDRAM 器件（部件编号：IS43LD16320A-25BLI）。

图 3-28. SAMA5D24/BGA256/LPDDR2-SDRAM 第 3 层



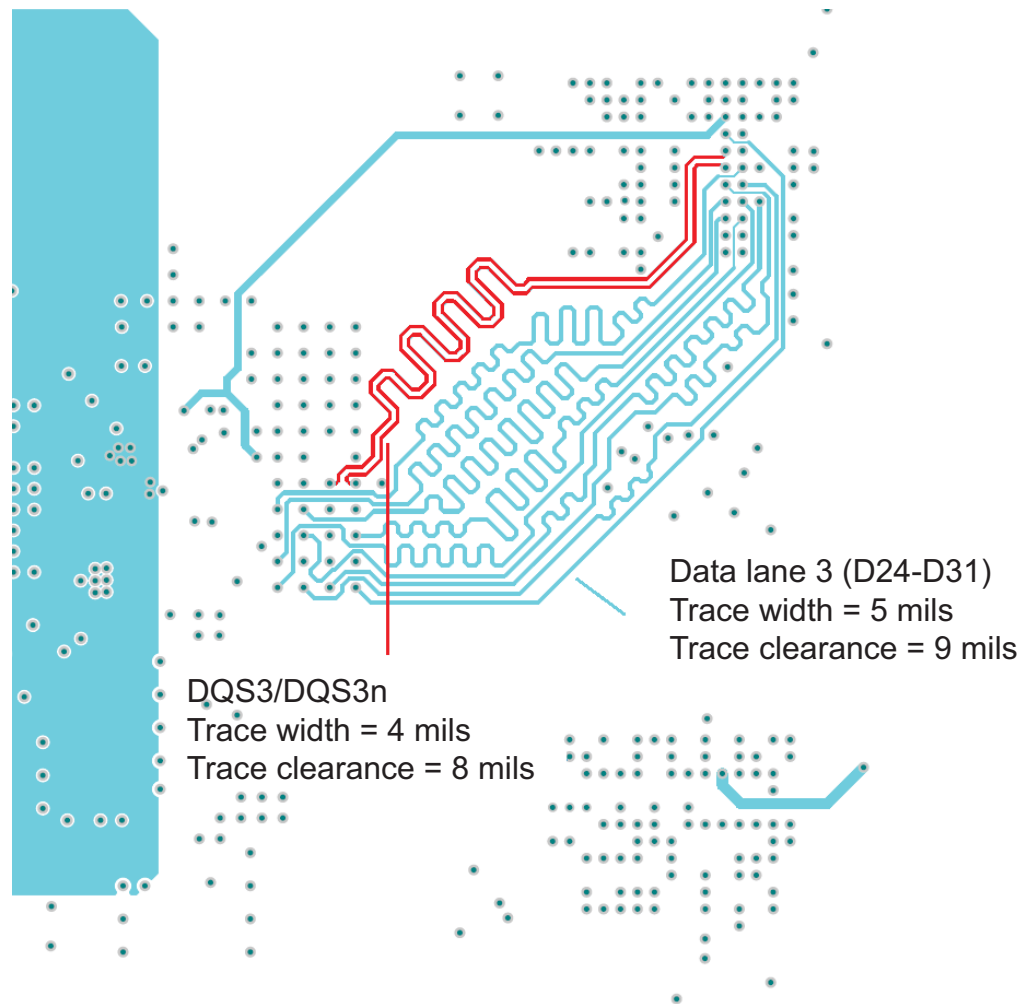
上图显示了主要用于 LPDDR2-SDRAM 配置的第 3 层测试板。它用作信号层，包含数据通道 0..2 和地址/控制/命令信号的走线。走线宽度和间隙符合大多数此类信号的最小值要求。但在 MPU 下方的区域中存在例外，其中 0.4 mm 的球间距不允许布线时的走线宽度大于 3 mil 或间隙大于 3 mil。在此情况下，由于物理约束，我们不得不违反了最小宽度规则（4 mil）。

图 3-29. SAMA5D24/BGA256/LPDDR2-SDRAM 第 5 层



测试板的第 5 层用作电源平面，并用作相邻信号层（第 4 层和第 6 层）的阻抗匹配参考。上图中突出显示的区域为 SDRAM 器件供电。它覆盖了非常大的面积，在任何高速信号所在区域内都不存在任何分割，这样可以确保良好的信号完整性。

图 3-30. SAMA5D24/BGA256/LPDDR2-SDRAM 第 6 层



第 6 层包含属于数据通道 3 的信号（见上图）。属于数据通道 3 的所有走线严格匹配，只有 17 mil 不匹配。

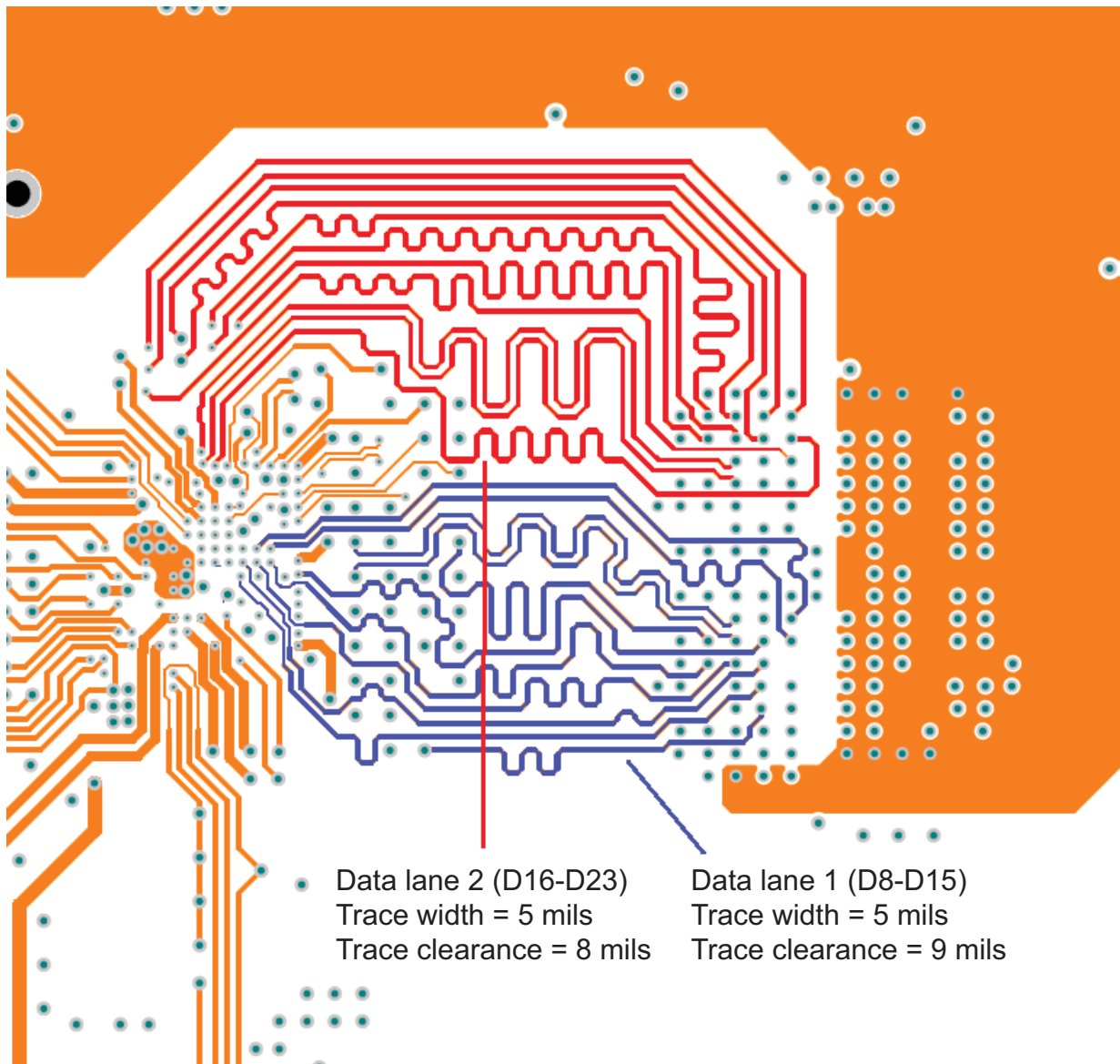
要计算位于内层的差分信号（如 DQS/DQS_n 对）的走线阻抗，我们建议使用阻抗计算器/求解器来加快设计过程。为了让结果尽量准确，请确保这些工具符合 IPC-2141 标准。

使用[测试板层堆叠详情表](#)中的参数以及 4 mil 走线宽度和 8 mil 间隙，计算出的差分对 DQS3/DQS_{3n} 的走线阻抗为 94.83Ω，处在容差范围内。

可以采用同样的方式计算 CK/CK_n 差分时钟走线阻抗。时钟信号在顶层布线（见图 [SAMA5D24/BGA256/LPDDR2-SDRAM 第 1 层（顶层）](#)），走线宽度为 4 mil，间隙为 8 mil，介电高度为 4.13 mil，最终计算出的阻抗为 101.73Ω。

该套件采用一个 SAMA5D24/BGA256 MPU 和一个 8-Gb Micron LPDDR3-SDRAM 器件（部件编号：MT52L256M32D1PF-107WT）。

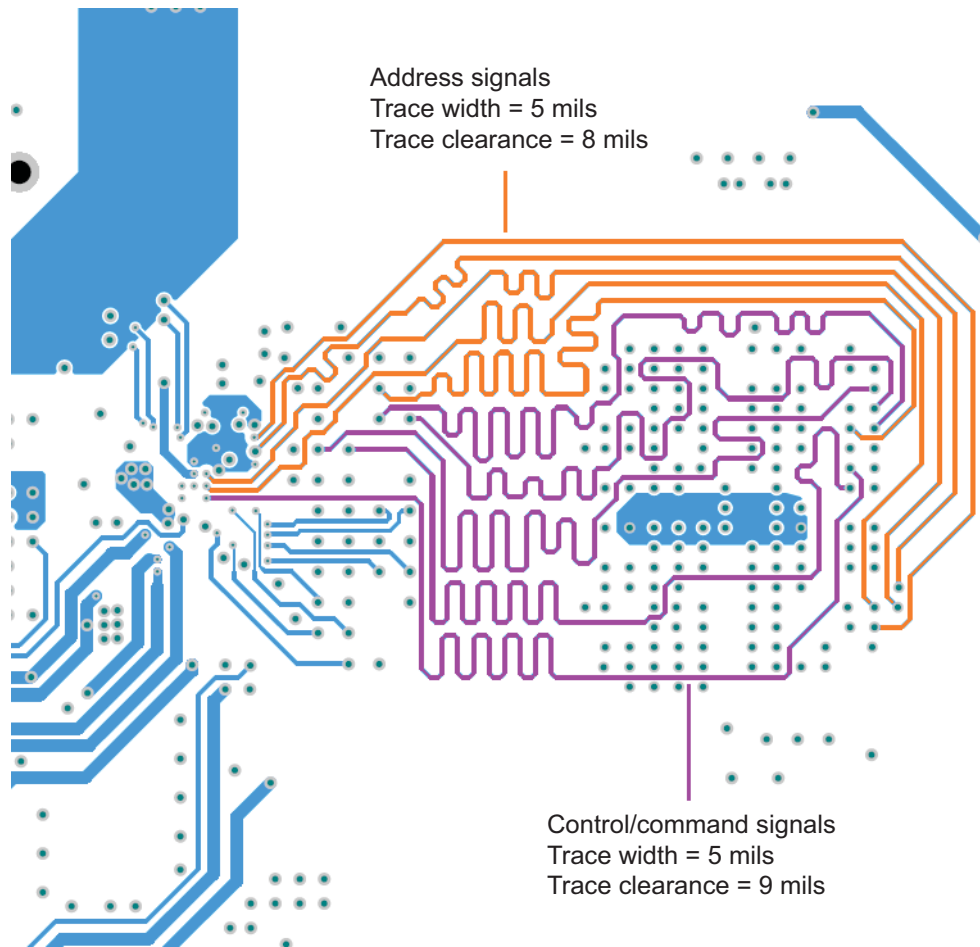
图 3-32. SAMA5D24/BGA256/LPDDR3-SDRAM 第 3 层



上图显示了主要用于 LPDDR3-SDRAM 配置的第 3 层测试板。它用作信号层，包含数据通道 1 和 2 的走线。走线宽度和间隙符合大多数此类信号的最小值要求。但在 MPU 下方的区域中存在例外，其中 0.4 mm 的球间距不允许布线时的走线宽度大于 3 mil。在此情况下，由于信号密度高，可允许走线宽度低于最小值（4 mil）。

属于每个数据通道的走线严格匹配，数据通道 1 有 14 mil 的长度不匹配，数据通道 2 有 34 mil 的长度不匹配。DQS1/DQS1n 和 DQS2/DQS2n 差分信号也精确匹配，同一对的信号不匹配长度为 1 mil，两对之间为 3.2 mil。

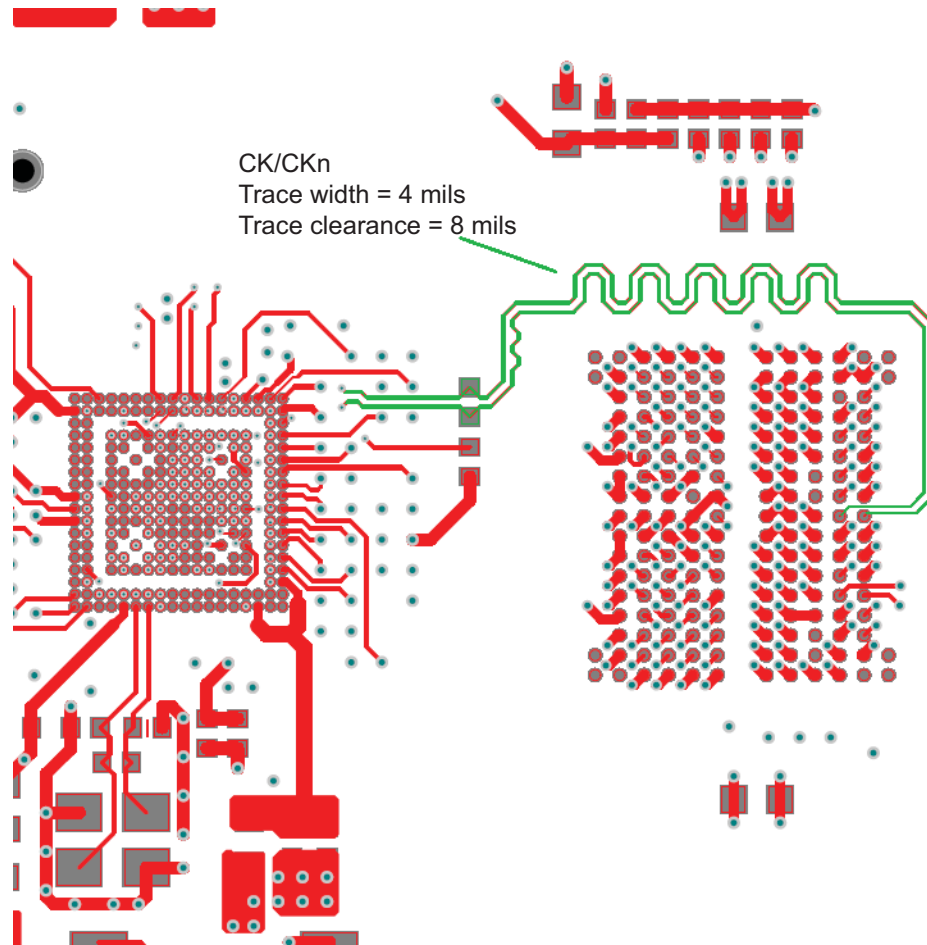
图 3-33. SAMA5D24/BGA256/LPDDR3-SDRAM 第 4 层



上图显示了以 LPDDR3-SDRAM 器件为中心的测试板第 4 层。它用作信号层，包含地址和控制/命令信号。走线宽度和间隙大小符合一般布线规则。

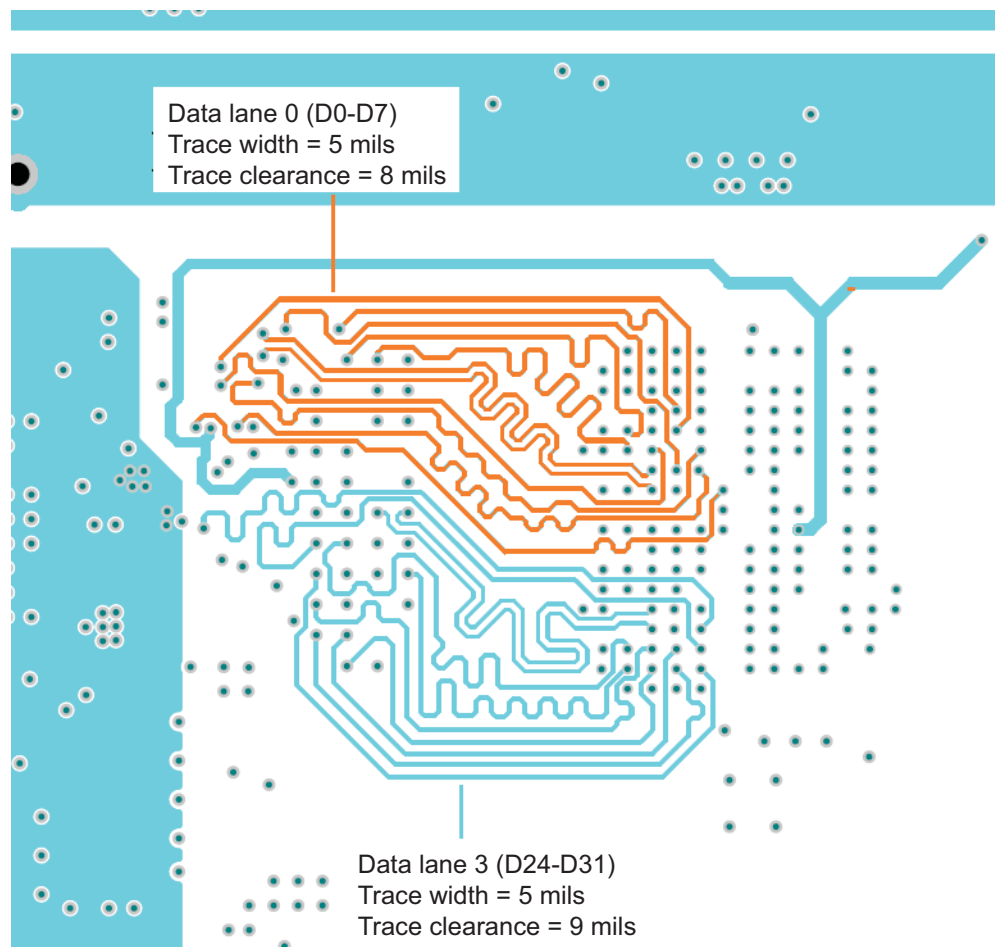
可以使用带状线阻抗公式（公式 2）或者使用专用计算器来计算走线阻抗。应用公式得到的走线阻抗为 $Z_0 = 48.17\Omega$ 。

图 3-34. SAMA5D24/BGA256/LPDDR3-SDRAM 第 1 层 (顶层)



上图显示了以 LPDDR3-SDRAM 器件为中心的测试板顶层。差分 CK/CKn 信号在该层上布线，走线宽度和间隙如注释所示。差分对阻抗为 101.73Ω ，非常接近目标值 (100Ω)。

图 3-35. SAMA5D24/BGA256/LPDDR3-SDRAM 第 6 层



上图显示了第 6 层，LPDDR3-SDRAM 中的数据通道 0 和 3 在此布线。

DQS0/DQS0n 和 DQS3/DQS3n 差分对的目标阻抗为 100Ω 。使用阻抗计算器得到的值为 98.16Ω 。所有电源层都提供无槽参考平面，以保持良好的信号完整性。

3.4 SAMA5D27/BGA289 定制测试板

该定制板专为测试 SAMA5D24/BGA256 测试板未涵盖的 MPU+SDRAM 配置而设计。它具有两组独立的 SAMA5D27 MPU 套件，分别搭配 1 个 32 位 LPDDR-SDRAM 和 1 个 32 位 LPDDR2-SDRAM。每组套件都有自己的电源管理集成电路（PMIC）。

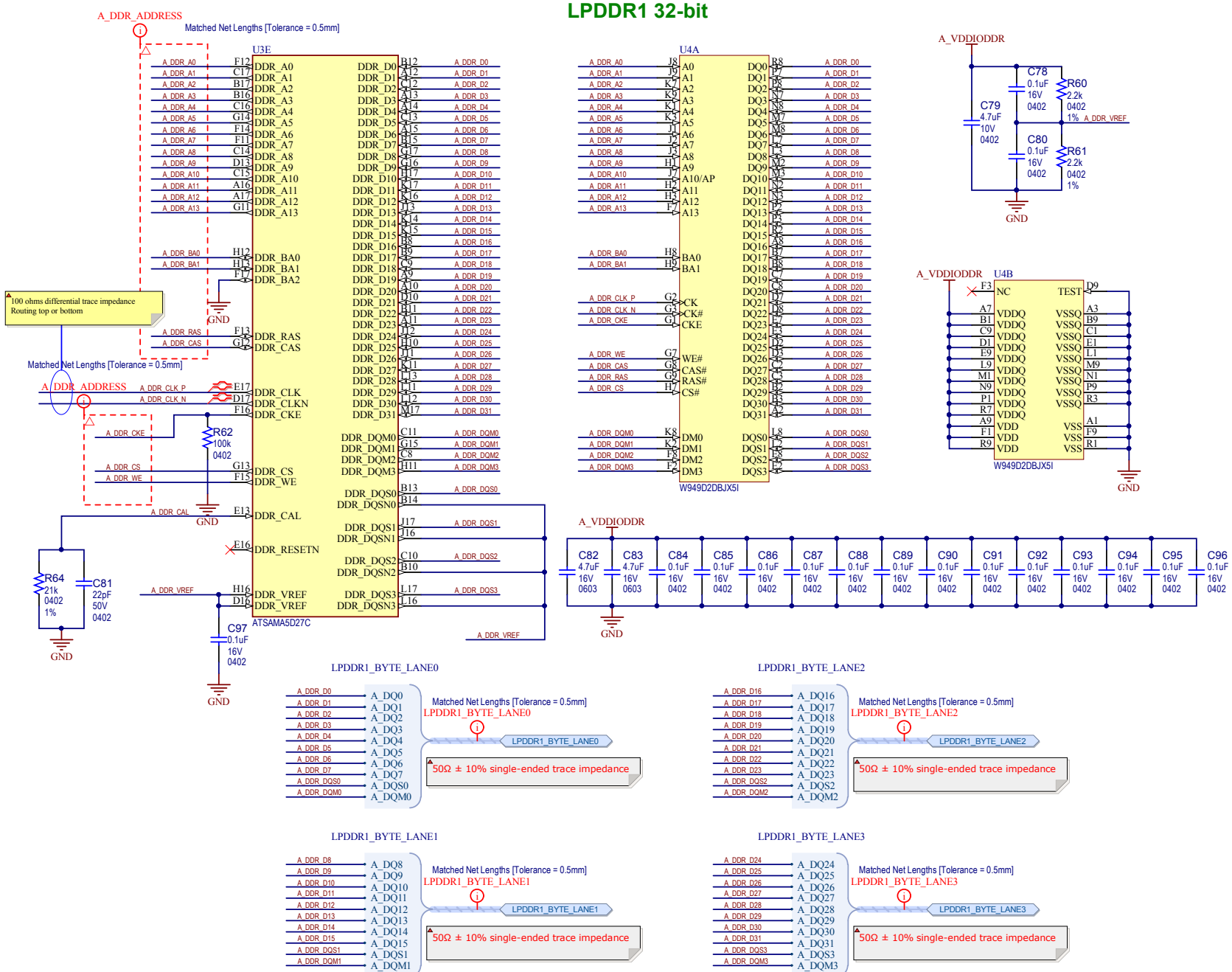
层堆叠如下表所示。由于两组套件都在同一块板上，所以共用相同的堆叠。

表 3-4. 测试板层堆叠详情

层名称	类型	材料	厚度 [mm]	厚度 [mil]	介电材料	介电常数
顶层覆盖	覆盖	-	-	-	-	-
顶层焊料	阻焊层/覆盖	表面材料	0.02	0.79	阻焊剂	3.5
L1-顶层	信号	铜	0.035	1.38	-	-

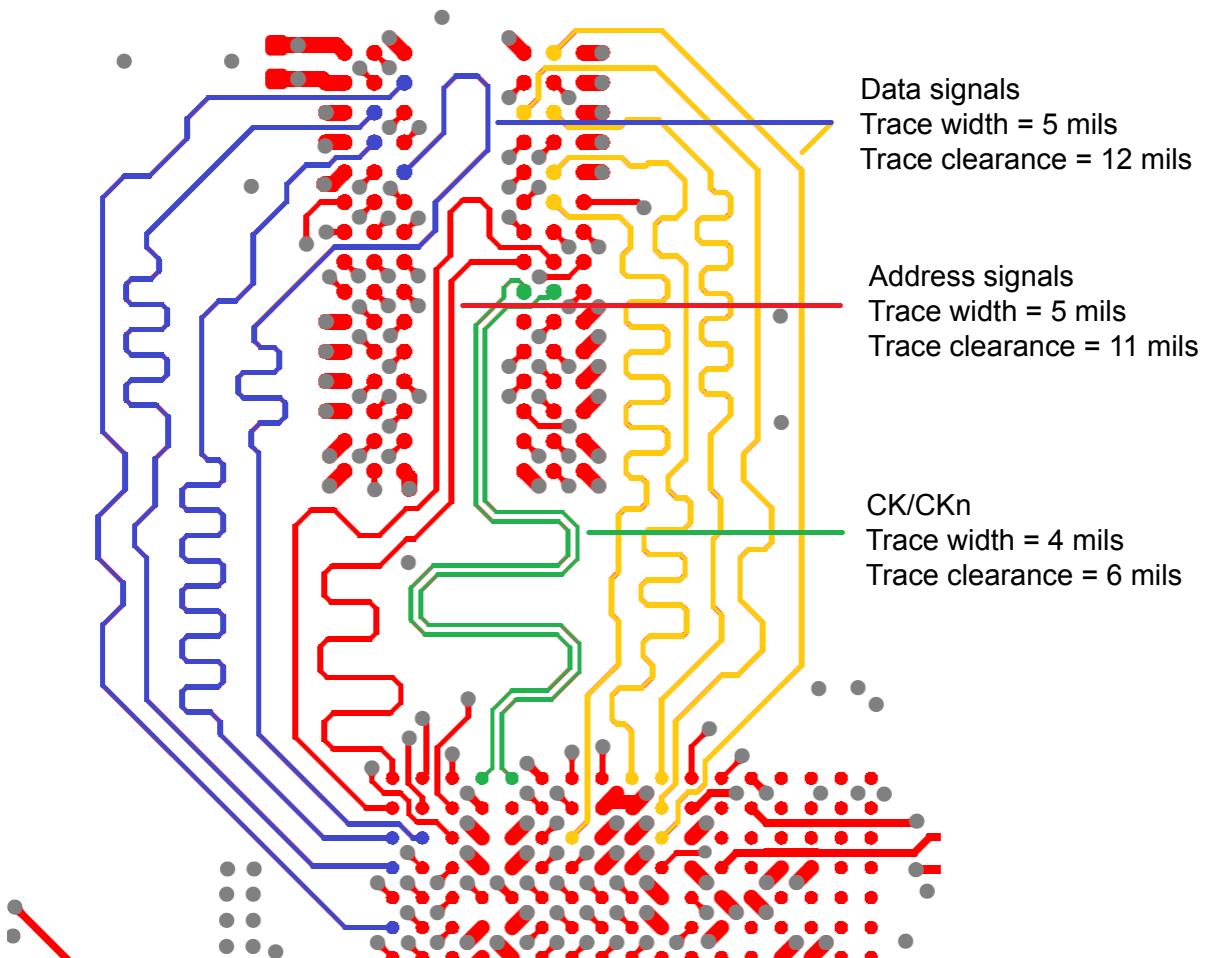
..... (续)						
层名称	类型	材料	厚度 [mm]	厚度 [mil]	介电材料	介电常数
介电层 1	介电	预浸	0.09	3.54	FR-4	4.2
L2-GND	信号	铜	0.018	0.71	-	-
介电层 2	介电	芯板	0.1	3.93	FR-4	4.2
L3-INT3	信号	铜	0.018	0.71	-	-
介电层 3	介电	预浸	0.95	37.4	FR-4	4.2
L4-INT4	信号	铜	0.018	0.71	-	-
介电层 4	介电	芯板	0.1	3.93	FR-4	4.2
L5-VDD	信号	铜	0.018	0.71	-	-
介电层 5	介电	预浸	0.09	3.54	FR-4	4.2
L6-底层	信号	铜	0.035	1.38	-	-
底层焊料	阻焊层/覆盖	表面材料	0.02	0.79	阻焊剂	3.5
底层覆盖	覆盖	-	-	-	-	-

图 3-36. MPUx-DRAMx-v2 LPDDR 器件



该套件采用一个 SAMA5D27/BGA289 MPU 和一个 512-Mb LPDDR-SDRAM 器件（部件编号：W949D2DBJX5I）。

图 3-37. SAMA5D27/BGA289/LPDDR1-SDRAM 第 1 层（顶层）



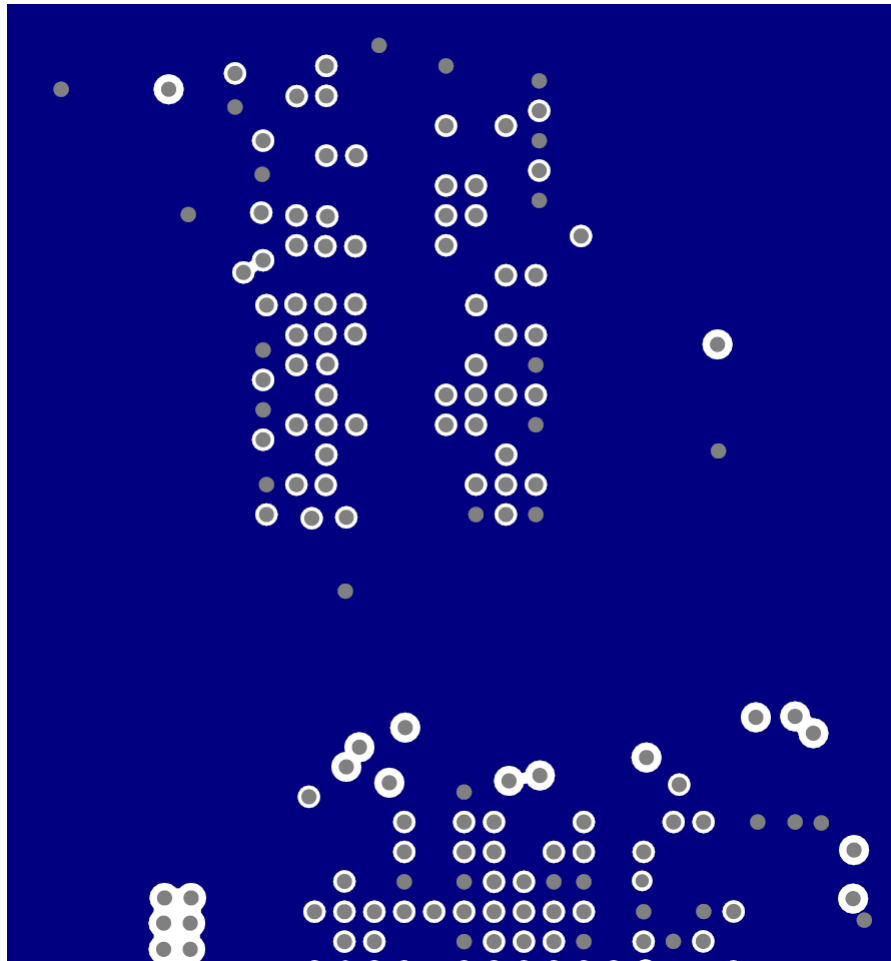
上图所示的测试板顶层包含该套件的部分数据和地址走线。根据规范，顶层单端信号的走线宽度为 5 mil，可轻松达到将近 50Ω 的走线阻抗。走线间隙为 11 mil，高于最小值。

差分 CK/CKn 信号走线宽度为 4 mil，差分走线之间的间隙为 6 mil，阻抗非常接近 100Ω 。

在计算顶层或底层的单端或差分走线阻抗时，必须考虑阻焊层的影响。

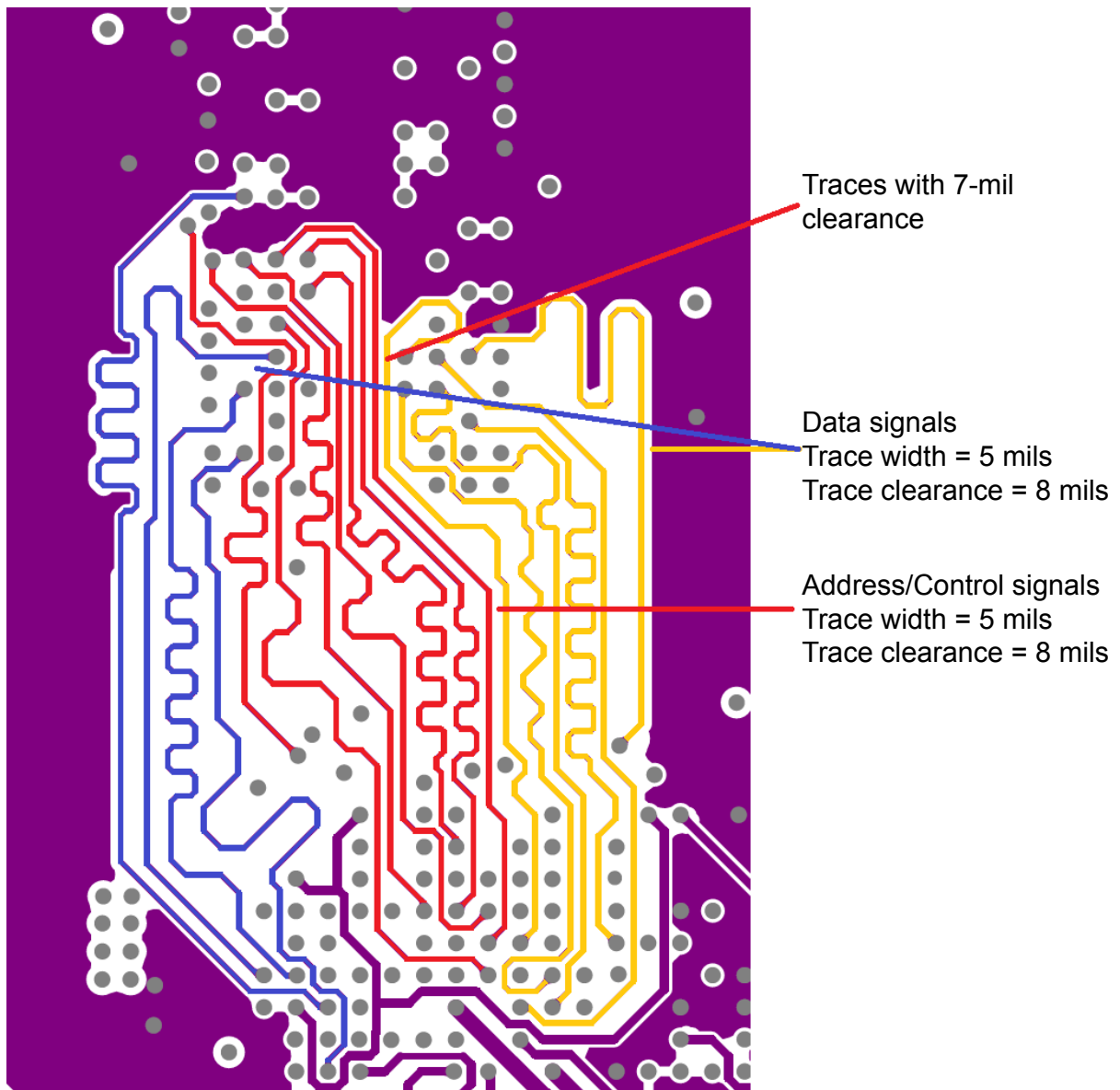
在电路板设计密集或复杂的情况下，如果同一字节通道内的信号不能在同一层中布线，则可能会将部分信号布线到其他层上，这就违反了同一层字节通道规则。

图 3-38. SAMA5D27/BGA289/LPDDR1-SDRAM 第 2 层



测试板的第 2 层用作接地平面，并用作相邻信号层（第 1 层和第 3 层）的阻抗匹配参考平面。上图中显示的区域为 SDRAM 器件提供返回路径。它覆盖了非常大的面积，在任何高速信号所在区域内都不存在任何分割，这样可以确保良好的信号完整性。

图 3-39. SAMA5D27/BGA289/LPDDR1-SDRAM 第 4 层



上图显示了以 LPDDR1-SDRAM 套件为中心的测试板第 4 层。在确保大多数走线的间隙大于或等于最小值的情况下，在小区域中由于物理约束而减小间隙是可接受的。

很重要的一点是要让同一字节通道内的所有信号长度严格匹配。在此设计中，任意字节通道内的走线都有不超过 6 mil 的长度不匹配。

3.4.2 SAMA5D27/BGA289/LPDDR2-SDRAM 器件

该套件采用一个 SAMA5D27/BGA289 MPU 和一个 4-Gb LPDDR2-SDRAM 器件（部件编号：AS4C128M32MD2A-18BIN）。

图 3-40. MPUx-DRAMx-v2 LPDDR2 器件

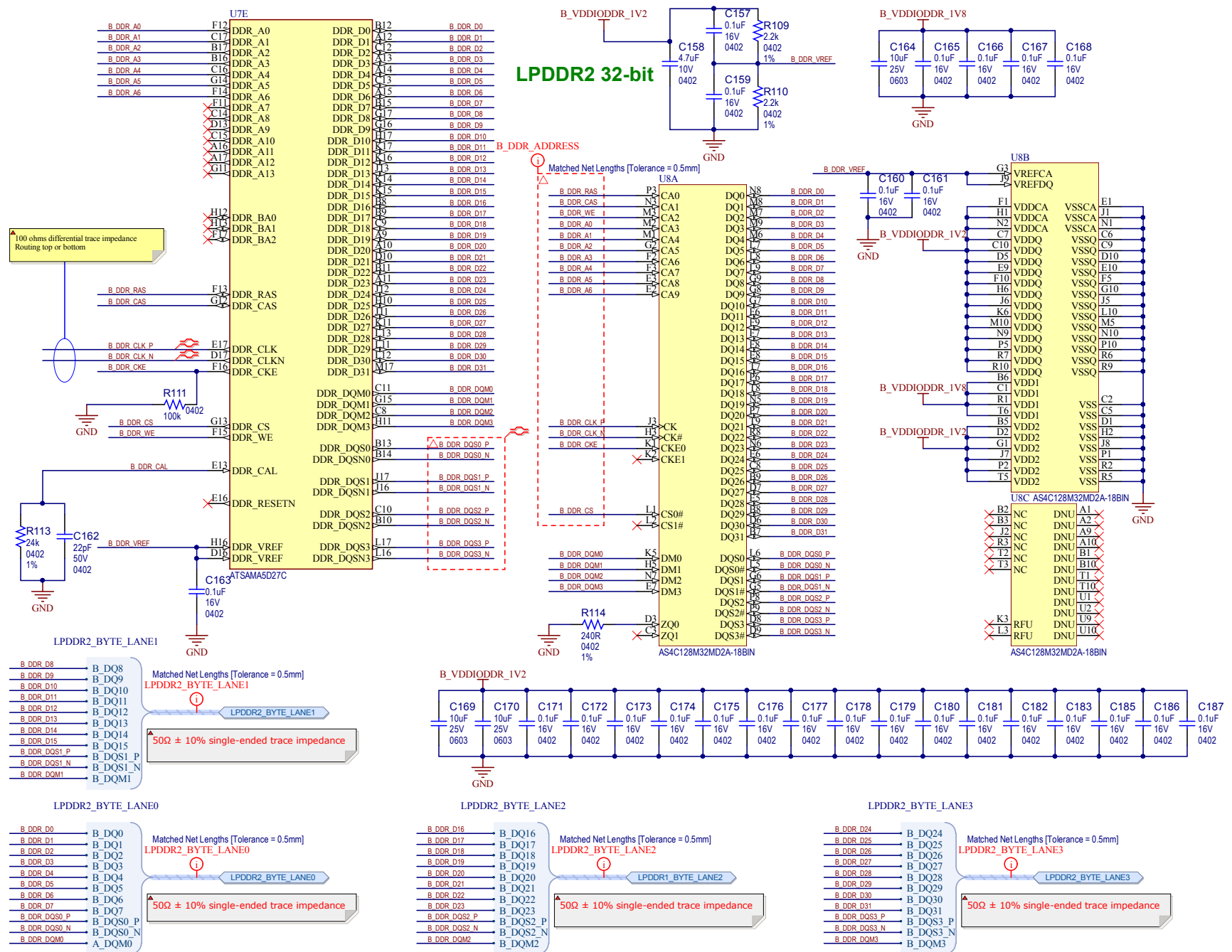
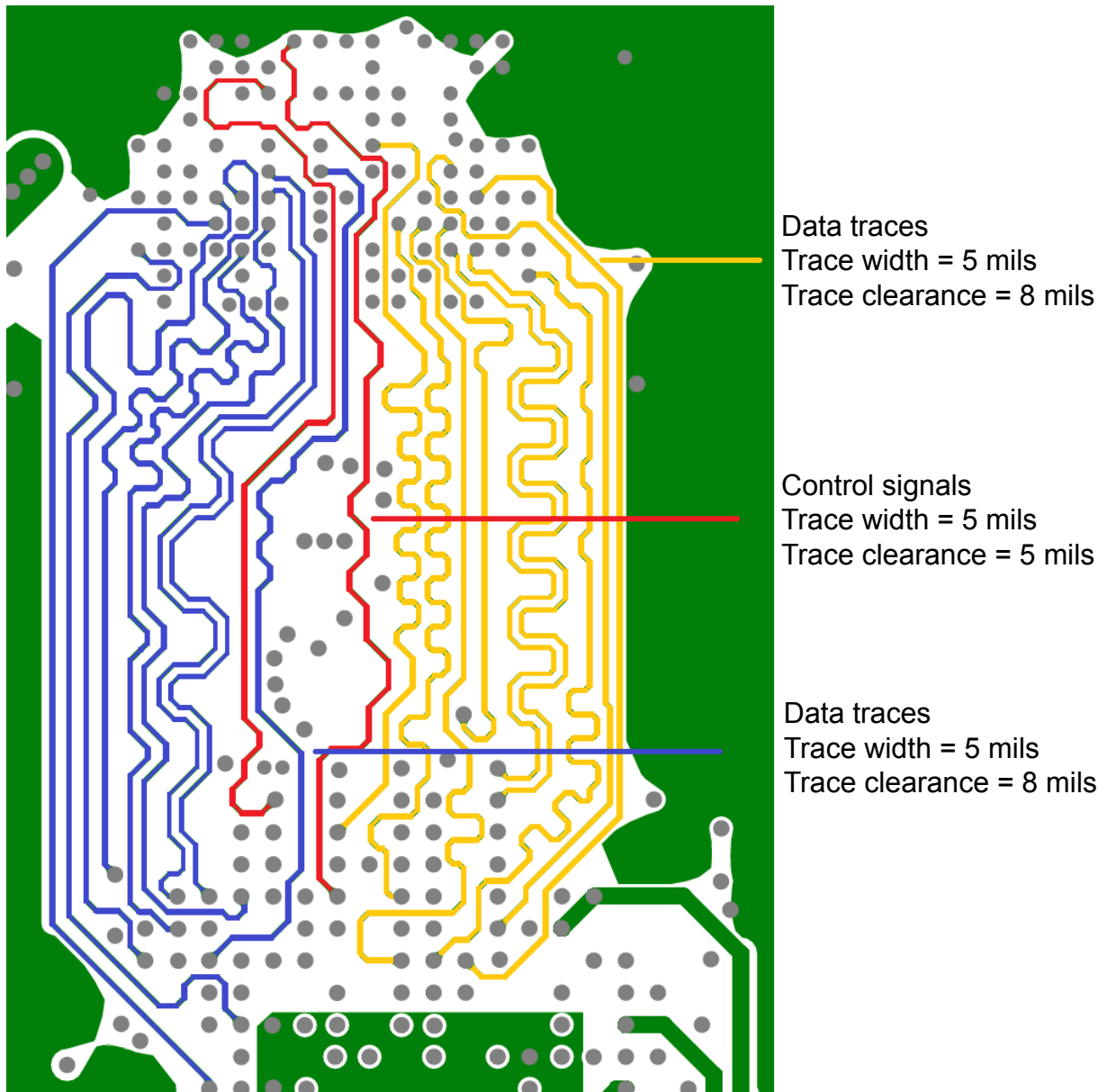
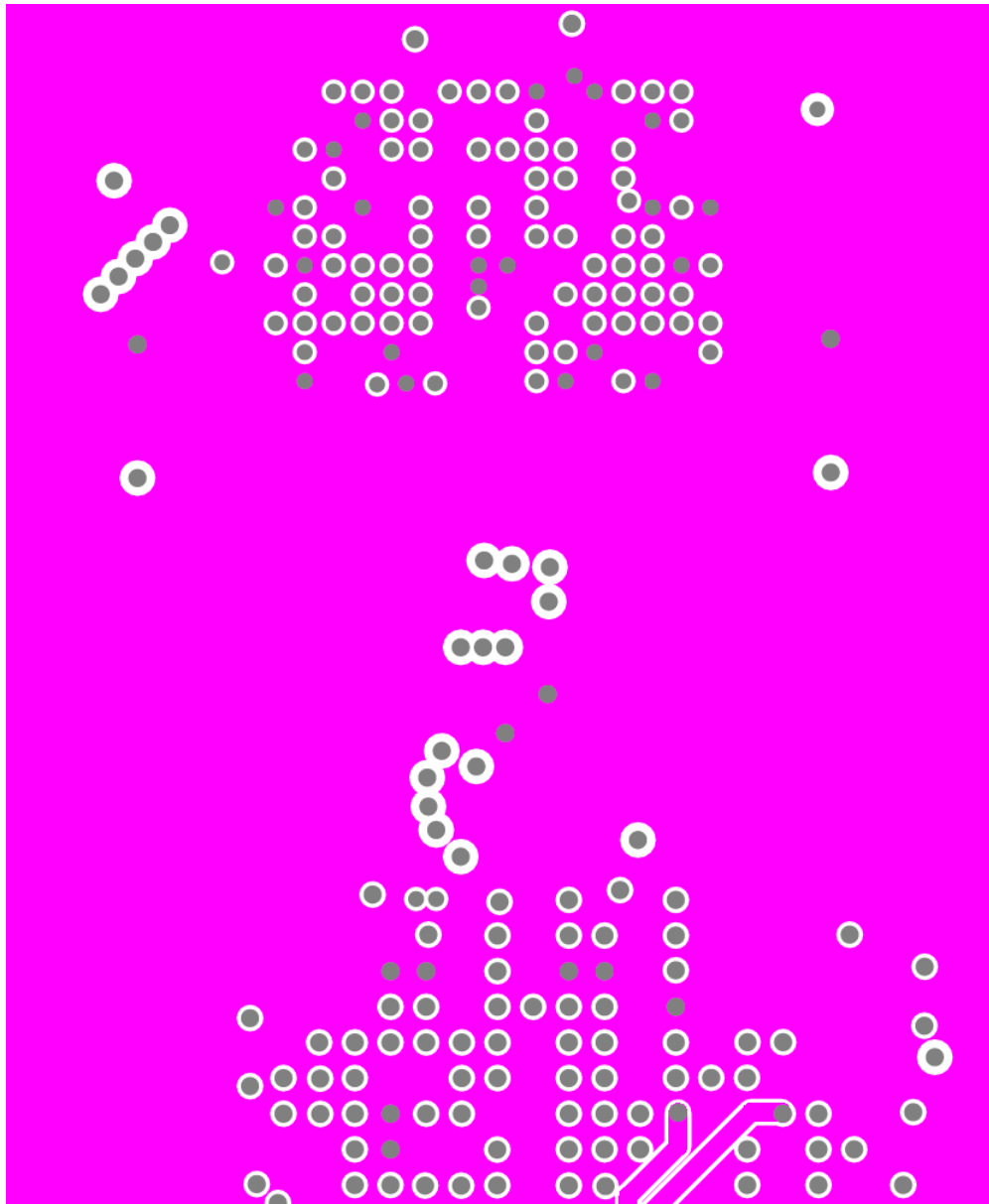


图 3-41. SAMA5D27/BGA289/LPDDR2-SDRAM 第 3 层



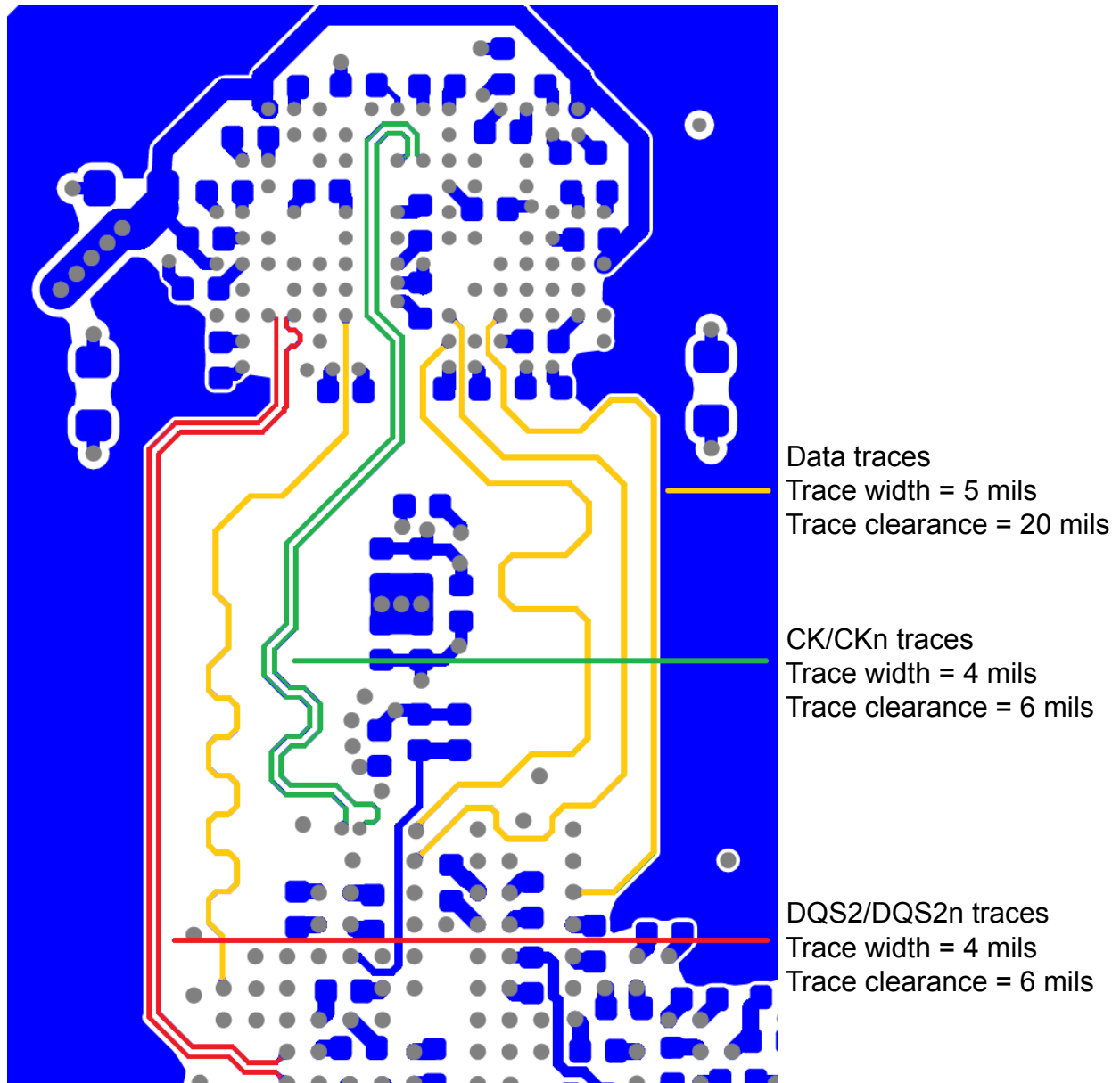
上图中的布线示例是主要在第 3 层上布线的数据走线。在 LPDDR2 存储器件正下方的区域中，由于物理约束，走线间隙低于指定值。在内层上，由于串扰较低，所以走线间隙不像外层那样严格。在具有更小间距的器件设计中，使用焊盘中的过孔布线可简化布线并改善间隙。

图 3-42. SAMA5D27/BGA289/LPDDR2-SDRAM 第 5 层



测试板的第 5 层用作电源平面，并用作相邻信号层（第 4 层和第 6 层）的阻抗匹配参考平面。上图中突出显示的区域为 SDRAM 器件供电。它覆盖了非常大的面积，在任何高速信号所在区域内都不存在任何分割，这样可以确保良好的信号完整性。

图 3-43. SAMA5D27/BGA289/LPDDR2-SDRAM 第 6 层 (底层)



上图所示为底层。由于物理约束，到 SDRAM 器件的布线路径上的走线宽度减小，从 5 mil 到 4 mil 不等。使用具有 0201 尺寸封装（而不是 0402）的去耦电容，可以进一步改善底层信号完整性。这有助于简化密集设计中的布线，并且由于电感更低而有助于改善去耦。

CK/CKn 和 DQS2/DQS2n 差分信号布线在第 6 层。考虑到表 3-4 中所示的堆叠，在差分走线之间允许 4 mil 的走线宽度和 6 mil 的间隙将可以实现 100Ω 的良好阻抗匹配。让信号层和参考平面之间维持一个较低的介电高度，可以在差分信号的走线变窄和间隙减小的同时保持相同的阻抗，这在进行高密度设计时将会非常方便。

4. 软件方面

4.1 板上 SDRAM 器件初始化序列

每种类型的 DDR-SDRAM 都有一个特定的初始化序列，必须在系统上电后执行。所需步骤是一个电气模式序列，由微处理器通过软件执行，并通过嵌入式 DRAM 控制器（MPDDRC）应用于存储器件。

有关这些设置的详情，请参见 *SAMA5D2 Series Data Sheet* 中的“Multiport DDR-SDRAM Controller (MPDDRC)”一章。对于每种存储器件，下面按该序列从前往后的顺序对其逐一进行了介绍。发出初始化序列的最后一步之后，SDRAM 器件就能开始完全正常工作。

以下子章节的表中描述了每个初始化步骤，包括必要的操作（需要执行的操作）、操作中涉及的寄存器以及要在寄存器字段中写入的设置（值）。

软件支持以 [软件包](#) 形式提供，其中附带了一些驱动程序和示例。

4.1.1 DDR3-SDRAM/DDR3L-SDRAM 初始化

初始化序列由软件执行。DDR3-SDRAM 器件按下表所示的顺序初始化。

注： 这些设置已经过验证，适用于 Micron MT52L256M32D1PF-107WT 器件。若要应用于其他品牌，应根据各自的数据手册进行验证。

表 4-1. DDR3-SDRAM/DDR3L-SDRAM 初始化

步骤	操作	寄存器	设置
1	编程存储器件类型	MPDDRC_MD	MD = 4（适用于 DDR3）， DBW = 0（32 位）
2	编程移位采样值	MPDDRC_RD_DATA_PATH	
3	编程 DDR3-SDRAM 功能	MPDDRC_CR MPDDRC_TPR0 MPDDRC_TPR1 MPDDRC_TPR2	4.2 SDRAM 控制器配置 中提供了这些字段的值。这些值取决于 DDR 时钟。
4	发出 NOP 命令 ⁽⁴⁾	MPDDRC_MR	MODE = 1
5	500 μs 延时 ⁽¹⁾	-	-
6	发出 NOP 命令 ⁽⁴⁾	MPDDRC_MR	MODE = 1
7	发出 EMRS2 周期 ⁽²⁾	MPDDRC_MR	MODE = 5
8	发出 EMRS3 周期 ⁽²⁾	MPDDRC_MR	MODE = 5
9	发出 EMRS1 周期 ⁽²⁾	MPDDRC_MR	MODE = 5
10	向 DLL 位写入 1	MPDDRC_CR	DLL = 1
11	发出模式寄存器设置（Mode Register Set, MRS）周期 ⁽³⁾	MPDDRC_MR	MODE = 3
12	发出校准命令（MRS） ⁽³⁾	MPDDRC_MR	MODE = 6
13	提供正常模式命令 ⁽⁴⁾	MPDDRC_MR	MODE = 0

..... (续)			
步骤	操作	寄存器	设置
14	在 COUNT 字段中写入刷新率	MPDDRC_RTR	COUNT = Trefi/Tck

注:

- 要发出延时:
 - 禁止中断;
 - 计算截止时间 = $\text{ROUND_INT_DIV}((\text{timer_channel_freq}/1000)*\text{count}, 1000)$, 其中 count 是以 μs 为单位的延时;
 - 启动计时器并等待计时器到达截止时间;
 - 允许中断。
- 要发出扩展模式寄存器设置 (EMRS) 周期, 需先将 MODE 字段设为 5, 然后读取 MPDDRC_MR, 并紧挨读取在后面添加一个存储屏障汇编指令。接着, 对 DDR3-SDRAM 器件执行写访问, 按如下所示设置 BA[2:0]信号:
 - 对于 EMRS1, BA[2]清零, BA[1]清零, BA[0]置 1;
 - 对于 EMRS2, BA[2]清零, BA[1]置 1, BA[0]清零;
 - 对于 EMRS3, BA[2]清零, BA[1]置 1, BA[0]置 1;
 发出写访问地址, 以便确认需要计算的命令, 使 BA[2:0]信号处于适合 EMRS 周期的正确状态。
- 先设置 MODE 字段, 然后读取 MPDDRC_MR, 并紧挨读取在后面添加一个存储屏障汇编指令。执行写访问以确认命令, 使 BA[2:0]信号清零 (在 BASE_ADDRESS_DDR 处写入)。
- 先设置 MODE 字段, 然后读取 MPDDRC_MR, 并紧挨读取在后面添加一个存储屏障汇编指令。在任意地址执行写访问以确认命令。

有关更多信息, 请参见 *SAMA5D2 Series Data Sheet* 中的 “Multiport DDR-SDRAM Controller (MPDDRC)” 一章。

4.1.2 DDR2-SDRAM 初始化

初始化序列由软件生成。DDR2-SDRAM 器件按以下顺序初始化:

表 4-2. DDR2-SDRAM 初始化

步骤	操作	寄存器	设置
1	编程存储器件类型	MPDDRC_MD	MD = 6 (适用于 DDR2), DBW = 0 (32 位)
2	编程移位采样值	MPDDRC_RD_DATA_PATH	4.2 SDRAM 控制器配置中提供了这些字段的值。这些值取决于 DDR 时钟。
3	编程 DDR2-SDRAM 功能	MPDDRC_CR MPDDRC_TPR0 MPDDRC_TPR1 MPDDRC_TPR2	
4	发出 NOP 命令 ⁽⁴⁾	MPDDRC_MR	
5	200 μs 延时 ⁽¹⁾	-	-
6	发出 NOP 命令 ⁽⁴⁾	MPDDRC_MR	MODE = 1
7	发出 All Banks Precharge 命令 ⁽⁴⁾	MPDDRC_MR	MODE = 2

..... (续)			
步骤	操作	寄存器	设置
8	发出 EMRS2 周期 ⁽²⁾	MPDDRC_MR	MODE = 5
9	发出 EMRS3 周期 ⁽²⁾	MPDDRC_MR	MODE = 5
10	发出 EMRS1 周期 ⁽²⁾	MPDDRC_MR	MODE = 5
11	2 μ s 延时 ⁽¹⁾	-	-
12	向 DLL 位写入 1	MPDDRC_CR	DLL = 1
13	发出模式寄存器设置 (MRS) 周期 ⁽³⁾	MPDDRC_MR	MODE = 3
14	发出 All Banks Precharge 命令 ⁽⁴⁾	MPDDRC_MR	MODE = 2
15	提供两个自动刷新 (CBR) 周期 ⁽⁴⁾	MPDDRC_MR	MODE = 4
16	向 DLL 位写入 0	MPDDRC_CR	DLL = 0
17	发出模式寄存器设置 (MRS) 周期 ⁽³⁾	MPDDRC_MR	MODE = 3
18	将 OCD 字段配置为 7	MPDDRC_CR	OCD = 7
19	发出 EMRS1 周期 ⁽²⁾	MPDDRC_MR	MODE = 5
20	将 OCD 字段配置为 0	MPDDRC_CR	OCD = 0
21	发出 EMRS1 周期 ⁽²⁾	MPDDRC_MR	MODE = 5
22	提供正常模式命令 ⁽⁴⁾	MPDDRC_MR	MODE = 0
23	在 COUNT 字段中写入刷新率	MPDDRC_RTR	COUNT = Trefi/Tck

注:

1. 要发出延时:
 - 禁止中断;
 - 计算截止时间 = $\text{ROUND_INT_DIV}((\text{timer_channel_freq}/1000)*\text{count}, 1000)$, 其中 count 是以 μs 为单位的延时;
 - 启动计时器并等待计时器到达截止时间;
 - 允许中断。
2. 要发出扩展模式寄存器设置 (EMRS) 周期, 需先将 MODE 字段设为 5, 然后读取 MPDDRC_MR, 并紧挨读取在后面添加一个存储屏障汇编指令。接着, 对 DDR2-SDRAM 器件执行写访问, 按如下所示设置 BA[1:0]信号:
 - 对于 EMRS1, BA[1]清零, BA[0]置 1;
 - 对于 EMRS2, BA[1]置 1, BA[0]清零;
 - 对于 EMRS3, BA[1]置 1, BA[0]置 1。

发出写访问地址, 以便确认需要计算的命令, 使 BA[1:0]信号处于适合 EMRS 周期的正确状态。
3. 先设置 MODE 字段, 然后读取 MPDDRC_MR, 并紧挨读取在后面添加一个存储屏障汇编指令。执行写访问以确认命令, 使 BA[2:0]信号清零 (在 BASE_ADDRESS_DDR 处写入)。
4. 先设置 MODE 字段, 然后读取 MPDDRC_MR, 并紧挨读取在后面添加一个存储屏障汇编指令。在任意地址执行写访问以确认命令。

有关更多信息, 请参见 *SAMA5D2 Series Data Sheet* 中的 “Multiport DDR-SDRAM Controller (MPDDRC)” 一章。

4.1.3 LPDDR1-SDRAM 初始化

初始化序列由软件生成。低功耗 DDR1-SDRAM 器件按以下顺序初始化:

表 4-3. LPDDR1-SDRAM 初始化

步骤	操作	寄存器	设置
1	编程存储器件类型	MPDDRC_MD	MD = 3 (适用于 LPDDR1), DBW = 0 (32 位)
2	编程移位采样值	MPDDRC_RD_DATA_PATH	4.2 SDRAM 控制器配置中提供了这些字段的值。这些值取决于 DDR 时钟。
3	编程 LPDDR1-SDRAM 功能	MPDDRC_CR MPDDRC_TPR0 MPDDRC_TPR 1	
4	编程 TCR、PASR 和 DS	MPDDRC_LPR	
5	发出 NOP 命令 ⁽⁴⁾	MPDDRC_MR	MODE = 1
6	200 μs 延时 ⁽¹⁾	-	-
7	发出 NOP 命令 ⁽⁴⁾	MPDDRC_MR	MODE = 1
8	发出 All Banks Precharge 命令 ⁽⁴⁾	MPDDRC_MR	MODE = 2
9	提供两个自动刷新 (CBR) 周期 ⁽⁴⁾	MPDDRC_MR	MODE = 4
10	发出 EMRS 周期 ⁽²⁾	MPDDRC_MR	MODE = 5

..... (续)			
步骤	操作	寄存器	设置
11	发出模式寄存器设置 (MRS) 周期 ⁽³⁾	MPDDRC_MR	MODE = 3
12	提供正常模式命令 ⁽⁴⁾	MPDDRC_MR	MODE = 0
13	在 COUNT 字段中写入刷新率	MPDDRC_RTR	COUNT = Trefi/Tck

注:

- 要发出延时:
 - 禁止中断;
 - 计算截止时间 = $\text{ROUND_INT_DIV}((\text{timer_channel_freq}/1000)*\text{count}, 1000)$, 其中 count 是以 μs 为单位的延时;
 - 启动计时器并等待计时器到达截止时间;
 - 允许中断。
- 要发出扩展模式寄存器设置 (Extended Mode Register Set, EMRS) 周期, 需先将 MODE 字段设为 5, 然后读取 MPDDRC_MR, 并紧挨读取在后面添加一个存储屏障汇编指令。接着, 对 LPDDR1-SDRAM 器件执行写访问, 将 BA[1]信号置 1, 将 BA[0]清零。发出写访问地址, 以便确认需要计算的命令, 使 BA[1:0]信号处于适合 EMRS 周期的正确状态。
- 先设置 MODE 字段, 然后读取 MPDDRC_MR, 并紧挨读取在后面添加一个存储屏障汇编指令。执行写访问以确认命令, 使 BA[2:0]信号清零 (在 BASE_ADDRESS_DDR 处写入)。
- 先设置 MODE 字段, 然后读取 MPDDRC_MR, 并紧挨读取在后面添加一个存储屏障汇编指令。在任意地址执行写访问以确认命令。

有关更多信息, 请参见 *SAMA5D2 Series Data Sheet* 中的 “Multiport DDR-SDRAM Controller (MPDDRC)” 一章。

4.1.4 LPDDR2-SDRAM/LPDDR3-SDRAM 初始化

初始化序列由软件生成。低功耗 DDR2-SDRAM 和低功耗 DDR3-SDRAM 器件按以下顺序初始化:

表 4-4. LPDDR2-SDRAM/LPDDR3-SDRAM 初始化

步骤	操作	寄存器	设置
1	编程存储器件类型	MPDDRC_MD	MD = 7 (适用于 LPDDR2), MD = 5 (适用于 LPDDR3), DBW = 0 (32 位)
2	编程移位采样值	MPDDRC_RD_DATA_PATH	4.2 SDRAM 控制器配置中提供了这些字段的值。这些值取决于 DDR 时钟。
3	编程 LPDDR2-SDRAM 功能	MPDDRC_CR MPDDRC_TPR0 MPDDRC_TPR 1	
4	编程 DS、SEG_MASK 和 BK_MASK_PASR	MPDDRC_LPDDR23_LPR	
5	发出 NOP 命令 ⁽²⁾	MPDDRC_MR	MODE = 1

..... (续)			
步骤	操作	寄存器	设置
6	1 μ s 延时 ⁽¹⁾	-	-
7	发出 NOP 命令 ⁽²⁾	MPDDRC_MR	MODE = 1
8	200 μ s 延时 ⁽¹⁾	-	-
9	发出 Reset 命令 ⁽²⁾	MPDDRC_MR	MODE = 7, MRS = 63
10	500 μ s 延时 ⁽¹⁾	-	- -
11	发出 Calibration 命令 ⁽²⁾	MPDDRC_CR MPDDRC_MR	ZQ = 3, 执行命令应答后 ZQ = 2 MODE = 7, MRS = 10
12	发出模式寄存器写命令 ⁽²⁾	MPDDRC_MR	MODE = 7, MRS = 1
13	发出模式寄存器写命令 ⁽²⁾	MPDDRC_MR	MODE = 7, MRS = 2
14	发出模式寄存器写命令 ⁽²⁾	MPDDRC_MR	MODE = 7, MRS = 3
15	发出模式寄存器写命令 ⁽²⁾	MPDDRC_MR	MODE = 7, MRS = 16
16	向 SFR_DDRCFG 中的 bit 17 和 16 写入 1	SFR_DDRCFG	Bit 17 = 1, Bit 16 = 1
17	发出 NOP 命令 ⁽²⁾	MPDDRC_MR	MODE = 1
18	发出模式寄存器读命令 ⁽²⁾	MPDDRC_MR	MODE = 7, MRS = 5
19	发出模式寄存器读命令 ⁽²⁾	MPDDRC_MR	MODE = 7, MRS = 6
20	发出模式寄存器读命令 ⁽²⁾	MPDDRC_MR	MODE = 7, MRS = 8
21	发出模式寄存器读命令 ⁽²⁾	MPDDRC_MR	MODE = 7, MRS = 0
22	提供正常模式命令 ⁽²⁾	MPDDRC_MR	MODE = 0
23	向 SFR_DDRCFG 中的 bit 17 和 16 写入 0	SFR_DDRCFG	Bit 17 = 0, Bit 16 = 0
24	在 COUNT 字段中写入刷新率	MPDDRC_RTR	COUNT = Trefi/Tck

注:

- 要发出延时:
 - 禁止中断;
 - 计算截止时间 = $\text{ROUND_INT_DIV}((\text{timer_channel_freq}/1000)*\text{count}, 1000)$, 其中 count 是以 μ s 为单位的延时;
 - 启动计时器并等待计时器到达截止时间;
 - 允许中断。
- 先设置 MODE 和 MRS 字段, 然后读取 MPDDRC_MR, 并紧挨读取在后面添加一个存储屏障汇编指令。在任意地址执行写访问以确认命令。

有关更多信息，请参见 *SAMA5D2 Series Data Sheet* 中的“Multiport DDR-SDRAM Controller (MPDDRC)”一章。

4.2 SDRAM 控制器配置

配置板上存储器件后，必须对存储器控制器本身进行匹配，以匹配器件特性。

为了与 SDRAM 器件正确“对话”，必须在 MPDDRC 寄存器字段中设置几个值（比如异步时序、列数、行数和存储区数量等）。SDRAM 器件数据手册提供了大多数必要的设置以确保正确设置。诸如列数、行数和存储区数等参数独立于系统设置，是设备特定的。时序设置（Trc 和 Tras 等）取决于 DDR 时钟等系统参数，应从 SDRAM 数据手册中仔细收集。

软件支持以**软件包**形式提供，其中附带了一些驱动程序和示例。

下面提供了本研究所涉及的每种类型的电路板的描述。

注：在下表中，“（不变）”表示该值应与之前相同（即，应继续保持先前的值或复位值不变）。

4.2.1 SAMA5D2-XULT DDR3L-SDRAM 软件配置

SAMA5D2 板采用一个 SAMA5D27/BGA289 MPU 和两个 2-Gb Micron DDR3L-SDRAM 器件（部件编号：MT41K128M16JT-125:K），DDR 时钟频率为 166 MHz。

表 4-5. MPDDRC_MD 寄存器设置

字段	描述	设置	设置详情
MD	存储器件	4	DDR3-SDRAM
DBW ⁽¹⁾	数据总线宽度	0	数据总线宽度为 32 位

表 4-6. MPDDRC_CR 寄存器设置

字段	描述	设置	设置详情
NC	列数位	1	10 位用于定义列数
NR	行数位	3	14 位用于定义行数
CAS ⁽⁴⁾	CAS 延时	5	DDR3 CAS 延时 5
DLL	复位 DLL	（不变）	仅在上电序列期间使用
DIC_DS	输出驱动器阻抗控制（驱动能力）	1	弱驱动能力(DDR2) - RZQ/7 (34 [NOM], DDR3)
DIS_DLL	禁止 DLL	1	禁止 DLL
ZQ	ZQ 校准	（不变）	不适用于 DDR3-SDRAM
OCD	片外驱动器	（不变）	不适用于 DDR3-SDRAM
DQMS	共享掩码数据	0	DQM 不与其他控制器共享
ENRDM	使能读测量	0	禁止 DQS/DDR_DATA 相位纠错
LC_LPDDR1	低成本低功耗 DDR1	（不变）	不适用于 DDR3-SDRAM
NB	存储区数	1	8 个存储区

..... (续)			
字段	描述	设置	设置详情
NDQS	非 DQS	(不变)	不适用于 DDR3-SDRAM
DECOD	解码类型	1	交错式
UNALAccess	支持非对齐访问	1	支持非对齐访问

表 4-7. MPDDRC_TPR0 寄存器设置

字段	描述	设置 ⁽²⁾	设置详情
TRAS	激活到预充电延时	35 ns	-
TRCD	行到列延时	14 ns	-
TWR	写恢复延时	15 ns	-
TRC	行周期延时	49 ns	-
TRP	行预充电延时	14 ns	-
TRRD	激活存储区 A 到激活存储区 B	Max (6 ns, 4 ck)	-
TWTR	内部写到读延时	Max (8 ns, 4 ck)	-
TMRD	加载模式寄存器命令到激活或刷新命令	4 ck	-

表 4-8. MPDDRC_TPR1 寄存器设置

字段	描述	设置 ⁽²⁾	设置详情
TRFC	行周期延时	160 ns	-
TXSNR	退出自刷新延时到非读命令	170 ns	-
TXSRD	退出自刷新延时到读命令	0	DLL 关闭模式下不可用
TXP	退出掉电延时到第一个命令	Max (24 ns, 10 ck)	-

表 4-9. MPDDRC_TPR2 寄存器设置

字段	描述	设置 ⁽²⁾	设置详情
TXARD	在“快速退出”模式下退出激活掉电延时到读命令	(不变)	不适用于 DDR3-SDRAM
TXARDS	在“慢速退出”模式下退出激活掉电延时到读命令	(不变)	不适用于 DDR3-SDRAM
TRPA	行预充电全部延时	(不变)	不适用于 DDR3-SDRAM
TRTP	读到预充电	Max (8 ns, 4 ck)	-
TFAW	四个激活窗口	40 ns	-

表 4-10. MPDDRC_RD_DATA_PATH 寄存器设置

字段	描述	设置	设置详情
SHIFT_SAMPLING ⁽⁴⁾	移位数据采样点	2	采样点移位两个周期

表 4-11. MPDDRC_IO_CALIBR 寄存器设置

字段	描述	设置	设置详情
RDIV	电阻分压器，输出驱动器阻抗	4	DDR3 串联阻抗线 = 55 ohm
TZQIO	IO 校准	100	$TZQIO = (DDRCK \times 600e-9) + 1$
EN_CALIB	使能校准	(不变)	不适用于 DDR3-SDRAM

表 4-12. MPDDRC_RTR 寄存器设置

字段	描述	设置	设置详情
COUNT ⁽³⁾	MPDDRC 刷新定时器计数	1297	需要计算的值
ADJ_REF	调整刷新率	(不变)	不适用于 DDR3-SDRAM
REF_PB	按存储区刷新	(不变)	不适用于 DDR3-SDRAM

注:

1. 如果使用一个 32 位数据总线宽度 SDRAM 器件或两个 16 位器件，请将数据总线宽度设为 32 位 (DBW = 0)。如果仅使用一个 16 位数据总线宽度 SDRAM 器件，则将数据总线宽度设为 16 位 (DBW = 1)。

2. 如果以纳秒为单位给出时序值，则必须在时钟周期内对其进行转换并四舍五入。 $t_{CYCLES} = t_{ns}/t_{CK}$ ，其中 t_{CYCLES} 为时钟周期内的时序值， t_{ns} 是以纳秒为单位的时序值， t_{CK} 是 DDR 时钟周期。

例如：如果 $f_{CK} = 166 \text{ MHz}$ ，则 $t_{CK} = 1/f_{CK} = 6 \text{ ns}$

如果 $t_{ns} = 35 \text{ ns}$ ，则 $t_{CYCLES} = 35/6 = 6$ 个时钟周期

3. COUNT 字段中的值需要计算得出。

$$COUNT = t_{REFI}/t_{CK}$$

对于 $t_{REFI} = 7.8 \mu\text{s}$ 和 $t_{CK} = 6 \text{ ns}$ ， $COUNT = 1300$

如果 (SDRAM 数据手册中) 给出了刷新窗口[ms]和刷新周期，则还可以计算 t_{REFI} 。

$$t_{REFI} [\mu\text{s}] = (\text{刷新窗口}[\text{ms}]/\text{刷新周期}) * f_{CK} [\text{MHz}] * 1000$$

如果刷新窗口 = 64 ms，刷新周期 = 8192 且 $f_{CK} = 166 \text{ MHz}$ ，

则 $COUNT = (64/8192) * 166 * 1000 = 1297$

4. 对于 DDR3-SDRAM 器件，必须将字段 CAS 设为 5，将字段 SHIFT_SAMPLING 设为 2。DLL 关闭模式会将 CAS 读延时 (CRL) 和 CAS 写延时 (CWL) 都设为 6。延时由控制器自动设置。

表 4-13. SAMA5D2-XULT DDR3L-SDRAM 寄存器设置

寄存器名称	寄存器地址	内容值
MPDDRC_MD	0xF000C020	0x00000004
MPDDRC_CR	0xF000C008	0x00D0055D
MPDDRC_TPR0	0xF000C00C	0x44439336
MPDDRC_TPR1	0xF000C010	0x0A001D1B
MPDDRC_TPR2	0xF000C014	0x00072000

..... (续)		
寄存器名称	寄存器地址	内容值
MPDDRC_RD_DATA_PATH	0xF000C05C	0x00000002
MPDDRC_IO_CALIBR	0xF000C034	0x00876504
MPDDRC_RTR	0xF000C004	0x00000511

4.2.2 SAMA5D2-PTC-EK DDR2-SDRAM 软件配置

SAMA5D2 板采用一个 SAMA5D27/BGA289 MPU 和两个 2-Gb Winbond DDR2-SDRAM 器件（部件编号：W972GG6KB-25），DDR 时钟频率为 166 MHz。

表 4-14. MPDDRC_MD 寄存器设置

字段	描述	设置	设置详情
MD	存储器件	6	DDR2-SDRAM
DBW ⁽¹⁾	数据总线宽度	0	数据总线宽度为 32 位

表 4-15. MPDDRC_CR 寄存器设置

字段	描述	设置	设置详情
NC	列数位	1	10 位用于定义列数
NR	行数位	3	14 位用于定义行数
CAS	CAS 延时	3	DDR2 CAS 延时 3
DLL	复位 DLL	(不变)	仅在上电序列期间使用
DIC_DS	输出驱动器阻抗控制（驱动能力）	0	正常驱动能力(DDR2) - RZQ/6 (40 [NOM], DDR3)
DIS_DLL	禁止 DLL	1	禁止 DLL
ZQ	ZQ 校准	(不变)	不适用于 DDR2-SDRAM
OCD	片外驱动器	(不变)	仅在上电序列期间使用
DQMS	共享掩码数据	0	DQM 不与其他控制器共享
ENRDM	使能读测量	0	禁止 DQS/DDR_DATA 相位纠错
LC_LPDDR1	低成本低功耗 DDR1	(不变)	不适用于 DDR2-SDRAM
NB	存储区数	1	8 个存储区
NDQS	非 DQS	1	禁止非 DQS
DECOD	解码类型	1	交错式
UNAL	支持非对齐访问	1	支持非对齐访问

表 4-16. MPDDRC_TPR0 寄存器设置

字段	描述	设置 ⁽²⁾	设置详情
TRAS	激活到预充电延时	45 ns	-
TRCD	行到列延时	13 ns	-
TWR	写恢复延时	15 ns	-
TRC	行周期延时	58 ns	-
TRP	行预充电延时	13 ns	-
TRRD	激活存储区 A 到激活存储区 B	10 ns	-
TWTR	内部写到读延时	8 ns	-
TMRD	加载模式寄存器命令到激活或刷新命令	2 ck	-

表 4-17. MPDDRC_TPR1 寄存器设置

字段	描述	设置 ⁽²⁾	设置详情
TRFC	行周期延时	195 ns	-
TXSNR 命令	退出自刷新延时到非读	205 ns	-
TXSRD	退出自刷新延时到读命令	200 ck	-
TXP	退出掉电延时到第一个命令	2 ck	-

表 4-18. MPDDRC_TPR2 寄存器设置

字段	描述	设置 ⁽²⁾	设置详情
TXARD	在“快速退出”模式下退出激活掉电延时到读命令	2 ck	-
TXARDS	在“慢速退出”模式下退出激活掉电延时到读命令	8 ck	-
TRPA	行预充电全部延时	21 ns	-
TRTP	读到预充电	8 ns	-
TFAW	四个激活窗口	45 ns	-

表 4-19. MPDDRC_RD_DATA_PATH 寄存器设置

字段	描述	设置	设置详情
SHIFT_SAMPLING	移位数据采样点	1	采样点移位一个周期

表 4-20. MPDDRC_IO_CALIBR 寄存器设置

字段	描述	设置	设置详情
RDIV	电阻分压器，输出驱动器阻抗	4	DDR2 串联阻抗线 = 52 ohm
TZQIO	IO 校准	101	$TZQIO = (DDRCK \times 600e-9) + 1$
EN_CALIB	使能校准	1	使能校准

表 4-21. MPDDRC_RTR 寄存器设置

字段	描述	设置	设置详情
COUNT ⁽³⁾	MPDDRC 刷新定时器计数	1297	需要计算的值
ADJ_REF	调整刷新率	(不变)	不适用于 DDR2-SDRAM
REF_PB	按存储区刷新	(不变)	不适用于 DDR2-SDRAM

注:

1. 如果使用一个 32 位数据总线宽度 SDRAM 器件或两个 16 位器件，请将数据总线宽度设为 32 位 (DBW = 0)。如果仅使用一个 16 位数据总线宽度 SDRAM 器件，则将数据总线宽度设为 16 位 (DBW = 1)。
2. 如果以纳秒为单位给出时序值，则必须在时钟周期内对其进行转换并四舍五入。 $t_{CYCLES} = t_{ns}/t_{CK}$ ，其中 t_{CYCLES} 为时钟周期内的时序值， t_{ns} 是以纳秒为单位的时序值， t_{CK} 是 DDR 时钟周期。
例如：如果 $f_{CK} = 166 \text{ MHz}$ ，则 $t_{CK} = 1/f_{CK} = 6 \text{ ns}$

如果 $t_{ns} = 35 \text{ ns}$ ，则 $t_{CYCLES} = 35/6 = 6$ 个时钟周期

3. COUNT 字段中的值需要计算得出。

$$\text{COUNT} = t_{REFI}/t_{CK}$$

对于 $t_{REFI} = 7.8 \mu\text{s}$ 和 $t_{CK} = 6 \text{ ns}$ ， $\text{COUNT} = 1300$

如果 (SDRAM 数据手册中) 给定了刷新窗口[ms]和刷新周期，还可以计算 t_{REFI} 。

$$t_{REFI} [\mu\text{s}] = (\text{刷新窗口}[\text{ms}]/\text{刷新周期}) * f_{CK} [\text{MHz}] * 1000$$

如果刷新窗口 = 64 ms，刷新周期 = 8192 且 $f_{CK} = 166 \text{ MHz}$ ，

则 $\text{COUNT} = (64/8192) * 166 * 1000 = 1297$

表 4-22. SAMA5D2-PTC-EK DDR2-SDRAM 寄存器设置

寄存器名称	寄存器地址	内容值
MPDDRC_MD	0xF000C020	0x00000006
MPDDRC_CR	0xF000C008	0x00F0043D
MPDDRC_TPR0	0xF000C00C	0x2443A338
MPDDRC_TPR1	0xF000C010	0x02C82321
MPDDRC_TPR2	0xF000C014	0x00082482
MPDDRC_RD_DATA_PATH	0xF000C05C	0x00000001
MPDDRC_IO_CALIBR	0xF000C034	0x00876514
MPDDRC_RTR	0xF000C004	0x00000511

4.2.3 SAMA5D24/BGA256/DDR3L-SDRAM 软件设置

SAMA5D24/BGA256/DDR3L-SDRAM 套件是基于 8 层 PCB 构建的较大测试板的一部分。该板采用一个 SAMA5D24/BGA256 MPU 和两个 1-Gb ISSI DDR3L-SDRAM 器件 (部件编号: IS43TR16640B-15GBL)，DDR 时钟频率为 166 MHz。

表 4-23. MPDDRC_MD 寄存器设置

字段	描述	设置	设置详情
MD	存储器件	4	DDR3-SDRAM
DBW ⁽¹⁾	数据总线宽度	0	数据总线宽度为 32 位

表 4-24. MPDDRC_CR 寄存器设置

字段	描述	设置	设置详情
NC	列数位	1	10 位用于定义列数
NR	行数位	2	13 位用于定义行数
CAS ⁽⁴⁾	CAS 延时	5	DDR3 CAS 延时 5
DLL	复位 DLL	(不变)	仅在上电序列期间使用
DIC_DS	输出驱动器阻抗控制 (驱动能力)	1	弱驱动能力(DDR2) - RZQ/7 (34 [NOM], DDR3)
DIS_DLL	禁止 DLL	1	禁止 DLL
ZQ	ZQ 校准	(不变)	不适用于 DDR3-SDRAM
OCD	片外驱动器	(不变)	不适用于 DDR3-SDRAM
DQMS	共享掩码数据	0	DQM 不与其他控制器共享
ENRDM	使能读测量	0	禁止 DQS/DDR_DATA 相位纠错
LC_LPDDR1	低成本低功耗 DDR1	(不变)	不适用于 DDR3-SDRAM
NB	存储区数	1	8 个存储区
NDQS	非 DQS	(不变)	不适用于 DDR3-SDRAM
DECOD	解码类型	1	交错式
UNAL	支持非对齐访问	1	支持非对齐访问

表 4-25. MPDDRC_TPR0 寄存器设置

字段	描述	设置 ⁽²⁾	设置详情
TRAS	激活到预充电延时	36 ns	-
TRCD	行到列延时	12 ns	-
TWR	写恢复延时	15 ns	-
TRC	行周期延时	48 ns	-
TRP	行预充电延时	12 ns	-
TRRD	激活存储区 A 到激活存储区 B	Max (6 ns, 4 ck)	-
TWTR	内部写到读延时	Max (8 ns, 4 ck)	-
TMRD	加载模式寄存器命令到激活或刷新命令	4 ck	-

表 4-26. MPDDRC_TPR1 寄存器设置

字段	描述	设置 ⁽²⁾	设置详情
TRFC	行周期延时	110 ns	-
TXSNR	退出自刷新延时到非读命令	120 ns	-
TXSRD	退出自刷新延时到读命令	0	DLL 关闭模式下不可用
TXP	退出掉电延时到第一个命令	Max (24 ns, 10 ck)	-

表 4-27. MPDDRC_TPR2 寄存器设置

字段	描述	设置 ⁽²⁾	设置详情
TXARD	在“快速退出”模式下退出激活掉电延时到读命令	(不变)	不适用于 DDR3-SDRAM
TXARDS	在“慢速退出”模式下退出激活掉电延时到读命令	(不变)	不适用于 DDR3-SDRAM
TRPA	行预充电全部延时	(不变)	不适用于 DDR3-SDRAM
TRTP	读到预充电	Max (8 ns, 4 ck)	-
TFAW	四个激活窗口	45 ns	-

表 4-28. MPDDRC_RD_DATA_PATH 寄存器设置

字段	描述	设置	设置详情
SHIFT_SAMPLING ⁽⁴⁾	移位数据采样点	2	采样点移位两个周期

表 4-29. MPDDRC_IO_CALIBR 寄存器设置

字段	描述	设置	设置详情
RDIV	电阻分压器，输出驱动器阻抗	4	DDR3 串联阻抗线 = 55 ohm
TZQIO	IO 校准	100	$TZQIO = (DDRCK \times 600e-9) + 1$
EN_CALIB	使能校准	(不变)	不适用于 DDR3-SDRAM

表 4-30. MPDDRC_RTR 寄存器设置

字段	描述	设置	设置详情
COUNT ⁽³⁾	MPDDRC 刷新定时器计数	1297	需要计算的值
ADJ_REF	调整刷新率	(不变)	不适用于 DDR3-SDRAM
REF_PB	按存储区刷新	(不变)	不适用于 DDR3-SDRAM

注:

1. 如果使用一个 32 位数据总线宽度 SDRAM 器件或两个 16 位器件，请将数据总线宽度设为 32 位（DBW = 0）。如果仅使用一个 16 位数据总线宽度 SDRAM 器件，则将数据总线宽度设为 16 位（DBW = 1）。
2. 如果以纳秒为单位给出时序值，则必须在时钟周期内对其进行转换并四舍五入。 $t_{CYCLES} = t_{ns}/t_{CK}$ ，其中 t_{CYCLES} 为时钟周期内的时序值， t_{ns} 是以纳秒为单位的时序值， t_{CK} 是 DDR 时钟周期。
例如：如果 $f_{CK} = 166 \text{ MHz}$ ，则 $t_{CK} = 1/f_{CK} = 6 \text{ ns}$
如果 $t_{ns} = 35 \text{ ns}$ ，则 $t_{CYCLES} = 35/6 = 6$ 个时钟周期
3. COUNT 字段中的值需要计算得出。
 $COUNT = t_{REFI}/t_{CK}$
对于 $t_{REFI} = 7.8 \mu\text{s}$ 和 $t_{CK} = 6 \text{ ns}$ ， $COUNT = 1300$
如果（SDRAM 数据手册中）给定了刷新窗口[ms]和刷新周期，还可以计算 t_{REFI} 。
 $t_{REFI} [\mu\text{s}] = (\text{刷新窗口}[\text{ms}]/\text{刷新周期}) * f_{CK} [\text{MHz}] * 1000$
如果刷新窗口 = 64 ms，刷新周期 = 8192 且 $f_{CK} = 166 \text{ MHz}$ ，
则 $COUNT = (64/8192) * 166 * 1000 = 1297$
4. 对于 DDR3-SDRAM 器件，必须将字段 CAS 设为 5，将字段 SHIFT_SAMPLING 设为 2。DLL 关闭模式会将 CAS 读延时（CRL）和 CAS 写延时（CWL）都设为 6。延时由控制器自动设置。

表 4-31. SAMA5D24/BGA256/DDR3L-SDRAM 寄存器设置

寄存器名称	寄存器地址	内容值
MPDDRC_MD	0xF000C020	0x00000004
MPDDRC_CR	0xF000C008	0x00D00559
MPDDRC_TPR0	0xF000C00C	0x44428326
MPDDRC_TPR1	0xF000C010	0x0A001413
MPDDRC_TPR2	0xF000C014	0x00084000
MPDDRC_RD_DATA_PATH	0xF000C05C	0x00000002
MPDDRC_IO_CALIBR	0xF000C034	0x00876504
MPDDRC_RTR	0xF000C004	0x00000511

4.2.4 SAMA5D24/BGA256/DDR2-SDRAM 软件设置

SAMA5D24/BGA256/DDR2-SDRAM 套件是基于 8 层 PCB 构建的较大测试板的一部分。该板采用一个 SAMA5D24/BGA256 MPU 和两个 512-Mb ISSI DDR2-SDRAM 器件（部件编号：IS43DR16320E-25DBL），DDR 时钟频率为 166 MHz。

表 4-32. MPDDRC_MD 寄存器设置

字段	描述	设置	设置详情
MD	存储器件	6	DDR2-SDRAM
DBW ⁽¹⁾	数据总线宽度	0	数据总线宽度为 32 位

表 4-33. MPDDRC_CR 寄存器设置

字段	描述	设置	设置详情
NC	列数位	1	10 位用于定义列数
NR	行数位	2	13 位用于定义行数
CAS	CAS 延时	3	DDR2 CAS 延时 3
DLL	复位 DLL	(不变)	仅在上电序列期间使用
DIC_DS	输出驱动器阻抗控制 (驱动能力)	0	正常驱动能力(DDR2) - RZQ/6 (40 [NOM], DDR3)
DIS_DLL	禁止 DLL	1	禁止 DLL
ZQ	ZQ 校准	(不变)	不适用于 DDR2-SDRAM
OCD	片外驱动器	(不变)	仅在上电序列期间使用
DQMS	共享掩码数据	0	DQM 不与其他控制器共享
ENRDM	使能读测量	0	禁止 DQS/DDR_DATA 相位纠错
LC_LPDDR1	低成本低功耗 DDR1	(不变)	不适用于 DDR2-SDRAM
NB	存储区数	0	4 个存储区
NDQS	非 DQS	0	使能非 DQS
DECOD	解码类型	1	交错式
UNAL	支持非对齐访问	1	支持非对齐访问

表 4-34. MPDDRC_TPR0 寄存器设置

字段	描述	设置 ⁽²⁾	设置详情
TRAS	激活到预充电延时	40 ns	-
TRCD	行到列延时	15 ns	-
TWR	写恢复延时	15 ns	-
TRC	行周期延时	55 ns	-
TRP	行预充电延时	15 ns	-
TRRD	激活存储区 A 到激活存储区 B	10 ns	-
TWTR	内部写到读延时	8 ns	-
TMRD	加载模式寄存器命令到激活或刷新命令	2 ck	-

表 4-35. MPDDRC_TPR1 寄存器设置

字段	描述	设置 ⁽²⁾	设置详情
TRFC	行周期延时	105 ns	-
TXSNR	退出自刷新延时到非读命令	115 ns	-

..... (续)			
字段	描述	设置 ⁽²⁾	设置详情
TXSRD	退出自刷新延时到读命令	200 ck	-
TXP	退出掉电延时到第一个命令	2 ck	-

表 4-36. MPDDRC_TPR2 寄存器设置

字段	描述	设置 ⁽²⁾	设置详情
TXARD	在“快速退出”模式下退出激活掉电延时到读命令	2 ck	-
TXARDS	在“慢速退出”模式下退出激活掉电延时到读命令	2 ck	-
TRPA	行预充电全部延时	15 ns	-
TRTP	读到预充电	8 ns	-
TFAW	四个激活窗口	45 ns	-

表 4-37. MPDDRC_RD_DATA_PATH 寄存器设置

字段	描述	设置	设置详情
SHIFT_SAMPLING	移位数据采样点	1	采样点移位一个周期

表 4-38. MPDDRC_IO_CALIBR 寄存器设置

字段	描述	设置	设置详情
RDIV	电阻分压器，输出驱动器阻抗	4	DDR2 串联阻抗线 = 52 ohm
TZQIO	IO 校准	101	$TZQIO = (DDRCK \times 600e-9) + 1$
EN_CALIB	使能校准	1	使能校准

表 4-39. MPDDRC_RTR 寄存器设置

字段	描述	设置	设置详情
COUNT ⁽³⁾	MPDDRC 刷新定时器计数	1297	需要计算的值
ADJ_REF	调整刷新率	(不变)	不适用于 DDR2-SDRAM
REF_PB	按存储区刷新	(不变)	不适用于 DDR2-SDRAM

注:

1. 如果使用一个 32 位数据总线宽度 SDRAM 器件或两个 16 位器件，请将数据总线宽度设为 32 位 (DBW = 0)。如果仅使用一个 16 位数据总线宽度 SDRAM 器件，则将数据总线宽度设为 16 位 (DBW = 1)。
2. 如果以纳秒为单位给出时序值，则必须在时钟周期内对其进行转换并四舍五入。 $t_{CYCLES} = t_{ns}/t_{CK}$ ，其中 t_{CYCLES} 为时钟周期内的时序值， t_{ns} 是以纳秒为单位的时序值， t_{CK} 是 DDR 时钟周期。
例如：如果 $f_{CK} = 166 \text{ MHz}$ ，则 $t_{CK} = 1/f_{CK} = 6 \text{ ns}$

如果 $t_{ns} = 35 \text{ ns}$ ，则 $t_{CYCLES} = 35/6 = 6$ 个时钟周期

3. COUNT 字段中的值需要计算得出。

$$\text{COUNT} = t_{REFI}/t_{CK}$$

对于 $t_{REFI} = 7.8 \mu\text{s}$ 和 $t_{CK} = 6 \text{ ns}$ ，COUNT = 1300

如果 (SDRAM 数据手册中) 给定了刷新窗口[ms]和刷新周期，还可以计算 t_{REFI} 。

$$t_{REFI} [\mu\text{s}] = (\text{刷新窗口}[\text{ms}]/\text{刷新周期}) * f_{CK} [\text{MHz}] * 1000$$

如果刷新窗口 = 64 ms，刷新周期 = 8192 且 $f_{CK} = 166 \text{ MHz}$ ，

则 COUNT = $(64/8192) * 166 * 1000 = 1297$

表 4-40. SAMA5D24/BGA256/DDR2-SDRAM 寄存器设置

寄存器名称	寄存器地址	内容值
MPDDRC_MD	0xF00C020	0x00000006
MPDDRC_CR	0xF00C008	0x00C00539
MPDDRC_TPR0	0xF00C00C	0x2223A337
MPDDRC_TPR1	0xF00C010	0x02C81412
MPDDRC_TPR2	0xF00C014	0x00082322
MPDDRC_RD_DATA_PATH	0xF00C05C	0x00000001
MPDDRC_IO_CALIBR	0xF00C034	0x00876514
MPDDRC_RTR	0xF00C004	0x00000511

4.2.5 SAMA5D24/BGA256/LPDDR1-SDRAM 软件设置

SAMA5D24/BGA256/LPDDR1-SDRAM 套件是基于 8 层 PCB 构建的较大测试板的一部分。该板采用一个 SAMA5D24/BGA256 MPU 和两个 256-Mb ISSI LPDDR1-SDRAM 器件 (部件编号: IS43LR16160G-6BLI)，DDR 时钟频率为 166 MHz。

表 4-41. MPDDRC_MD 寄存器设置

字段	描述	设置	设置详情
MD	存储器件	3	LPDDR1-SDRAM
DBW ⁽¹⁾	数据总线宽度	0	数据总线宽度为 32 位

表 4-42. MPDDRC_CR 寄存器设置

字段	描述	设置	设置详情
NC	列数位	1	9 位用于定义列数
NR	行数位	2	13 位用于定义行数
CAS	CAS 延时	3	LPDDR1 CAS 延时 3
DLL	复位 DLL	(不变)	仅在上电序列期间使用
DIC_DS	输出驱动器阻抗控制 (驱动能力)	(不变)	不适用于 LPDDR1-SDRAM
DIS_DLL	禁止 DLL	(不变)	不适用于 LPDDR1-SDRAM
ZQ	ZQ 校准	(不变)	不适用于 LPDDR1-SDRAM
OCD	片外驱动器	(不变)	不适用于 LPDDR1-SDRAM
DQMS	共享掩码数据	0	DQM 不与其他控制器共享
ENRDM	使能读测量	0	禁止 DQS/DDR_DATA 相位纠错
LC_LPDDR1	低成本低功耗 DDR1	0	除 2 个存储区外的任意 LPDDR1 密度
NB	存储区数	0	4 个存储区
NDQS	非 DQS	(不变)	不适用于 LPDDR1-SDRAM
DECOD	解码类型	0	顺序
UNAL	支持非对齐访问	1	支持非对齐访问

表 4-43. MPDDRC_TPR0 寄存器设置

字段	描述	设置 ⁽²⁾	设置详情
TRAS	激活到预充电延时	42 ns	-
TRCD	行到列延时	18 ns	-
TWR	写恢复延时	15 ns	-
TRC	行周期延时	60 ns	-
TRP	行预充电延时	18 ns	-
TRRD	激活存储区 A 到激活存储区 B	12 ns	-
TWTR	内部写到读延时	1 ck	-
TMRD	加载模式寄存器命令到激活或刷新命令	2 ck	-

表 4-44. MPDDRC_TPR1 寄存器设置

字段	描述	设置 ⁽²⁾	设置详情
TRFC	行周期延时	70 ns	-
TXSNR	退出自刷新延时到非读命令	120 ns	-

..... (续)			
字段	描述	设置 ⁽²⁾	设置详情
TXSRD	退出自刷新延时到读命令	120 ns	-
TXP	退出掉电延时到第一个命令	1 ck	-

表 4-45. MPDDRC_TPR2 寄存器设置

字段	描述	设置 ⁽²⁾	设置详情
TXARD	在“快速退出”模式下退出激活掉电延时到读命令	(不变)	不适用于 LPDDR1-SDRAM
TXARDS	在“慢速退出”模式下退出激活掉电延时到读命令	(不变)	不适用于 LPDDR1-SDRAM
TRPA	行预充电全部延时	(不变)	不适用于 LPDDR1-SDRAM
TRTP	读到预充电	2 ck	-
TFAW	四个激活窗口	(不变)	不适用于 LPDDR1-SDRAM

表 4-46. MPDDRC_RD_DATA_PATH 寄存器设置

字段	描述	设置	设置详情
SHIFT_SAMPLING	移位数据采样点	1	采样点移位一个周期

表 4-47. MPDDRC_IO_CALIBR 寄存器设置

字段	描述	设置	设置详情
RDIV	电阻分压器，输出驱动器阻抗	4	LPDDR1 串联阻抗线 = 52 ohm
TZQIO	IO 校准	101	$TZQIO = (DDRCK \times 600e-9) + 1$
EN_CALIB	使能校准	1	使能校准

表 4-48. MPDDRC_RTR 寄存器设置

字段	描述	设置	设置详情
COUNT ⁽³⁾	MPDDRC 刷新定时器计数	1297	需要计算的值
ADJ_REF	调整刷新率	(不变)	不适用于 LPDDR1-SDRAM
REF_PB	按存储区刷新	(不变)	不适用于 LPDDR1-SDRAM

注:

1. 如果使用一个 32 位数据总线宽度 SDRAM 器件或两个 16 位器件，请将数据总线宽度设为 32 位 (DBW = 0)。如果仅使用一个 16 位数据总线宽度 SDRAM 器件，则将数据总线宽度设为 16 位 (DBW = 1)。
2. 如果以纳秒为单位给出时序值，则必须在时钟周期内对其进行转换并四舍五入。 $t_{CYCLES} = t_{ns}/t_{CK}$ ，其中 t_{CYCLES} 为时钟周期内的时序值， t_{ns} 是以纳秒为单位的时序值， t_{CK} 是 DDR 时钟周期。
例如：如果 $f_{CK} = 166 \text{ MHz}$ ，则 $t_{CK} = 1/f_{CK} = 6 \text{ ns}$

如果 $t_{ns} = 35 \text{ ns}$ ，则 $t_{CYCLES} = 35/6 = 6$ 个时钟周期

3. COUNT 字段中的值需要计算得出。

$$\text{COUNT} = t_{REFI}/t_{CK}$$

对于 $t_{REFI} = 7.8 \mu\text{s}$ 和 $t_{CK} = 6 \text{ ns}$ ，COUNT = 1300

如果 (SDRAM 数据手册中) 给定了刷新窗口[ms]和刷新周期，还可以计算 t_{REFI} 。

$$t_{REFI} [\mu\text{s}] = (\text{刷新窗口}[\text{ms}]/\text{刷新周期}) * f_{CK} [\text{MHz}] * 1000$$

如果刷新窗口 = 64 ms，刷新周期 = 8192 且 $f_{CK} = 166 \text{ MHz}$ ，

则 COUNT = $(64/8192) * 166 * 1000 = 1297$

表 4-49. SAMA5D24/BGA256/LPDDR1-SDRAM 寄存器设置

寄存器名称	寄存器地址	内容值
MPDDRC_MD	0xF00C020	0x00000003
MPDDRC_CR	0xF00C008	0x00800539
MPDDRC_TPR0	0xF00C00C	0x2123A337
MPDDRC_TPR1	0xF00C010	0x0114140C
MPDDRC_TPR2	0xF00C014	0x00082322
MPDDRC_RD_DATA_PATH	0xF00C05C	0x00000001
MPDDRC_IO_CALIBR	0xF00C034	0x00876514
MPDDRC_RTR	0xF00C004	0x00000511

4.2.6 SAMA5D24/BGA256/LPDDR2-SDRAM 软件设置

SAMA5D24/BGA256/LPDDR2-SDRAM 套件是基于 8 层 PCB 构建的较大测试板的一部分。该板采用一个 SAMA5D24/BGA256 MPU 和两个 512-Mb ISSI LPDDR2-SDRAM 器件 (部件编号: IS43LD16320A-25BLI)，DDR 时钟频率为 166 MHz。

表 4-50. MPDDRC_MD 寄存器设置

字段	描述	设置	设置详情
MD	存储器件	7	LPDDR2-SDRAM
DBW ⁽¹⁾	数据总线宽度	0	数据总线宽度为 32 位

表 4-51. MPDDRC_CR 寄存器设置

字段	描述	设置	设置详情
NC	列数位	1	10 位用于定义列数
NR	行数位	2	13 位用于定义行数
CAS	CAS 延时	3	LPDDR2 CAS 延时 3
DLL	复位 DLL	(不变)	不适用于 LPDDR2-SDRAM
DIC_DS	输出驱动器阻抗控制 (驱动能力)	(不变)	不适用于 LPDDR2-SDRAM
DIS_DLL	禁止 DLL	(不变)	不适用于 LPDDR2-SDRAM
ZQ	ZQ 校准	(不变)	仅在上电序列期间使用
OCD	片外驱动器	(不变)	不适用于 LPDDR2-SDRAM
DQMS	共享掩码数据	0	DQM 不与其他控制器共享
ENRDM	使能读测量	0	禁止 DQS/DDR_DATA 相位纠错
LC_LPDDR1	低成本低功耗 DDR1	(不变)	不适用于 LPDDR2-SDRAM
NB	存储区数	0	4 个存储区
NDQS	非 DQS	(不变)	不适用于 LPDDR2-SDRAM
DECOD	解码类型	0	顺序
UNAL	支持非对齐访问	1	支持非对齐访问

表 4-52. MPDDRC_TPR0 寄存器设置

字段	描述	设置 ⁽²⁾	设置详情
TRAS	激活到预充电延时	42 ns	-
TRCD	行到列延时	18 ns	-
TWR	写恢复延时	15 ns	-
TRC	行周期延时	60 ns	-
TRP	行预充电延时	18 ns	-
TRRD	激活存储区 A 到激活存储区 B	10 ns	-
TWTR	内部写到读延时	8 ns	-
TMRD	加载模式寄存器命令到激活或刷新命令	2 ck	-

表 4-53. MPDDRC_TPR1 寄存器设置

字段	描述	设置 ⁽²⁾	设置详情
TRFC	行周期延时	90 ns	-
TXSNR	退出自刷新延时到非读命令	100 ns	-

..... (续)

字段	描述	设置 ⁽²⁾	设置详情
TXSRD	退出自刷新延时到读命令	(不变)	不适用于 LPDDR2-SDRAM
TXP	退出掉电延时到第一个命令	8 ns	-

表 4-54. MPDDRC_TPR2 寄存器设置

字段	描述	设置 ⁽²⁾	设置详情
TXARD	在“快速退出”模式下退出激活掉电延时到读命令	(不变)	不适用于 LPDDR2-SDRAM
TXARDS	在“慢速退出”模式下退出激活掉电延时到读命令	(不变)	不适用于 LPDDR2-SDRAM
TRPA	行预充电全部延时	18 ns	相当于 tRPAB
TRTP	读到预充电	8 ns	-
TFAW	四个激活窗口	50 ns	-

表 4-55. MPDDRC_LPDDR23_LPR 寄存器设置

字段	描述	设置	设置详情
BK_MASK_PASR	存储区掩码位/PASR	0	使能刷新
SEG_MASK	段掩码位	0	刷新段
DS	驱动能力	2	典型值为 40 ohm

表 4-56. MPDDRC_RD_DATA_PATH 寄存器设置

字段	描述	设置	设置详情
SHIFT_SAMPLING	移位数据采样点	1	采样点移位一个周期

表 4-57. MPDDRC_IO_CALIBR 寄存器设置

字段	描述	设置	设置详情
RDIV	电阻分压器, 输出驱动器阻抗	4	LPDDR2 串联阻抗线 = 60 ohm
TZQIO	IO 校准	101	$TZQIO = (DDRCK \times 600e-9) + 1$
EN_CALIB	使能校准	(不变)	不适用于 LPDDR2-SDRAM

表 4-58. MPDDRC_RTR 寄存器设置

字段	描述	设置	设置详情
COUNT ⁽³⁾	MPDDRC 刷新定时器计数	649	需要计算的值
ADJ_REF	调整刷新率	0	未使能调整刷新率
REF_PB	按存储区刷新	0	自动刷新操作期间刷新所有存储区

注:

1. 如果使用一个 32 位数据总线宽度 SDRAM 器件或两个 16 位器件，请将数据总线宽度设为 32 位 (DBW = 0)。如果仅使用一个 16 位数据总线宽度 SDRAM 器件，则将数据总线宽度设为 16 位 (DBW = 1)。
2. 如果以纳秒为单位给出时序值，则必须在时钟周期内对其进行转换并四舍五入。 $t_{\text{CYCLES}} = t_{\text{ns}}/t_{\text{CK}}$ ，其中 t_{CYCLES} 为时钟周期内的时序值， t_{ns} 是以纳秒为单位的时序值， t_{CK} 是 DDR 时钟周期。
例如：如果 $f_{\text{CK}} = 166 \text{ MHz}$ ，则 $t_{\text{CK}} = 1/f_{\text{CK}} = 6 \text{ ns}$

如果 $t_{\text{ns}} = 35 \text{ ns}$ ，则 $t_{\text{CYCLES}} = 35/6 = 6$ 个时钟周期

3. COUNT 字段中的值需要计算得出。

$$\text{COUNT} = t_{\text{REFI}}/t_{\text{CK}}$$

对于 $t_{\text{REFI}} = 7.8 \mu\text{s}$ 和 $t_{\text{CK}} = 6 \text{ ns}$ ， $\text{COUNT} = 1300$

如果 (SDRAM 数据手册中) 给定了刷新窗口[ms]和刷新周期，还可以计算 t_{REFI} 。

$$t_{\text{REFI}} [\mu\text{s}] = (\text{刷新窗口}[\text{ms}]/\text{刷新周期}) * f_{\text{CK}} [\text{MHz}] * 1000$$

如果刷新窗口 = 64 ms，刷新周期 = 8192 且 $f_{\text{CK}} = 166 \text{ MHz}$ ，

则 $\text{COUNT} = (64/8192) * 166 * 1000 = 1297$

表 4-59. SAMA5D24/BGA256/LPDDR2-SDRAM 寄存器设置

寄存器名称	寄存器地址	内容值
MPDDRC_MD	0xF00C020	0x00000007
MPDDRC_CR	0xF00C008	0x00800539
MPDDRC_TPR0	0xF00C00C	0x2223A337
MPDDRC_TPR1	0xF00C010	0x0800110F
MPDDRC_TPR2	0xF00C014	0x00092300
MPDDRC_LPDDR23_LPR	0xF00C028	0x02000000
MPDDRC_RD_DATA_PATH	0xF00C05C	0x00000001
MPDDRC_IO_CALIBR	0xF00C034	0x00876504
MPDDRC_RTR	0xF00C004	0x00000289



重要： 对于 LPDDR2/LPDDR3 器件，应使用某些特定的序列让这些器件断电。不受控制的断电序列具有破坏性，而且最多应用 400 次就会达到设备使用寿命。务必按照这些序列来断电，以确保延长系统的使用寿命。有关器件断电的正确方法，请参阅制造商的数据手册。通常，这些都依赖于对电源故障的早期检测，并实现一个通过执行高优先级中断来完成的及时断电序列。

4.2.7 SAMA5D24/BGA256/LPDDR3-SDRAM 软件设置

SAMA5D24/BGA256/LPDDR3-SDRAM 套件是基于 8 层 PCB 构建的较大测试板的一部分。该板采用一个 SAMA5D24/BGA256 MPU 和一个 8-Gb⁽⁴⁾ Micron LPDDR3-SDRAM 器件 (部件编号: MT52L256M32D1PF-107WT)，DDR 时钟频率为 166 MHz。

表 4-60. MPDDRC_MD 寄存器设置

字段	描述	设置	设置详情
MD	存储器件	5	LPDDR3-SDRAM
DBW ⁽¹⁾	数据总线宽度	0	数据总线宽度为 32 位

表 4-61. MPDDRC_CR 寄存器设置

字段	描述	设置	设置详情
NC	列数位	1	10 位用于定义列数
NR	行数位	3	14 位用于定义行数
CAS	CAS 延时	3	LPDDR3 CAS 延时 3
DLL	复位 DLL	(不变)	不适用于 LPDDR3-SDRAM
DIC_DS	输出驱动器阻抗控制 (驱动能力)	(不变)	不适用于 LPDDR3-SDRAM
DIS_DLL	禁止 DLL	(不变)	仅在上电序列期间使用
ZQ	ZQ 校准	(不变)	仅在上电序列期间使用
OCD	片外驱动器	(不变)	不适用于 LPDDR3-SDRAM
DQMS	共享掩码数据	0	DQM 不与其他控制器共享
ENRDM	使能读测量	0	禁止 DQS/DDR_DATA 相位纠错
LC_LPDDR1	低成本低功耗 DDR1	(不变)	不适用于 LPDDR3-SDRAM
NB	存储区数	1	8 个存储区
NDQS	非 DQS	(不变)	不适用于 LPDDR3-SDRAM
DECOD	解码类型	0	顺序
UNAL	支持非对齐访问	1	支持非对齐访问

表 4-62. MPDDRC_TPR0 寄存器设置

字段	描述	设置 ⁽²⁾	设置详情
TRAS	激活到预充电延时	42 ns	-
TRCD	行到列延时	max (18 ns, 3 ck)	-
TWR	写恢复延时	max (15 ns, 3 ck)	-
TRC	行周期延时	60 ns	-
TRP	行预充电延时	max (18 ns, 3 ck)	-
TRRD	激活存储区 A 到激活存储区 B	max (10 ns, 2 ck)	-
TWTR	内部写到读延时	max (8 ns, 4 ck)	-
TMRD	加载模式寄存器命令到激活或刷新命令	max (14 ns, 10 ck)	-

表 4-63. MPDDRC_TPR1 寄存器设置

字段	描述	设置 ⁽²⁾	设置详情
TRFC	行周期延时	210 ns	-
TXSNR	退出自刷新延时到非读命令	220 ns	-
TXSRD	退出自刷新延时到读命令	(不变)	不适用于 LPDDR3-SDRAM
TXP	退出掉电延时到第一个命令	max (8 ns, 2 ck)	-

表 4-64. MPDDRC_TPR2 寄存器设置

字段	描述	设置 ⁽²⁾	设置详情
TXARD	在“快速退出”模式下退出激活掉电延时到读命令	(不变)	不适用于 LPDDR3-SDRAM
TXARDS	在“慢速退出”模式下退出激活掉电延时到读命令	(不变)	不适用于 LPDDR3-SDRAM
TRPA	行预充电全部延时	18 ns	相当于 tRPAB
TRTP	读到预充电	max (8 ns, 4 ck)	-
TFAW	四个激活窗口	max (50 ns, 8 ck)	-

表 4-65. MPDDRC_LPDDR23_LPR 寄存器设置

字段	描述	设置	设置详情
BK_MASK_PASR	存储区掩码位/PASR	0	使能刷新
SEG_MASK	段掩码位	0	刷新段
DS	驱动能力	2	典型值为 40 ohm

表 4-66. MPDDRC_RD_DATA_PATH 寄存器设置

字段	描述	设置	设置详情
SHIFT_SAMPLING	移位数据采样点	2	采样点移位两个周期

表 4-67. MPDDRC_IO_CALIBR 寄存器设置

字段	描述	设置	设置详情
RDIV	电阻分压器, 输出驱动器阻抗	4	LPDDR3 串联阻抗线 = 57 ohm
TZQIO	IO 校准	101	$TZQIO = (DDRCK \times 600e-9) + 1$
EN_CALIB	使能校准	(不变)	不适用于 LPDDR3-SDRAM

表 4-68. MPDDRC_RTR 寄存器设置

字段	描述	设置	设置详情
COUNT ⁽³⁾	MPDDRC 刷新定时器计数	649	需要计算的值

..... (续)			
字段	描述	设置	设置详情
ADJ_REF	调整刷新率	0	未使能调整刷新率
REF_PB	按存储区刷新	0	自动刷新操作期间刷新所有存储区

注:

1. 如果使用一个 32 位数据总线宽度 SDRAM 器件或两个 16 位器件, 请将数据总线宽度设为 32 位 (DBW = 0)。如果仅使用一个 16 位数据总线宽度 SDRAM 器件, 则将数据总线宽度设为 16 位 (DBW = 1)。
2. 如果以纳秒为单位给出时序值, 则必须在时钟周期内对其进行转换并四舍五入。 $t_{CYCLES} = t_{ns}/t_{CK}$, 其中 t_{CYCLES} 为时钟周期内的时序值, t_{ns} 是以纳秒为单位的时序值, t_{CK} 是 DDR 时钟周期。
例如: 如果 $f_{CK} = 166 \text{ MHz}$, 则 $t_{CK} = 1/f_{CK} = 6 \text{ ns}$
如果 $t_{ns} = 35 \text{ ns}$, 则 $t_{CYCLES} = 35/6 = 6$ 个时钟周期
3. COUNT 字段中的值需要计算得出。
 $COUNT = t_{REFI}/t_{CK}$
对于 $t_{REFI} = 7.8 \mu\text{s}$ 和 $t_{CK} = 6 \text{ ns}$, $COUNT = 1300$
如果 (SDRAM 数据手册中) 给定了刷新窗口[ms]和刷新周期, 还可以计算 t_{REFI} 。
 $t_{REFI} [\mu\text{s}] = (\text{刷新窗口}[\text{ms}]/\text{刷新周期}) * f_{CK} [\text{MHz}] * 1000$
如果刷新窗口 = 64 ms, 刷新周期 = 8192 且 $f_{CK} = 166 \text{ MHz}$,
则 $COUNT = (64/8192) * 166 * 1000 = 1297$
4. 存储控制器无法使用 8-Gb 存储器件的全部容量, 最大只支持 4 Gb。设施采购时安装的是 8-Gb 器件, 而使用当前设置, 只能利用一半容量。

表 4-69. SAMA5D24/BGA256/LPDDR3-SDRAM 寄存器设置

寄存器名称	寄存器地址	内容值
MPDDRC_MD	0xF000C020	0x00000005
MPDDRC_CR	0xF000C008	0x0090053D
MPDDRC_TPR0	0xF000C00C	0xA423A337
MPDDRC_TPR1	0xF000C010	0x02002523
MPDDRC_TPR2	0xF000C014	0x00094400
MPDDRC_LPDDR23_LPR	0xF000C028	0x02000000
MPDDRC_RD_DATA_PATH	0xF000C05C	0x00000002
MPDDRC_IO_CALIBR	0xF000C034	0x00876504
MPDDRC_RTR	0xF000C004	0x00000289



重要： 对于 LPDDR2/LPDDR3 器件，应使用某些特定的序列让这些器件断电。不受控制的断电序列具有破坏性，而且最多应用 400 次就会达到设备使用寿命。务必按照这些序列来断电，以确保延长系统的使用寿命。有关器件断电的正确方法，请参阅制造商的数据手册。通常，这些都依赖于对电源故障的早期检测，并实现一个通过执行高优先级中断来完成的及时断电序列。

4.2.8 SAMA5D24/BGA256/DDR3L-SDRAM 软件设置

SAMA5D24/BGA256/DDR3L-SDRAM 套件是基于 8 层 PCB 构建的较大测试板的一部分。该板采用一个 SAMA5D24/BGA256 MPU 和两个 1-Gb AP 存储器 DDR3L-SDRAM 器件（部件编号：A3T1GF40CBF-GML），DDR 时钟频率为 166 MHz。

表 4-70. MPDDRC_MD 寄存器设置

字段	描述	设置	设置详情
MD	存储器件	4	DDR3-SDRAM
DBW ⁽¹⁾	数据总线宽度	0	数据总线宽度为 32 位

表 4-71. MPDDRC_CR 寄存器设置

字段	描述	设置	设置详情
NC	列数位	1	10 位用于定义列数
NR	行数位	3	14 位用于定义行数
CAS	CAS 延时	5	DDR3 CAS 延时 3
DLL	复位 DLL	(不变)	仅在上电序列期间使用
DIC_DS	输出驱动器阻抗控制（驱动能力）	1	弱驱动能力(DDR2) - RZQ/7 (34 [NOM], DDR3)
DIS_DLL	禁止 DLL	1	禁止 DLL
ZQ	ZQ 校准	(不变)	不适用于 DDR3-SDRAM
OCD	片外驱动器	(不变)	不适用于 DDR3-SDRAM
DQMS	共享掩码数据	0	DQM 不与其他控制器共享
ENRDM	使能读测量	0	禁止 DQS/DDR_DATA 相位纠错
LC_LPDDR1	低成本低功耗 DDR1	(不变)	不适用于 DDR3-SDRAM
NB	存储区数	1	8 个存储区
NDQS	非 DQS	(不变)	不适用于 DDR3-SDRAM
DECOD	解码类型	1	交错式
UNAL	支持非对齐访问	1	支持非对齐访问

表 4-72. MPDDRC_TPR0 寄存器设置

字段	描述	设置 ⁽²⁾	设置详情
TRAS	激活到预充电延时	36 ns	-
TRCD	行到列延时	14 ns	-
TWR	写恢复延时	15 ns	-
TRC	行周期延时	49 ns	-
TRP	行预充电延时	13 ns	-
TRRD	激活存储区 A 到激活存储区 B	max (8 ns, 4 ck)	-
TWTR	内部写到读延时	max (8 ns, 4 ck)	-
TMRD	加载模式寄存器命令到激活或刷新命令	4 ck	-

表 4-73. MPDDRC_TPR1 寄存器设置

字段	描述	设置 ⁽²⁾	设置详情
TRFC	行周期延时	110 ns	-
TXSNR	退出自刷新延时到非读命令	120 ns	-
TXSRD	退出自刷新延时到读命令	0	DLL 关闭模式下不可用
TXP	退出掉电延时到第一个命令	max (24 ns, 10 ck)	-

表 4-74. MPDDRC_TPR2 寄存器设置

字段	描述	设置 ⁽²⁾	设置详情
TXARD	在“快速退出”模式下退出激活掉电延时到读命令	(不变)	不适用于 DDR3-SDRAM
TXARDS	在“慢速退出”模式下退出激活掉电延时到读命令	(不变)	不适用于 DDR3-SDRAM
TRPA	行预充电全部延时	(不变)	不适用于 DDR3-SDRAM
TRTP	读到预充电	max (8 ns, 4 ck)	-
TFAW	四个激活窗口	45 ns	-

表 4-75. MPDDRC_RD_DATA_PATH 寄存器设置

字段	描述	设置	设置详情
SHIFT_SAMPLING ⁽⁴⁾	移位数据采样点	2	采样点移位两个周期

表 4-76. MPDDRC_IO_CALIBR 寄存器设置

字段	描述	设置	设置详情
RDIV	电阻分压器, 输出驱动器阻抗	4	DDR3 串联阻抗线 = 55 ohm
TZQIO	IO 校准	100	$TZQIO = (DDRCK \times 600e-9) + 1$
EN_CALIB	使能校准	(不变)	不适用于 DDR3-SDRAM

表 4-77. MPDDRC_RTR 寄存器设置

字段	描述	设置	设置详情
COUNT ⁽³⁾	MPDDRC 刷新定时器计数	1297	需要计算的值
ADJ_REF	调整刷新率	(不变)	不适用于 DDR3-SDRAM
REF_PB	按存储区刷新	(不变)	不适用于 DDR3-SDRAM

注:

1. 如果使用一个 32 位数据总线宽度 SDRAM 器件或两个 16 位器件，则将数据总线宽度设为 32 位 (DBW = 0)。如果仅使用一个 16 位数据总线宽度 SDRAM 器件，则将数据总线宽度设为 16 位 (DBW = 1)。

2. 如果以纳秒为单位给出时序值，则必须在时钟周期内对其进行转换并四舍五入。 $t_{CYCLES} = t_{ns}/t_{CK}$ ，其中 t_{CYCLES} 为时钟周期内的时序值， t_{ns} 是以纳秒为单位的时序值， t_{CK} 是 DDR 时钟周期。

例如：如果 $f_{CK} = 166 \text{ MHz}$ ，则 $t_{CK} = 1/f_{CK} = 6 \text{ ns}$

如果 $t_{ns} = 35 \text{ ns}$ ，则 $t_{CYCLES} = 35/6 = 6$ 个时钟周期

3. COUNT 字段中的值需要计算得出。

$$\text{COUNT} = t_{REFI}/t_{CK}$$

对于 $t_{REFI} = 7.8 \mu\text{s}$ 和 $t_{CK} = 6 \text{ ns}$ ， $\text{COUNT} = 1300$

如果 (SDRAM 数据手册中) 给定了刷新窗口[ms]和刷新周期，还可以计算 t_{REFI} 。

$$t_{REFI} [\mu\text{s}] = (\text{刷新窗口}[\text{ms}]/\text{刷新周期}) * f_{CK} [\text{MHz}] * 1000$$

如果刷新窗口 = 64 ms，刷新周期 = 8192 且 $f_{CK} = 166 \text{ MHz}$ ，

则 $\text{COUNT} = (64/8192) * 166 * 1000 = 1297$

4. 对于 DDR3-SDRAM 器件，必须将字段 CAS 设为 5，将字段 SHIFT_SAMPLING 设为 2。DLL 关闭模式会将 CAS 读延时 (CRL) 和 CAS 写延时 (CWL) 都设为 6。延时由控制器自动设置。

表 4-78. SAMA5D24/BGA256/DDR3L-SDRAM 寄存器设置

寄存器名称	寄存器地址	内容值
MPDDRC_MD	0xF000C020	0x00000004
MPDDRC_CR	0xF000C008	0x00D0055D
MPDDRC_TPR0	0xF000C00C	0x44439336
MPDDRC_TPR1	0xF000C010	0x0A001413
MPDDRC_TPR2	0xF000C014	0x00084000
MPDDRC_RD_DATA_PATH	0xF000C05C	0x00000002
MPDDRC_IO_CALIBR	0xF000C034	0x00876504
MPDDRC_RTR	0xF000C004	0x00000511

4.2.9 SAMA5D27/BGA289/LPDDR2-SDRAM 软件设置

SAMA5D27/BGA289/LPDDR2-SDRAM 套件是基于 6 层 PCB 构建的 LPDDR2-SDRAM 测试板。该板采用一个 SAMA5D27/BGA289 MPU 和一个 2-Gb AP 存储器 LPDDR2-SDRAM 器件（部件编号：AD220032D-I-AC），DDR 时钟频率为 166 MHz。

表 4-79. MPDDRC_MD 寄存器设置

字段	描述	设置	设置详情
MD	存储器件	7	LPDDR2-SDRAM
DBW ⁽¹⁾	数据总线宽度	0	数据总线宽度为 32 位

表 4-80. MPDDRC_CR 寄存器设置

字段	描述	设置	设置详情
NC	列数位	0	9 位用于定义列数
NR	行数位	3	14 位用于定义行数
CAS	CAS 延时	0	LPDDR2 CAS 延时 3
DLL	复位 DLL	(不变)	不适用于 LPDDR2-SDRAM
DIC_DS	输出驱动器阻抗控制（驱动能力）	(不变)	不适用于 LPDDR2-SDRAM
DIS_DLL	禁止 DLL	(不变)	不适用于 LPDDR2-SDRAM
ZQ	ZQ 校准	(不变)	不适用于 LPDDR2-SDRAM
OCD	片外驱动器	(不变)	不适用于 LPDDR2-SDRAM
DQMS	共享掩码数据	0	DQM 不与其他控制器共享
ENRDM	使能读测量	0	禁止 DQS/DDR_DATA 相位纠错
LC_LPDDR1	低成本低功耗 DDR1	(不变)	不适用于 LPDDR2-SDRAM
NB	存储区数	1	8 个存储区
NDQS	非 DQS	(不变)	不适用于 LPDDR2-SDRAM
DECOD	解码类型	0	顺序
UNAL	支持非对齐访问	1	支持非对齐访问

表 4-81. MPDDRC_TPR0 寄存器设置

字段	描述	设置 ⁽²⁾	设置详情
TRAS	激活到预充电延时	42 ns	-
TRCD	行到列延时	18 ns	-
TWR	写恢复延时	15 ns	-
TRC	行周期延时	60 ns	-
TRP	行预充电延时	18 ns	-
TRRD	激活存储区 A 到激活存储区 B	10 ns	-

..... (续)			
字段	描述	设置 ⁽²⁾	设置详情
TWTR	内部写到读延时	10 ns	-
TMRD	加载模式寄存器命令到激活或刷新命令	5 ck	-

表 4-82. MPDDRC_TPR1 寄存器设置

字段	描述	设置 ⁽²⁾	设置详情
TRFC	行周期延时	130 ns	-
TXSNR	退出自刷新延时到非读命令	140 ns	-
TXSRD	退出自刷新延时到读命令	(不变)	不适用于 LPDDR2-SDRAM
TXP	退出掉电延时到第一个命令	8 ns	-

表 4-83. MPDDRC_TPR2 寄存器设置

字段	描述	设置 ⁽²⁾	设置详情
TXARD	在“快速退出”模式下退出激活掉电延时到读命令	(不变)	不适用于 LPDDR2-SDRAM
TXARDS	在“慢速退出”模式下退出激活掉电延时到读命令	(不变)	不适用于 LPDDR2-SDRAM
TRPA	行预充电全部延时	21 ns	相当于 tRPAB
TRTP	读到预充电	8 ns	-
TFAW	四个激活窗口	50 ns	-

表 4-84. MPDDRC_LPDDR23_LPR 寄存器设置

字段	描述	设置	设置详情
BK_MASK_PASR	存储区掩码位/PASR	0	使能刷新
SEG_MASK	段掩码位	0	刷新段
DS	驱动能力	2	典型值为 40 ohm

表 4-85. MPDDRC_RD_DATA_PATH 寄存器设置

字段	描述	设置	设置详情
SHIFT_SAMPLING	移位数据采样点	1	采样点移位一个周期

表 4-86. MPDDRC_IO_CALIBR 寄存器设置

字段	描述	设置	设置详情
RDIV	电阻分压器，输出驱动器阻抗	4	LPDDR2 串联阻抗线 = 60 ohm
TZQIO	IO 校准	101	$TZQIO = (DDRCK \times 600e-9) + 1$
EN_CALIB	使能校准	(不变)	不适用于 LPDDR2-SDRAM

表 4-87. MPDDRC_RTR 寄存器设置

字段	描述	设置	设置详情
COUNT ⁽³⁾	MPDDRC 刷新定时器计数	1297	需要计算的值
ADJ_REF	调整刷新率	(不变)	不适用于 DDR3-SDRAM
REF_PB	按存储区刷新	(不变)	不适用于 DDR3-SDRAM

注:

1. 如果使用一个 32 位数据总线宽度 SDRAM 器件或两个 16 位器件，则将数据总线宽度设为 32 位 (DBW = 0)。如果仅使用一个 16 位数据总线宽度 SDRAM 器件，则将数据总线宽度设为 16 位 (DBW = 1)。
2. 如果以纳秒为单位给出时序值，则必须在时钟周期内对其进行转换并四舍五入。 $t_{CYCLES} = t_{ns}/t_{CK}$ ，其中 t_{CYCLES} 为时钟周期内的时序值， t_{ns} 是以纳秒为单位的时序值， t_{CK} 是 DDR 时钟周期。
例如：如果 $f_{CK} = 166 \text{ MHz}$ ，则 $t_{CK} = 1/f_{CK} = 6 \text{ ns}$

如果 $t_{ns} = 35 \text{ ns}$ ，则 $t_{CYCLES} = 35/6 = 6$ 个时钟周期

3. COUNT 字段中的值需要计算得出。

$$\text{COUNT} = t_{REFI}/t_{CK}$$

对于 $t_{REFI} = 7.8 \mu\text{s}$ 和 $t_{CK} = 6 \text{ ns}$ ， $\text{COUNT} = 1300$

如果 (SDRAM 数据手册中) 给定了刷新窗口[ms]和刷新周期，还可以计算 t_{REFI} 。

$$t_{REFI} [\mu\text{s}] = (\text{刷新窗口}[\text{ms}]/\text{刷新周期}) * f_{CK} [\text{MHz}] * 1000$$

如果刷新窗口 = 64 ms，刷新周期 = 8192 且 $f_{CK} = 166 \text{ MHz}$ ，

则 $\text{COUNT} = (64/8192) * 166 * 1000 = 1297$

表 4-88. SAMA5D24/BGA256/DDR3L-SDRAM 寄存器设置

寄存器名称	寄存器地址	内容值
MPDDRC_MD	0xF000C020	0x00000004
MPDDRC_CR	0xF000C008	0x00D0055D
MPDDRC_TPR0	0xF000C00C	0x44439336
MPDDRC_TPR1	0xF000C010	0x0A001413
MPDDRC_TPR2	0xF000C014	0x00084000
MPDDRC_LPDDR23_LPR	0xF000C028	0x02000000
MPDDRC_RD_DATA_PATH	0xF000C05C	0x00000001
MPDDRC_IO_CALIBR	0xF000C034	0x00876504
MPDDRC_RTR	0xF000C004	0x00000511

5. 设置建议

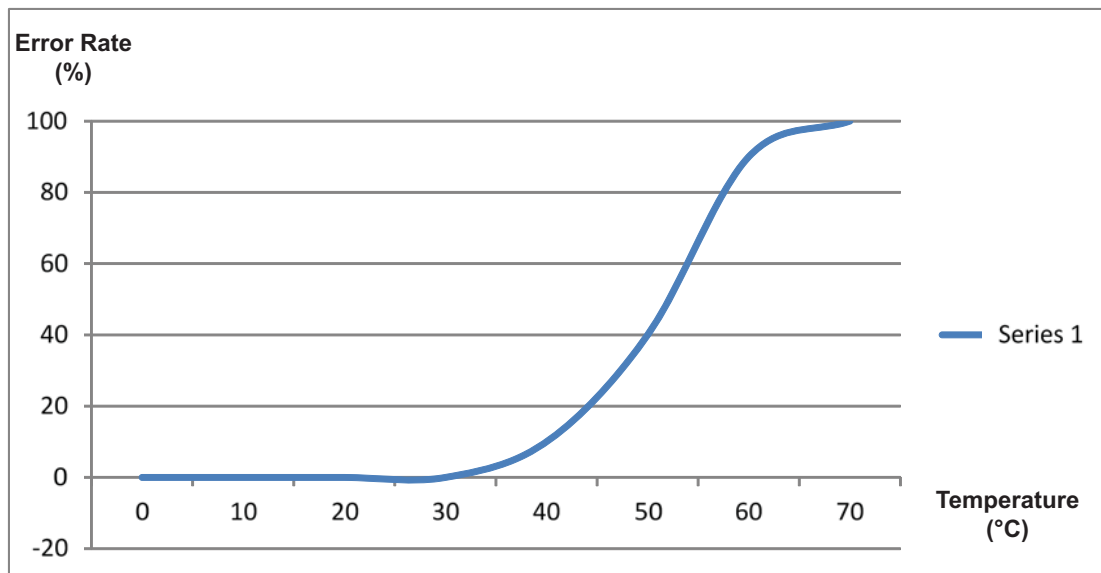
使用默认参数值和时序设置存储器（通常根据制造商的数据手册“快速”推断）可以在室温和标称工作温度范围内通过所有测试。但如果执行进一步的测试（例如，改变本研究中的温度），可能会出现行为问题。

我们特意将一些正确设置改为“临界”值来验证这一点，结果是，系统在室温下能够正常工作，但随着温度升高，失败概率也越来越高。

默认情况下看起来正确的设置也可能最后证实并不正确。请务必充分研究制造商的数据手册和应用笔记以确保设置正确，并在调整系统参数（比如 DDR 时钟）的同时仔细检查所有这些设置。测试证明，在现场部署后，粗心大意可能会造成产品故障。

下图是测试期间的错误率与电路板温度的粗略表示。具体取决于在临界值处设置的参数数量，因此难以预测准确的表示，您还可以通过测试来确定。此外，不同类型的 SDRAM 可能有所不同，但行为大致相同。某些设置值可能在刚刚高于室温时就会触发错误，而其他一些设置值可能只会在达到最高工作温度时触发错误。

图 5-1. 错误率与温度



当从 SDRAM 读取的数据与测试期间的已知写入数据不同时，会识别出错误。如果错误率高，在较高温度下发生错误的速度更快。在较低温度下，即使测试超过一半的存储器容量都没有出现问题，但之后也可能发生错误。

下表包含几个时序参数示例，其边界值对错误率的影响较大。这些时序为：

- t_{rcd} —行地址到列地址延时
- t_{rp} —行预充电延时
- t_{rfc} —行刷新周期延时

在室温下，所有测试都在时序设为通过值时通过，在时序设为失败值时失败。请务必查看 SDRAM 数据手册以获得最佳设置。

表 5-1. $t_{\text{r}cd}$ 、 $t_{\text{r}p}$ 和 $t_{\text{r}fc}$ 时序的通过值和失败值

时序	DDR3		DDR2		LPDDR1		LPDDR2		LPDDR3	
	通过	失败	通过	失败	通过	失败	通过	失败	通过	失败
$t_{\text{r}cd}[\text{ns}]$	7	6	7	6	13	12	7	6	7	6
$t_{\text{r}p}[\text{ns}]$	7	6	7	6	7	6	7	6	7	6
$t_{\text{r}fc}[\text{ns}]$	73	72	67	66	40	35	60	61	115	114

6. 结论

本应用笔记介绍了一套适用于各种类型 SDRAM 器件 PCB 布线的建议指南，并提供了一些布线示例和软件设置。它还表明，一些看起来正常的设置可能会破坏 SDRAM 器件的正常功能。所以，请务必始终遵循制造商的数据手册和应用笔记进行设置和操作。

7. 版本历史

7.1 版本 B——2018 年 11 月

增加了 [SAMA5D27/BGA289 定制测试板](#)。

增加了 [SAMA5D24/BGA256/DDR3L-SDRAM 软件设置](#)和 [SAMA5D27/BGA289/LPDDR2-SDRAM 软件设置](#)。

7.2 版本 A——2018 年 6 月

这是本应用笔记的初始版本。

Microchip 网站

Microchip 网站 <http://www.microchip.com/> 为客户提供在线支持。客户可通过该网站方便地获取文件和信息。只要使用常用的互联网浏览器即可访问，网站提供以下信息：

- **产品支持**——数据手册和勘误表、应用笔记和示例程序、设计资源、用户指南以及硬件支持文档、最新的软件版本以及归档软件
- **一般技术支持**——常见问题（FAQ）、技术支持请求、在线讨论组以及 Microchip 顾问计划成员名单
- **Microchip 业务**——产品选型和订购指南、最新 Microchip 新闻稿、研讨会和活动安排表、Microchip 销售办事处、代理商以及工厂代表列表

变更通知客户服务

Microchip 的变更通知客户服务有助于客户了解 Microchip 产品的最新信息。注册客户可在他们感兴趣的某个产品系列或开发工具发生变更、更新、发布新版本或勘误表时，收到电子邮件通知。

欲注册，请登录 Microchip 网站 <http://www.microchip.com/>。在“支持”（Support）下，点击“变更通知客户”（Customer Change Notification）服务后按照注册说明完成注册。

客户支持

Microchip 产品的用户可通过以下渠道获得帮助：

- 代理商或代表
- 当地销售办事处
- 应用工程师（FAE）
- 技术支持

客户应联系其代理商、代表或应用工程师（FAE）寻求支持。当地销售办事处也可为客户提供帮助。本文档后附有销售办事处的联系方式。

也可通过以下网站获得技术支持：<http://www.microchip.com/support>

Microchip 器件代码保护功能

请注意以下有关 Microchip 器件代码保护功能的要点：

- Microchip 的产品均达到 Microchip 数据手册中所述的技术指标。
- Microchip 确信：在正常使用的情况下，Microchip 系列产品是当今市场上同类产品中最安全的产品之一。
- 目前，仍存在着恶意、甚至是非法破坏代码保护功能的行为。就我们所知，所有这些行为都不是以 Microchip 数据手册中规定的操作规范来使用 Microchip 产品的。这样做的人极可能侵犯了知识产权。
- Microchip 愿意与关心代码完整性的客户合作。
- Microchip 或任何其他半导体厂商均无法保证其代码的安全性。代码保护并不意味着我们保证产品是“牢不可破”的。

代码保护功能处于持续发展中。Microchip 承诺将不断改进产品的代码保护功能。任何试图破坏 Microchip 代码保护功能的行为均可视为违反了《数字器件千年版权法案（Digital Millennium Copyright Act）》。如

果这种行为导致他人在未经授权的情况下，能访问您的软件或其他受版权保护的成果，您有权依据该法案提起诉讼，从而制止这种行为。

法律声明

本出版物中所述的器件应用信息及其他类似内容仅为您提供便利，它们可能由更新之信息所替代。确保应用符合技术规范，是您自身应负的责任。**Microchip** 对这些信息不作任何明示或暗示、书面或口头、法定或其他形式的声明或担保，包括但不限于针对其使用情况、质量、性能、适销性或特定用途的适用性的声明或担保。**Microchip** 对因这些信息及使用这些信息而引起的后果不承担任何责任。如果将 **Microchip** 器件用于生命维持和/或生命安全应用，一切风险由买方自负。买方同意在由此引发任何一切伤害、索赔、诉讼或费用时，会维护和保障 **Microchip** 免于承担法律责任，并加以赔偿。除非另外声明，否则在 **Microchip** 知识产权保护下，不得暗或以其他方式转让任何许可证。

商标

Microchip 的名称和徽标组合、**Microchip** 徽标、AnyRate、AVR、AVR 徽标、AVR Freaks、BitCloud、chipKIT、chipKIT 徽标、CryptoMemory、CryptoRF、dsPIC、FlashFlex、flexPWR、Heldo、JukeBlox、KeeLoq、Kleer、LANCheck、LINK MD、maXStylus、maXTouch、MediaLB、megaAVR、MOST、MOST 徽标、MPLAB、OptoLyzer、PIC、picoPower、PICSTART、PIC32 徽标、Prochip Designer、QTouch、SAM-BA、SpyNIC、SST、SST 徽标、SuperFlash、tinyAVR、UNI/O 和 XMEGA 是 **Microchip Technology Incorporated** 在美国和其他国家或地区的注册商标。

ClockWorks、The Embedded Control Solutions Company、EtherSynch、Hyper Speed Control、HyperLight Load、IntelliMOS、mTouch、Precision Edge 和 Quiet-Wire 为 **Microchip Technology Incorporated** 在美国的注册商标。

Adjacent Key Suppression、AKS、Analog-for-the-Digital Age、Any Capacitor、AnyIn、AnyOut、BodyCom、CodeGuard、CryptoAuthentication、CryptoAutomotive、CryptoCompanion、CryptoController、dsPICDEM、dsPICDEM.net、Dynamic Average Matching、DAM、ECAN、EtherGREEN、In-Circuit Serial Programming、ICSP、INICnet、Inter-Chip Connectivity、JitterBlocker、KleerNet、KleerNet 徽标、memBrain、Mindi、MiWi、motorBench、MPASM、MPF、MPLAB Certified 徽标、MPLIB、MPLINK、MultiTRAK、NetDetach、Omniscient Code Generation、PICDEM、PICDEM.net、PICKIT、PICKIT tail、PowerSmart、PureSilicon、QMatrix、REAL ICE、Ripple Blocker、SAM-ICE、Serial Quad I/O、SMART-I.S.、SQL、SuperSwitcher、SuperSwitcher II、Total Endurance、TSHARC、USBCheck、VariSense、ViewSpan、WiperLock、Wireless DNA 和 ZENA 为 **Microchip Technology Incorporated** 在美国和其他国家或地区的商标。

SQTP 为 **Microchip Technology Inc.** 在美国的服务标记。

Silicon Storage Technology 为 **Microchip Technology Inc.** 在除美国外的国家或地区的注册商标。

GestIC 是 **Microchip Technology Inc.** 的子公司 **Microchip Technology Germany II GmbH & Co. KG** 在除美国外的国家或地区的注册商标。

在此提及的所有其他商标均为各持有公司所有。

© 2019, **Microchip Technology Incorporated** 版权所有。

ISBN: 978-1-5224-4198-4

AMBA、Arm、Arm7、Arm7TDMI、Arm9、Arm11、Artisan、big.LITTLE、Cordio、CoreLink、CoreSight、Cortex、DesignStart、DynamIQ、Jazelle、Keil、Mali、Mbed、Mbed Enabled、NEON、

POP、RealView、SecurCore、Socrates、Thumb、TrustZone、ULINK、ULINK2、ULINK-ME、ULINK-PLUS、ULINKpro、 μ Vision 和 Versatile 是 Arm Limited（或其子公司）在美国和/或其他国家/地区的商标或注册商标。

DNV 认证的质量管理体系

ISO/TS 16949

Microchip 位于美国亚利桑那州 Chandler 和 Tempe 与位于俄勒冈州 Gresham 的全球总部、设计和晶圆生产厂及位于美国加利福尼亚州和印度的设计中心均通过了 ISO/TS-16949:2009 认证。Microchip 的 PIC[®] MCU 和 dsPIC[®] DSC、KEELOQ[®]跳码器件、串行 EEPROM、单片机外设、非易失性存储器及模拟产品严格遵守公司的质量体系流程。此外，Microchip 在开发系统的设计和生产方面的质量体系也已通过了 ISO 9001:2000 认证。

全球销售及服务中心

美洲	亚太地区	亚太地区	欧洲
公司总部 2355 West Chandler Blvd. 钱德勒, 亚利桑那州 85224-6199 电话: 480-792-7200 传真: 480-792-7277 技术支持: http://www.microchip.com/support 网址: www.microchip.com	澳大利亚 - 悉尼 电话: 61-2-9868-6733 中国 - 北京 电话: 86-10-8569-7000 中国 - 成都 电话: 86-28-8665-5511 中国 - 重庆 电话: 86-23-8980-9588 中国 - 东莞 电话: 86-769-8702-9880 中国 - 广州 电话: 86-20-8755-8029 中国 - 杭州 电话: 86-571-8792-8115 中国 - 香港特别行政区 电话: 852-2943-5100 中国 - 南京 电话: 86-25-8473-2460 中国 - 青岛 电话: 86-532-8502-7355 中国 - 上海 电话: 86-21-3326-8000 中国 - 沈阳 电话: 86-24-2334-2829 中国 - 深圳 电话: 86-755-8864-2200 中国 - 苏州 电话: 86-186-6233-1526 中国 - 武汉 电话: 86-27-5980-5300 中国 - 西安 电话: 86-29-8833-7252 中国 - 厦门 电话: 86-592-2388138 中国 - 珠海 电话: 86-756-3210040	印度 - 班加罗尔 电话: 91-80-3090-4444 印度 - 新德里 电话: 91-11-4160-8631 印度 - 浦那 电话: 91-20-4121-0141 日本 - 大阪 电话: 81-6-6152-7160 日本 - 东京 电话: 81-3-6880-3770 韩国 - 大邱 电话: 82-53-744-4301 韩国 - 首尔 电话: 82-2-554-7200 马来西亚 - 吉隆坡 电话: 60-3-7651-7906 马来西亚 - 槟榔屿 电话: 60-4-227-8870 菲律宾 - 马尼拉 电话: 63-2-634-9065 新加坡 电话: 65-6334-8870 台湾地区 - 新竹 电话: 886-3-577-8366 台湾地区 - 高雄 电话: 886-7-213-7830 台湾地区 - 台北 电话: 886-2-2508-8600 泰国 - 曼谷 电话: 66-2-694-1351 越南 - 胡志明市 电话: 84-28-5448-2100	奥地利 - 韦尔斯 电话: 43-7242-2244-39 传真: 43-7242-2244-393 丹麦 - 哥本哈根 电话: 45-4450-2828 传真: 45-4485-2829 芬兰 - 埃斯波 电话: 358-9-4520-820 法国 - 巴黎 电话: 33-1-69-53-63-20 传真: 33-1-69-30-90-79 德国 - 加兴 电话: 49-8931-9700 德国 - 哈恩 电话: 49-2129-3766400 德国 - 海尔布隆 电话: 49-7131-72400 德国 - 卡尔斯鲁厄 电话: 49-721-625370 德国 - 慕尼黑 电话: 49-89-627-144-0 传真: 49-89-627-144-44 德国 - 罗森海姆 电话: 49-8031-354-560 以色列 - 若那那市 电话: 972-9-744-7705 意大利 - 米兰 电话: 39-0331-742611 传真: 39-0331-466781 意大利 - 帕多瓦 电话: 39-049-7625286 荷兰 - 德卢内市 电话: 31-416-690399 传真: 31-416-690340 挪威 - 特隆赫姆 电话: 47-72884388 波兰 - 华沙 电话: 48-22-3325737 罗马尼亚 - 布加勒斯特 电话: 40-21-407-87-50 西班牙 - 马德里 电话: 34-91-708-08-90 传真: 34-91-708-08-91 瑞典 - 哥德堡 电话: 46-31-704-60-40 瑞典 - 斯德哥尔摩 电话: 46-8-5090-4654 英国 - 沃金厄姆 电话: 44-118-921-5800 传真: 44-118-921-5820
亚特兰大 德卢斯, 佐治亚州 电话: 678-957-9614 传真: 678-957-1455 奥斯汀, 德克萨斯州 电话: 512-257-3370 波士顿 韦斯特伯鲁, 马萨诸塞州 电话: 774-760-0087 传真: 774-760-0088 芝加哥 艾塔斯卡, 伊利诺伊州 电话: 630-285-0071 传真: 630-285-0075 达拉斯 阿迪森, 德克萨斯州 电话: 972-818-7423 传真: 972-818-2924 底特律 诺维, 密歇根州 电话: 248-848-4000 休斯顿, 德克萨斯州 电话: 281-894-5983 印第安纳波利斯 诺布尔斯维尔, 印第安纳州 电话: 317-773-8323 传真: 317-773-5453 电话: 317-536-2380 洛杉矶 米镇维荷, 加利福尼亚州 电话: 949-462-9523 传真: 949-462-9608 电话: 951-273-7800 罗利, 北卡罗来纳州 电话: 919-844-7510 纽约, 纽约州 电话: 631-435-6000 圣何塞, 加利福尼亚州 电话: 408-735-9110 电话: 408-436-4270 加拿大 - 多伦多 电话: 905-695-1980 传真: 905-695-2078			